Electrónica:
teoría de circuitos y dispositivos electrónicos

OCTAVA EDICIÓN

Boylestad
Nashelsky

PEARSON
Prentice Hall

15 Amplificadores de potencia

Potencia de entrada: $P_i = V_{CC}I_{CQ}$

Potencia de salida: $P_o = V_{CE}I_C = I_C^2 R_C = V_{CE}^2/R_C$ rms

$= V_{CE}I_C/2 = (I_C^2/2)R_C = V_{CE}^2/(2R_C)$ pico

$= V_{CE}I_C/8 = (I_C^2/8)R_C = V_{CE}^2/(8R_C)$ pico a pico

eficiencia: $\%\eta = (P_o/P_i) \times 100\%$

eficiencia máxima: clase A, retro serie = 25%

clase A, acoplado por transformador = 50%

clase B, push-pull = 78.5%

relaciones de transformador: $V_2/V_1 = N_2/N_1 = I_1/I_2$, $R_2 = (N_2/N_1)^2 R_1$; salida de potencia: $P_o = [(V_{CE_{máx}} - V_{CE_{mín}})(I_{C_{máx}} - I_{C_{mín}})]/8$; amplificador de potencia clase B: $P_i = V_{CC}[(2/\pi)I_{pico}]$; $P_o = V_L^2(\text{pico})/(2R_L)$; $\%\ \eta = (\pi/4)[V_L(\text{pico})/V_{CC}] \times 100\%$; $P_Q = P_{2Q}/2 = (P_i - P_o)/2$; máxima $P_o = V_{CC}^2/2R_L$; máxima $P_i = 2V_{CC}^2/\pi R_L$; máxima $P_{2_Q} = 2V_{CC}^2/\pi^2 R_L$; % armónica total distorsión (% THD) $= \sqrt{D_2^2 + D_3^2 + D_4^2 + \cdots} \times 100\%$; disparador de calor: $T_j = P_D\theta_{JA} + T_A$, $\theta_{JA} = 40°\text{C/W}$ (aire libre); $P_D = (T_J - T_A)/(\Theta_{JC} + \Theta_{CS} + \Theta_{SA})$

16 Circuitos integrados (CI) lineales digitales Red de escalera: $V_o = [(D_0 \times 2^0 + D_1 \times 2^1 + D_2 \times 2^2 + \cdots + D_n \times 2^n)/2^n]V_{ref}$; 555 oscilador: $f = 1.44(R_A + 2R_B)C$; 555 monoestable: $T_{alto} = 1.1R_AC$; VCO: $f_o = (2/R_1C_1)[(V^+ - V_C)/^+]$; lazo de seguimiento de fase (PLL): $f_o = 0.3/R_1C_1$, $f_L = \pm 8f_o/V$, $f_C = \pm(1/2\pi)\sqrt{2\pi f_L/(3.6 \times 10^3)C_2}$

17 Retroalimentación y circuitos osciladores $A_f = A/(1 + \beta A)$; retroalimentación en serie; $Z_{if} = Z_i(1 + \beta A)$; retroalimentación en paralelo: $Z_{if} = Z_i/(1 + \beta A)$; retroalimentación de voltaje: $Z_{of} = Z_o/(1 + \beta A)$; retroalimentación de corriente: $Z_{of} = Z_o(1 + \beta A)$; estabilidad de ganancia: $dA_f/A_f = 1/(|1 + \beta A|)(dA/A)$; oscilador; $\beta A = 1$; corrimiento de fase: $f = 1/2\pi RC\sqrt{6}$, $\beta = 1/29$, $A > 29$; corrimiento de fase FET $|A| = g_mR_L$, $R_L = R_Dr_d/(R_D + r_d)$; corrimiento de fase del transistor: $f = (1/2\pi RC)[1/\sqrt{6 + 4(R_C/R)}]$, $h_{fe} > 23 + 29(R_C/R) + 4(R/R_C)$; puente de Wien: $R_3/R_4 = R_1/R_2 + C_2/C_1$, $f_o = 1/2\pi\sqrt{R_1C_1R_2C_2}$; sintonizador: $f_o = 1/2\pi\sqrt{LC_{eq}}$, $C_{ecuación} = C_1C_2/(C_1 + C_2)$, Hartley: $L_{ecuación} = L_1 + L_2 + 2M$, $f_o = 1/2\pi\sqrt{L_{ecuación}C}$

18 Fuentes de alimentación (reguladores de voltaje) Filtros: $r = V_r(\text{rms})/V_{dc} \times 100\%$, $\text{VR} = (V_{NL} - V_{FL})/V_{FL} \times 100\%$, $V_{dc} = V_m - V_r\,(\text{p-p})/2$, $V_r(\text{rms}) = V_r(\text{p-p})/2\sqrt{3}$, $V_r(\text{rms}) \simeq (I_{dc}/4\sqrt{3})(V_{dc}/V_m)$; onda completa, carga ligera $V_r(\text{rms}) = 2.4I_{dc}/C$, $V_{dc} = V_m - 4.17I_{dc}/C$, $r = (2.4I_{dc}CV_{dc}) \times 100\% = 2.4/R_LC \times 100\%$, $I_{pico} = T/T_1 \times I_{dc}$; RC filtro RC: $V'_{dc} = R_L V_{dc}/(R + R_L)$, $X_C = 2.653/C$ (media onda), $X_C = 1.326/C$ (onda completa), $V'_r(\text{rms}) = (X_C/\sqrt{R^2 + X_C^2})$; reguladores: $IR = (I_{NL} - I_{FL})/I_{FL} \times 100\%$, $V_L = V_Z(1 + R_1/R_2)$, $V_o = V_{ref}(1 + R_2/R_1) + I_{adj}R_2$

19 Otros dispositivos de dos terminales Diodo Varactor: $C_T = C(0)/(1 + |V_r/V_T|)^n$, $T_{C_C} = (\Delta C/C_o(T_1 - T_0)) \times 100\%$; fotodiodo: $W = \hbar f$, $\lambda = v/f$, $1\ lm = 1.496 \times 10^{-10}$ W

20 Dispositivos *pnpn* y Otros UJT: $R_{BB} = (R_{B_1} + R_{B_2})|_{I_E=0}$, $V_{R_{B_1}} = \eta V_{BB}|_{I_E=0}$, $\eta = R_{B_1}/(R_{B_1} + R_{B_2})|_{I_E=0}$, $V_P = \eta V_{BB} + V_D$; fototransistor: $I_C \simeq h_{fe}I_\lambda$; PUT: $\eta = R_{B_1}/(R_{B_1} + R_{B_2})$, $V_P = \eta V_{BB} + V_D$

OCTAVA EDICIÓN

ELECTRÓNICA: TEORÍA DE CIRCUITOS Y DISPOSITIVOS ELECTRÓNICOS

ROBERT L. BOYLESTAD

LOUIS NASHELSKY

TRADUCCIÓN:

Carlos Mendoza Barraza

Ingeniero en Sistemas Electrónicos

ITESM-CCM

REVISIÓN TÉCNICA:

M. en C. Agustín Suárez Fernández

Departamento de Ingeniería Eléctrica

Universidad Autónoma Metropolitana

Plantel Iztapalapa, México, D.F.

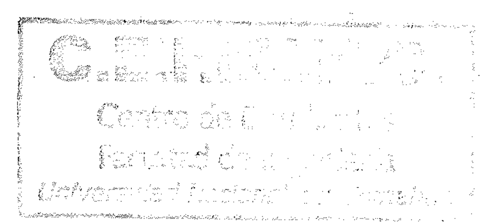
México • Argentina • Brasil • Colombia • Costa Rica • Chile • Ecuador

España • Guatemala • Panamá • Perú • Puerto Rico • Uruguay • Venezuela

George Fredericks	Colegio Tecnológico de la Comunidad del Estado del Noreste
F. D. Fuller	Colegio Humber
Phil Golden	Instituto de Tecnología DeVry
Joseph Grabinski	Colegio Tecnológico del Estado de Hartford
Thomas K. Grady	Universidad de Washington Occidental
Mohamad S. Haj-Mohamadi	Universidad del Estado de Carolina del Norte A&T
William Hill	Instituto Tecnológico ITT
Albert L. Ickstadt	Colegio Mesa de San Diego
Jeng-Nan Juang	Universidad de Mercer
Karen Karger	Tektronix Inc.
Kenneth E. Kent	Instituto Tecnológico DeKalb
Donald E. King	Instituto Tecnológico ITT
Charles Lewis	APPLIED MATERIALS, INC.
Donna Liverman	Texas Instruments Inc.
William Mack	Colegio de la Comunidad del Área de Harrisburg
Robert Martin	Colegio de la Comunidad de Virginia del Norte
George T. Mason	Colegio Tecnológico Vocacional de Indiana
William Maxwell	Instituto Tecnológico del Estado de Nashville
Abraham Michelen	Colegio de la Comunidad del Valle Hudson
John MacDougall	Universidad del Oeste de Ontario
Donald E. McMillan	Universidad del Estado del Suroeste
Thomas E. Newman	Instituto Tecnológico-Vocacional L. H. Bates
Byron Paul	Colegio del Estado de Bismarck
Dr. Robert Payne	Universidad de Glamorgan
Dr. Robert A. Powell	Colegio de la Comunidad de Oakland
E. F. Rockafellow	Instituto de Tecnología del Sur de Alberta
Saeed A. Shaikh	Colegio de la Comunidad de Miami-Dade
Dr. Noel Shammas	Escuela de Ingeniería
Ken Simpson	Colegio de Tecnología del Estado Stark
Jerry Sitbon	Colegio de la Comunidad de Queensborough
Eric Sung	Computronics Technology Inc.
Donald P. Szymanski	Colegio Técnico Owens
Parker M. Tabor	Colegio Técnico de Greenville
Peter Tampas	Universidad Tecnológica de Michigan
Chuck Tinney	Universidad de Utah
Katherine L. Usik	Colegio Mohawk de Artes y Tecnologías Aplicadas
Domingo Uy	Universidad de Hampton
Richard J. Walters	Instituto de Tecnología DeVry
Larry J. Wheeler	PSE&G Nuclear
Julian Wilson	Colegio de Tecnología del Sur
Syd R. Wilson	Motorola Inc.
Jean Younes	Instituto Técnico ITT
Charles E. Yunghans	Universidad del Oeste de Washington
Ulrich E. Zeisler	Colegio de la comunidad de Salt Lake

Agradecemos a las siguientes personas por su ayuda en el proceso de revisión de esta octava edición:

Joseph Booker	Instituto de Tecnología DeVry
Charles F. Bunting	Old Dominion University
Mauro J. Caputi	Universidad Hofstra
Kevin Ford	Colegio de la Comunidad de Alvin
David Krispinsky	Instituto de Tecnología de Rochester
William Mack	Colegio de la Comunidad del Área de Harrisburg
John Sherrick	Instituto de Tecnología de Rochester



Contenido

8 ANÁLISIS A PEQUEÑA SEÑAL DEL TRANSISTOR BIPOLAR 389

9 ANÁLISIS A PEQUEÑA SEÑAL PARA FET 461

10 APLICACIÓN DE SISTEMAS: EFECTOS DE R_s Y R_L 525

11 RESPUESTA A LA FRECUENCIA DE TRANSISTORES BJT Y JFET 569

12 CONFIGURACIONES COMPUESTAS 627

13 AMPLIFICADORES OPERACIONALES 675

CAPÍTULO 1

Diodos semiconductores

1.1 INTRODUCCIÓN

El 23 de diciembre de 1947, hace ya más de 50 años, se desarrolló el primer transistor. Para aquellos de nosotros que vivimos la evolución de los tubos de vacío hacia la era del estado sólido, parecieran sólo unos cuantos años. La primera edición de este texto contenía una amplia cobertura sobre los tubos de vacío, y para ediciones posteriores se tuvo que tomar la decisión entre el nivel de cobertura dedicado a los tubos y el dedicado a los dispositivos semiconductores. En este momento ya no es válido siquiera mencionar los tubos de vacío ni mostrar las ventajas de uno sobre el otro, ya que estamos situados firmemente en la era del estado sólido.

La miniaturización de los componentes que se ha originado, abre cuestionamientos acerca de hasta dónde llegarán sus límites. Ahora es posible encontrar sistemas completos sobre obleas de silicio que son miles de veces más pequeñas comparadas con un solo elemento de los primeros sistemas. Los circuitos integrados (CI) de hoy, cuentan con más de 10 millones de transistores en un área no mayor a la uña de un pulgar.* Cada semana surgen diseños y sistemas nuevos. Para el ingeniero esto implica una limitación en cuanto a su conocimiento sobre la amplia gama de avances tecnológicos; simplemente poder mantenerse actualizado sobre los cambios en un área de investigación o desarrollo ya es de por sí complicado. Además, hemos llegado a un punto en el que el objetivo primario del encapsulado de un componente es el de servir sólo como un medio para manipular el dispositivo o sistema y para proveer un mecanismo que permita acoplarlo al resto del sistema o red. La miniaturización parece estar limitada por tres factores (los cuales revisaremos durante el texto): la calidad del propio material semiconductor, la técnica del diseño de la red y las limitaciones en el equipo de manufactura y procesamiento.

1.2 DIODO IDEAL

El primer dispositivo electrónico que revisaremos se denomina *diodo*, el más simple de los dispositivos semiconductores, pero con un papel fundamental para los sistemas electrónicos ya que cuenta con características que lo asemejan a un interruptor sencillo. Lo encontramos en una amplia gama de usos y aplicaciones desde las más simples hasta las más complejas. Además de presentar los detalles acerca de su fabricación y de sus características, presentaremos los datos y las gráficas relevantes que se encuentran en las hojas de especificaciones para asegurar la comprensión de la terminología utilizada y para demostrar la abundancia de información disponible proporcionada por los fabricantes.

El término *ideal* se empleará de manera frecuente en este texto a medida que nuevos dispositivos se vayan presentando, y se refiere a cualquier dispositivo o sistema que posea características ideales, es decir, perfectas en cualquier sentido. Esto sirve como base para comparaciones y muestra dónde es todavía posible realizar mejoras. El *diodo ideal* es un dispositivo de *dos*

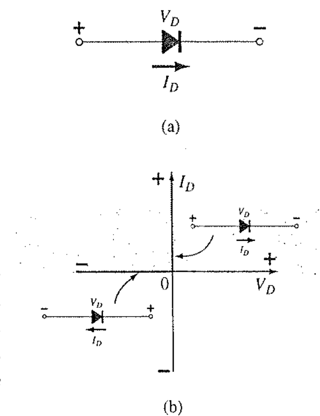


Figura 1.1 Diodo Ideal: (*a*) símbolo; (*b*) características.

*Si el tiempo lo permite, lea el Apéndice A, "Fabricación de los Circuitos Integrados que Mueven al Mundo."

terminales que se representa por el símbolo y posee las características que se muestran en las figuras 1.1a y 1.1b, respectivamente.

De forma ideal, un diodo conducirá corriente en la dirección definida por la flecha que se muestra en el símbolo y actuará como un circuito abierto ante cualquier intento por establecer corriente en la dirección opuesta. En esencia:

Las características de un diodo ideal son las mismas que las de un interruptor que sólo permite la conducción de corriente en una sola dirección.

Para la descripción de los elementos siguientes, es muy importante definir los distintos *símbolos de letras, polaridades de voltaje* y *direcciones de corriente*. Si la polaridad del voltaje aplicado es consistente con las características que se muestran en la figura 1.1a, deberán considerarse las particularidades de la parte derecha del eje vertical del plano de la figura 1.1b. Si el voltaje aplicado se invierte, las características pertinentes serán las de la parte izquierda. Si la corriente a través del diodo presenta la dirección indicada en la figura 1.1a, la parte de las características a considerarse son las que se encuentran en la parte superior del eje horizontal, mientras que una dirección inversa de la corriente requiere utilizar las características que se encuentran en la parte inferior de este eje. Para la mayoría de las características de los dispositivos presentados en este libro, el eje de las ordenadas (o eje "y") será el eje de la *corriente* mientras que el eje de las abscisas (o eje "x") será el eje del *voltaje*.

Uno de los parámetros importantes de un diodo es la resistencia que presenta en el punto o región de operación. Si consideramos la región de conducción definida por la dirección de I_D y la polaridad de V_D en la figura 1.1a (cuadrante superior derecho de la figura 1.1b), veremos que el valor de la resistencia directa R_F, queda definido por medio de la ley de Ohm como

$$R_F = \frac{V_F}{I_F} = \frac{0 \text{ V}}{2, 3, \text{mA}, \ldots, \text{o cualquier valor positivo}} = \mathbf{0\ \Omega} \quad \text{(circuito cerrado)}$$

donde V_F es el voltaje de polarización directa sobre el diodo e I_F es la corriente a través del mismo.

Por lo tanto, el diodo ideal representa un circuito cerrado en la región de conducción.

Considere la región donde se aplica potencial negativo (tercer cuadrante) de la figura 1.1b,

$$R_R = \frac{V_R}{I_R} = \frac{-5, -20, \text{o cualquier potencial de polarización inversa}}{0 \text{ mA}} = \mathbf{\infty\ \Omega} \quad \text{(circuito abierto)}$$

donde V_R es el voltaje de polarización inversa sobre el diodo e I_R es la corriente en el mismo.

Por lo tanto, el diodo ideal representa un circuito abierto en la región de no conducción.

En resumen, aplican las condiciones mostradas en la figura 1.2.

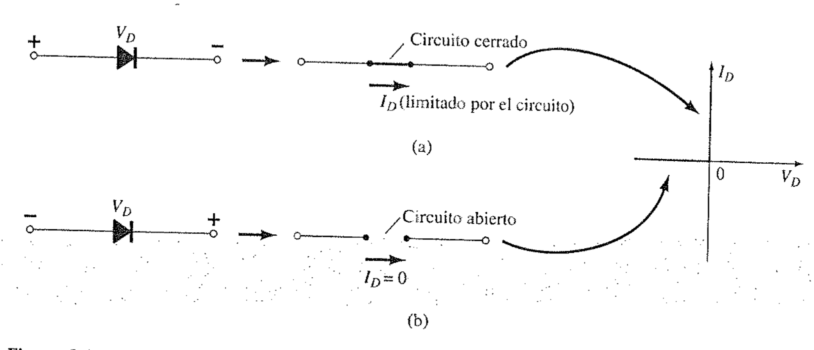
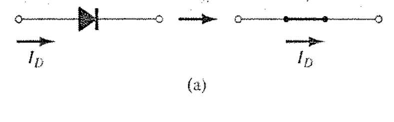


Figura 1.2 Estados de (a) conducción y (b) no conducción para un diodo ideal determinados según la polarización aplicada.

En general, es relativamente fácil determinar si el diodo se encuentra en la región de conducción o en la de no conducción mediante la simple observación de la dirección de la corriente I_D que establece el voltaje aplicado. Para el caso del flujo convencional (opuesto al del flujo de electrones), si la corriente resultante del diodo tiene la misma dirección que la punta de flecha del símbolo del diodo, éste se encontrará operando en la región de conducción como se muestra en la figura 1.3a. Si la corriente resultante tiene la dirección opuesta, como se muestra en la figura 1.3b, será apropiado considerarlo el equivalente de un circuito abierto.



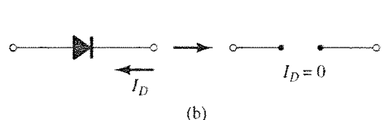


Figura 1.3 Estados de (a) conducción y (b) no conducción para un diodo ideal determinados según la dirección de la corriente convencional que establece la red.

Como se expresó anteriormente, el propósito principal de esta sección es mostrar las características de un dispositivo ideal en relación con las características de las distintas variedades comerciales. A medida que avancemos a través de las siguientes secciones, mantenga presentes las siguientes preguntas:

¿Qué tan cercana será la resistencia en polarización directa o resistencia de "encendido" de un diodo real en comparación con el nivel deseado de 0 Ω?

¿La resistencia en polarización inversa será lo suficientemente grande como para permitir una aproximación a un circuito abierto?

1.3 MATERIALES SEMICONDUCTORES

La denominación *semiconductor* advierte en sí misma sus características. El prefijo *semi* es aplicado normalmente a un rango de nivel entre dos límites.

El término conductor se aplica a cualquier material que permite un flujo generoso de carga cuando una fuente de voltaje de magnitud limitada se aplica a través de sus terminales.

Un aislante o dieléctrico es un material que presenta un nivel muy inferior de conductividad cuando se encuentra bajo la presión de una fuente de voltaje aplicada.

Un semiconductor, por lo tanto, es un material que posee un nivel de conductividad que se localiza entre los extremos de un dieléctrico y de un conductor.

Inversamente relacionado con la conductividad de un material, se encuentra la resistencia al flujo de carga o corriente, es decir, mientras mayor sea el nivel de conductividad, menor será el nivel de resistencia. En tablas de referencia, el término *resistividad* (ρ, letra griega rho) se utiliza muchas veces al comparar varios niveles de resistencia de materiales. En unidades métricas, la resistividad de un material se mide como Ω-cm o como Ω-m. Las unidades Ω-cm proceden de la sustitución de las unidades para cada cantidad de la figura 1.4 en la siguiente ecuación (derivada de la ecuación básica de resistencia $R = \rho l/A$):

$$\rho = \frac{RA}{l} = \frac{(\Omega)(\text{cm}^2)}{\text{cm}} \Rightarrow \Omega\text{-cm} \qquad (1.1)$$

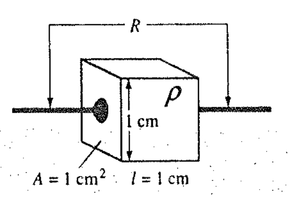


Figura 1.4 Definición de las unidades métricas de la resistividad.

De hecho, si el área de la figura 1.4 es de 1 cm² y la longitud de 1 cm, la magnitud de la resistencia del cubo de la figura 1.4 será igual a la magnitud de la resistividad del material como se demuestra a continuación:

$$|R| = \rho\frac{l}{A} = \rho\frac{(1 \text{ cm})}{(1 \text{ cm}^2)} = |\rho|\text{ohms}$$

Será de utilidad recordar este hecho a medida que comparemos los niveles de resistividad en las explicaciones siguientes.

TABLA 1.1 Valores representativos de resistividad

Conductor	Semiconductor	Dieléctrico
$\rho \cong 10^{-6}$ Ω-cm (cobre)	$\rho \cong 50$ Ω-cm (germanio) $\rho \cong 50 \times 10^{3}$ Ω-cm (silicio)	$\rho \cong 10^{12}$ Ω-cm (mica)

En la tabla 1.1 se muestran los valores representativos de la resistividad para tres categorías amplias de materiales. A pesar de que usted esté familiarizado con las propiedades eléctricas del cobre y de la mica gracias a sus estudios anteriores, las características de los materiales semiconductores como el germanio (Ge) y el silicio (Si) podrían resultarle nuevas. Como usted verá en los siguientes capítulos, éstos no son los únicos dos materiales semiconductores, sin embargo, son los dos materiales que han recibido el grado más amplio de interés para el desarrollo de dispositivos semiconductores. En años recientes se ha observado un desplazamiento hacia el silicio, sin embargo, el germanio continúa produciéndose de forma modesta.

Observe en la tabla 1.1 el enorme rango de valor entre el material conductor y el dieléctrico para el caso del material con una longitud de 1 cm (con área de 1 cm^2). Son dieciocho lugares lo que separa el lugar del punto decimal entre un número y el otro. Existen numerosas razones que explican la atención que han recibido el Ge y el Si, una consideración especial es el hecho de que pueden ser fabricados hasta llegar a un grado de pureza muy alto. De hecho, avances recientes han reducido los niveles de impureza en el material puro hasta de una parte por cada diez mil millones (1:10,000,000,000). Cualquiera podría preguntarse si es realmente necesario un nivel tan bajo de impureza. Ciertamente sí lo es, si se considera que la incorporación de una parte de impureza (del tipo adecuado) por millón, en una oblea de silicio puede alterar este material para convertirlo de un conductor deficiente de electricidad a un buen conductor de ella. Obviamente, cuando hablamos del medio semiconductor estamos tratando con un espectro nuevo en cuanto a niveles de comparación. La habilidad para transformar significativamente las características del material a través de un proceso como éste se conoce como "dopado" y ésta es otra de las razones por la cual el Ge y el Si han recibido mayor atención. Otros motivos incluyen el hecho de que sus características pueden ser alteradas de forma importante mediante la aplicación de luz o de calor, lo cual es una consideración básica para el desarrollo de dispositivos sensibles a la luz o al calor.

Algunas de las características únicas del Ge y del Si, que se mencionaron antes, son el resultado de su estructura atómica. Los átomos de ambos materiales organizan un patrón bien definido que por naturaleza es periódico, es decir, se repite continuamente. Un patrón completo se denomina *cristal* y el arreglo periódico de los átomos se denomina *red.* Para el caso del Ge y del Si, el cristal presenta la estructura tridimensional del diamante de la figura 1.5. Cualquier material compuesto únicamente de estructuras cristalinas repetidas del mismo tipo se denomina estructura de *monocristal.* Los materiales semiconductores de aplicación práctica en el campo de la electrónica, poseen la característica de ser monocristales y además se observa que la periodicidad de su estructura no se altera mucho con la adición de impurezas en el proceso de dopado.

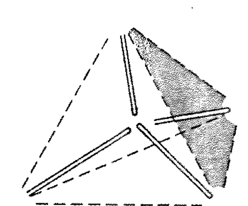


Figura 1.5 Estructura de monocristal del Ge y el Si.

Ahora examinemos la estructura del átomo y observemos cómo éste puede afectar las características eléctricas del material. Como usted sabe, el átomo está compuesto por tres partículas básicas: el *electrón,* el *protón* y el *neutrón.* En la red atómica, los neutrones y protones forman el *núcleo,* mientras que los electrones giran alrededor del núcleo en una *órbita* fija. Los modelos de Bohr para los dos semiconductores más utilizados, el *germanio* y el *silicio,* se muestran en la figura 1.6.

Como se indica en la figura 1.6a, el átomo del germanio contiene 32 electrones en órbita mientras que el silicio cuenta con 14 de ellos. En ambos casos, tenemos 4 electrones en la capa exterior (de *valencia*). El potencial (*potencial de ionización*) que se requiere para sacar de la estructura a cualquiera de estos 4 electrones de valencia es menor que el que se requiere para sacar a cualquier otro electrón de la estructura. En el caso de un cristal puro de silicio o de germanio, estos cuatro electrones de valencia se encuentran enlazados con 4 átomos adyacentes como se muestra para el caso del silicio en la figura 1.7. Tanto el Ge como el Si se denominan *átomos tetravalentes* porque cada uno de ellos mantiene cuatro electrones de valencia.

Una unión de átomos, reforzado por electrones compartidos se denomina enlace covalente.

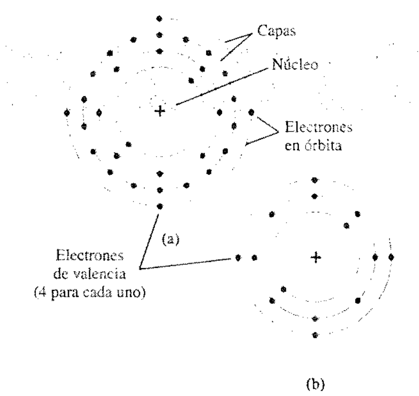


Figura 1.6 Estructura atómica del: (a) germanio; (b) silicio.

Figura 1.7 Enlace covalente para el átomo de silicio.

A pesar de que el enlace covalente asegura un vínculo fuerte entre los electrones de valencia y su átomo, es posible que éstos adquieran suficiente energía cinética de origen natural para poder romper el enlace y asumir un estado "libre". El término *libre* manifiesta que su movimiento será muy sensible a la aplicación de campos eléctricos como los que se generan por fuentes de voltaje o por cualquier diferencia de potencial. Las causas naturales incluyen efectos como la energía luminosa en forma de fotones o energía térmica que proviene del entorno. A temperatura ambiente, existen cerca de 1.5×10^{10} portadores libres en un centímetro cúbico de material intrínseco de silicio.

Los materiales intrínsecos, son aquellos semiconductores que se han refinado cuidadosamente con el objetivo de reducir las impurezas hasta un nivel muy bajo, tan puros como sea posible mediante la utilización de la tecnología moderna.

En un material, los electrones libres generados exclusivamente por causas naturales se denominan *portadores intrínsecos.* A esta misma temperatura, el material intrínseco de germanio contiene aproximadamente 2.5×10^{13} portadores libres por centímetro cúbico. La proporción de portadores libres en el germanio comparada con la del silicio es mayor que 10^3, lo que podría indicar que el germanio es mejor conductor a temperatura ambiente. Esto puede ser cierto, sin embargo ambos materiales se consideran conductores deficientes en estado intrínseco. Observe en la tabla 1.1 que la resistividad también difiere en una proporción de 1000:1 y que para el silicio es mayor. Por supuesto que así debería ser ya que la resistividad y la conductividad se encuentran inversamente relacionadas.

Un incremento en la temperatura de un semiconductor puede ocasionar un incremento sustancial en el número de electrones libres en el material.

A medida que la temperatura se eleva desde el cero absoluto (0 K), un número mayor de electrones de valencia absorbe energía térmica suficiente para romper el enlace covalente y volverse parte del número de portadores libres como se describió anteriormente. El incremento en el número de portadores incrementa el índice de conductividad con lo que ocasiona un nivel de resistencia menor.

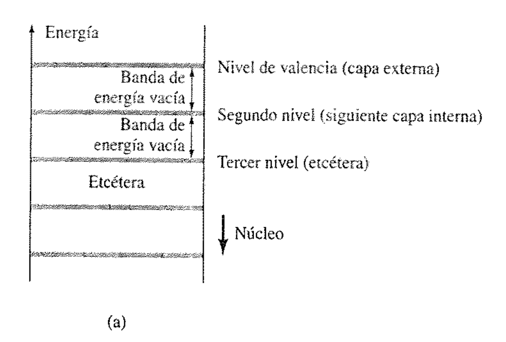
Materiales semiconductores como el Ge y el Si que presentan una reducción en la resistencia cuando se incrementa la temperatura se dice que tienen un coeficiente de temperatura negativo.

Probablemente usted recuerde que la resistencia de la mayoría de los conductores se incrementa con la temperatura. Esto se debe al hecho de que el número de portadores en un conductor no se incrementa de forma importante con la temperatura y, por otro lado, su patrón de vibración con respecto a una posición fija dificulta cada vez más el paso de los electrones. Por lo tanto, un incremento en la temperatura ocasionará un nivel mayor de resistencia y un *coeficiente de temperatura positivo.*

1.4 NIVELES DE ENERGÍA

En la estructura atómica aislada existen niveles discretos de energía (individuales) asociados con cada electrón que orbita, como se muestra en la figura 1.8a. De hecho, cada material tendrá su propio conjunto permitido de niveles de energía para los electrones en su estructura atómica.

Mientras más distante se encuentre el electrón del núcleo, mayor será su estado de energía. Además, cualquier electrón que haya abandonado a su átomo tendrá un estado de energía mayor que cualquier electrón dentro de la estructura atómica.



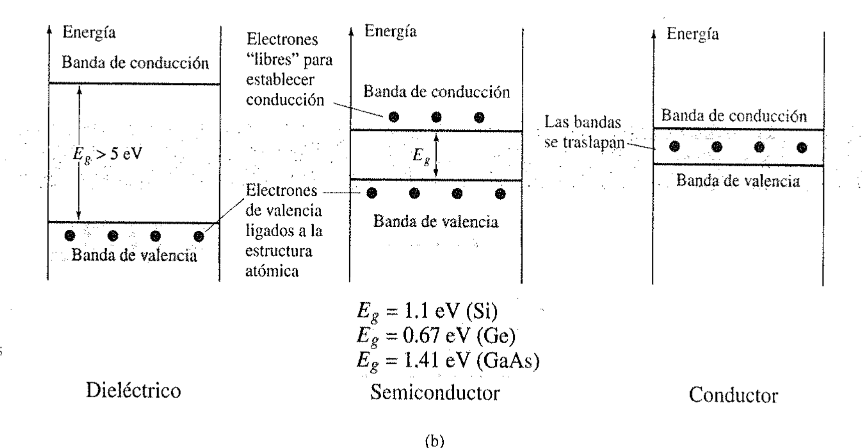


Figura 1.8 Niveles de energía: (a) niveles discretos en estructuras atómicas aisladas; (b) bandas de conducción y de valencia para un dieléctrico, un semiconductor y un conductor.

Entre los niveles de energía discretos existen bandas de energía vacías, brechas, en las que ningún electrón en la estructura atómica aislada puede permanecer. A medida que los átomos de un material se unen para formar la red de estructura cristalina, existirá una interacción entre los átomos, que tiene como efecto que los electrones de una órbita particular de un átomo tengan niveles de energía ligeramente diferentes de los electrones de un átomo adyacente en la misma órbita. El resultado neto será un incremento de los niveles discretos de los estados de energía posibles de los electrones de valencia hacia las bandas, como se muestra en la figura 1.8b. Observe que existen niveles y estados de energía máxima en los que se puede encontrar cualquier electrón de la red atómica, además hay una *región prohibida* entre la banda de valencia y el nivel de ionización. Recuerde que la ionización es el mecanismo por medio del cual un electrón puede absorber energía suficiente para escapar de la estructura atómica e ingresar a la banda de conducción. Observe que la energía asociada a cada electrón se mide en *electrón volts* (eV). La unidad de medida es apropiada, ya que

$$\boxed{W = QV} \quad \text{eV} \tag{1.2}$$

como se deriva de la ecuación que define al voltaje $V = W/Q$. La carga Q es la carga asociada con un solo electrón.

Al sustituir la carga de un electrón y una diferencia de potencial de 1 volt en la ecuación 1.2 tendremos como resultado un nivel de energía referido como un *electrón volt*. Dado que la energía también se expresa en joules y que la carga de un electrón $= 1.6 \times 10^{-19}$ coulomb,

$$W = QV = (1.6 \times 10^{-19}\ \text{C})(1\ \text{V})$$

y

$$\boxed{1\ \text{eV} = 1.6 \times 10^{-19}\ \text{J}} \tag{1.3}$$

A una temperatura de 0 K o cero absoluto (−273.15°C), todos los electrones de valencia de un material semiconductor se encontrarán inmovilizados en la capa externa del átomo que cuente con niveles de energía asociados con la banda de valencia de la figura 1.8b. Sin embargo, a temperatura ambiente (300 K, 25°C) un gran número de electrones de valencia habrán adquirido energía suficiente para abandonar la banda de valencia, cruzar la banda de energía vacía definida por E_g en la figura 1.8b, e ingresar en la banda de conducción. Para el caso del silicio E_g es igual a 1.1 eV, para el germanio es igual a 0.67 eV y para el arseniuro de galio 1.41 eV. El bajo nivel evidente de E_g para el germanio se debe al alto número de portadores en ese material en comparación con el del silicio a temperatura ambiente. Observe que para el aislante la banda de energía vacía es por lo general de 5 eV o más, lo que limita estrictamente el número de electrones que pueden ingresar en la banda de conducción a temperatura ambiente. El conductor mantiene electrones en la banda de conducción, incluso a los 0 K. Por tanto, para este caso, es evidente que a temperatura ambiente existirán portadores libres, más que suficientes, para sostener un flujo fuerte de carga o de corriente.

En la sección 1.5 veremos que si ciertas impurezas se añaden a los materiales semiconductores intrínsecos, aparecerán estados de energía en las bandas prohibidas que provocarán una reducción neta de E_g para ambos materiales semiconductores —por consiguiente, ¡una densidad elevada de portadores en la banda de conducción a temperatura ambiente!

1.5 MATERIALES EXTRÍNSECOS: TIPO *n* Y TIPO *p*

Las características de los materiales semiconductores pueden alterarse de manera importante mediante la adición de ciertos átomos de impureza al material semiconductor prácticamente puro. A pesar de que estas impurezas se añaden en proporción de una parte por cada 10 millones, pueden alterar la estructura de bandas lo suficiente como para modificar las propiedades eléctricas del material por completo.

Un material extrínseco es un material semiconductor que se ha sujetado a un proceso de dopaje.

Existen dos materiales extrínsecos de importancia incalculable para la fabricación de dispositivos semiconductores: el tipo *n* y el tipo *p*. Se describirán con detalle cada uno de ellos en los párrafos siguientes.

Material tipo *n*

Tanto los materiales tipo *n* como los tipo *p* se forman cuando se añade un número predeterminado de átomos de impureza a una base de germanio o de silicio. El material tipo *n* se crea al introducir elementos impuros que cuentan con *cinco* electrones de valencia (*pentavalentes*) como es el caso del *antimonio*, el *arsénico* o el *fósforo*. En la figura 1.9 se muestra el efecto de tales elementos de impureza (al utilizar al antimonio como elemento de impureza sobre una base de silicio). Advierta que los cuatro enlaces covalentes permanecen presentes; sin embargo, existe un quinto electrón adicional que proviene del átomo de impureza, el cual se encuentra *disociado* de cualquier enlace covalente particular. Este electrón sobrante, que tiene un enlace débil con su átomo (el antimonio), se encuentra relativamente libre para moverse dentro del ma-

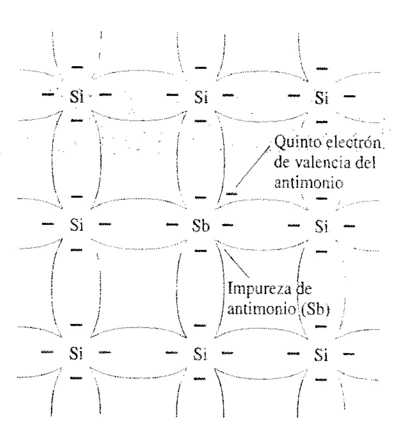


Figura 1.9 Impureza de antimonio en un material de tipo *n*.

terial tipo *n* recién formado. Dado que el átomo de impureza que se insertó, cedió un electrón relativamente "libre" a la estructura:

Las impurezas difundidas que cuentan con cinco electrones de valencia se denominan átomos donores.

Es importante distinguir que aunque se ha establecido un gran número de portadores "libres" en el material de tipo *n*, éste permanece con carga eléctrica *neutral*; debido a que, de manera ideal, el número de protones con carga positiva que se encuentra en el núcleo sigue siendo igual al número de electrones "libres" con carga negativa en la estructura.

El efecto de este proceso de dopaje en la conductividad relativa puede describirse mejor mediante el uso del diagrama de bandas de energía de la figura 1.10. Observe que surge un nivel discreto de energía (llamado *nivel donor*) en la banda prohibida con un E_g mucho menor que el del material intrínseco. Los electrones "libres", que resultan de la adición de las impurezas, se asientan en este nivel de energía y tendrán menor dificultad para absorber una cantidad suficiente de energía térmica para moverse hacia adentro de la banda de conducción a temperatura ambiente. El resultado de todo esto es que, a temperatura ambiente, existirá un número mayor de portadores (electrones) en el nivel de conducción por lo que la conductividad del material se incrementará de forma significativa. A temperatura ambiente en un material intrínseco como el Si existe cerca de un electrón libre por cada 10^{12} átomos (1 a 10^9 para el caso del Ge). Si nuestro grado de dosificación de impurezas fuera de 1 en 10 millones (10^7), la razón ($10^{12}/10^7 = 10^5$) indicaría que la concentración de portadores se ha incrementado en una proporción de 100,000:1.

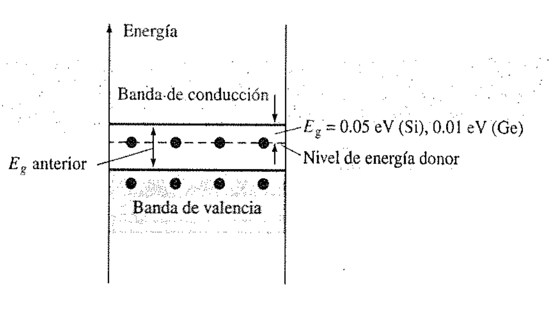


Figura 1.10 Efecto de impurezas donadoras sobre la estructura de las bandas de energía.

Material tipo *p*

El material tipo *p* se forma mediante el dopado de un cristal puro de germanio o de silicio con átomos de impureza que cuenten con *tres* electrones de valencia. Los elementos que se utilizan de forma más frecuente para este propósito son: el *boro*, el *galio* y el *indio*. En la figura 1.11 se muestra el efecto de uno de estos elementos, el boro, sobre una base de silicio.

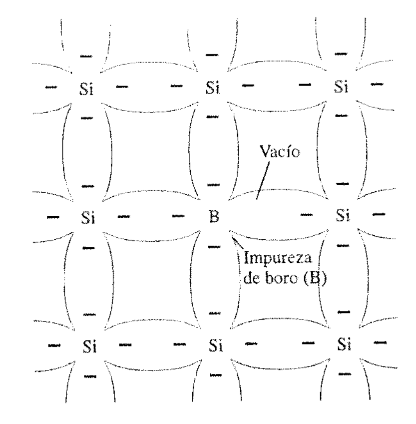


Figura 1.11 Impureza de boro en un material tipo *p*.

Observe que ahora existe un número insuficiente de electrones para completar los enlaces covalentes de la red recién formada. La vacante resultante se llama *hueco* y se representa por medio de un círculo pequeño o de un signo positivo que se debe a la ausencia de una carga negativa. Dado que la vacante resultante *aceptará* fácilmente un electrón libre:

Las impurezas difundidas que cuentan con tres electrones de valencia se denominan átomos aceptores.

El material resultante de tipo *p* es eléctricamente neutro, por las mismas razones descritas para el material de tipo *n*.

Flujo de electrones *versus* flujo de huecos

El efecto del hueco sobre la conductividad se muestra en la figura 1.12. Si un electrón de valencia adquiere suficiente energía cinética para romper su enlace covalente y llena el vacío creado por un hueco, entonces, una vacante o hueco se creará en el enlace covalente que liberó al electrón. Por lo tanto, existirá una transferencia de huecos hacia la izquierda y de electrones hacia la derecha, como se muestra en la figura 1.12. La dirección que se utilizará en este texto es la del *flujo convencional*, la cual se indica por la dirección del flujo de huecos.

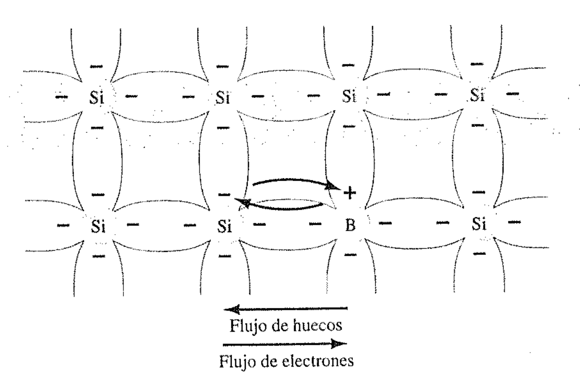


Figura 1.12 Flujo de electrones *versus* flujo de huecos.

Portadores mayoritarios y minoritarios

En el estado intrínseco, el número de electrones libres en el Ge o en el Si se debe únicamente a los pocos electrones en la banda de valencia que adquirieron energía de fuentes térmicas o luminosas suficiente para romper el enlace covalente, o a las escasas impurezas que no se pudieron eliminar. Las vacantes que se dejaron atrás en la estructura de enlace covalente representan nuestro limitado suministro de huecos. En un material de tipo *n*, el número de huecos no ha cambiado de forma importante desde este nivel intrínseco. El resultado total, por lo tanto, será que el número de electrones excede por mucho al número de huecos. Por esta razón:

En un material de tipo n (figura 1.13a) el electrón se denomina portador mayoritario y el hueco, portador minoritario.

Para el material tipo *p*, el número de huecos sobrepasa por mucho al número de electrones como se muestra en la figura 1.13b. Por lo tanto:

En un material de tipo p el hueco es el portador mayoritario y el electrón es el portador minoritario.

Cuando el quinto electrón de un átomo donor abandona a su átomo, el átomo restante adquiere una carga neta positiva: de aquí el signo positivo en la representación ión donor. Por razones similares, aparece el signo negativo en el ión aceptor.

Los materiales tipo *n* y tipo *p* representan los componentes básicos de construcción para los dispositivos semiconductores. En la siguiente sección veremos que la "unión" de un material tipo *n* con un material tipo *p* tiene como resultado un elemento semiconductor de importancia considerable para los sistemas electrónicos.

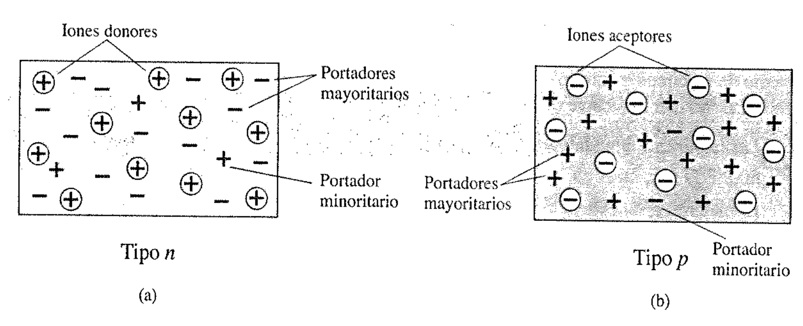


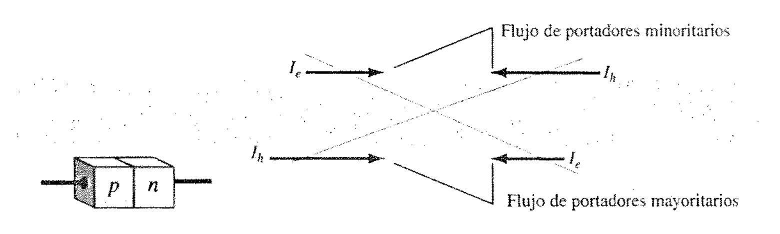
Figura 1.13 (a) material tipo *n*; (b) material tipo *p*.

1.6 DIODO SEMICONDUCTOR

En la sección 1.5 se presentaron los materiales tipo *n* y tipo *p*. El diodo semiconductor se forma al unir estos materiales (construidos a partir de la misma base: Ge o Si), como se muestra en la figura 1.14, mediante la aplicación de técnicas que se describirán en el capítulo 19. En el momento en que los dos materiales se "unan", los electrones y los huecos en la región de unión se combinarán, y como consecuencia se originará una carencia de portadores en la región cercana a la unión.

Esta región de iones positivos y negativos descubiertos se denomina región de agotamiento debido a la disminución de portadores en ella.

Ya que el diodo es un dispositivo de dos terminales, la aplicación de un voltaje a través de sus terminales ofrece tres posibilidades: *sin polarización* ($V_D = 0$ V), *polarización directa* ($V_D > 0$ V), y *polarización inversa* ($V_D < 0$ V). Cada posibilidad es una condición que implica una respuesta, ésta se debe entender claramente por el usuario si es que se desea aplicar el dispositivo de manera efectiva.



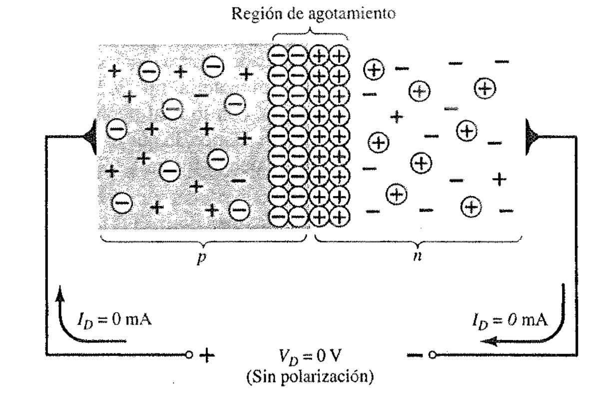


Figura 1.14 Unión *p-n* sin polarización externa.

Sin aplicación de polarización (V_D = 0 V)

Bajo condiciones sin polarización (sin un voltaje aplicado), cualquier portador minoritario (hueco) en el material tipo *n* que se encuentre dentro de la región de agotamiento fluirá directamente hacia el material tipo *p*. Mientras más cercano se encuentre el portador minoritario a la unión, mayor será la atracción hacia la capa de iones negativos y menor la oposición de los iones positivos de la región de agotamiento del material tipo *n*. Con el propósito de servir para exposiciones futuras, tendremos que asumir que todos los portadores minoritarios del material tipo *n* que se encuentren en la región de agotamiento por causa de su movimiento aleatorio, fluirán directamente hacia el material tipo *p*. Una exposición similar puede aplicarse para el caso de los portadores minoritarios (electrones) de un material tipo *p*. Este flujo de portadores se indica en la figura 1.14 para los portadores minoritarios de cada material.

Los portadores mayoritarios (electrones) del material tipo *n* deben superar tanto a las fuerzas de atracción de la capa de iones positivos de material tipo *n* como al escudo de iones negativos del material tipo *p*, para poder migrar al área del material tipo *p* que se encuentra más allá de la región de agotamiento. Sin embargo, dado que el número de portadores mayoritarios es tan grande en el material tipo *n*, existirá invariablemente un número pequeño de portadores mayoritarios con suficiente energía cinética para pasar a través de la región de agotamiento hacia el material tipo *p*. Nuevamente el mismo razonamiento se aplica a los portadores mayoritarios (huecos) del material tipo *p*. El flujo resultante por los portadores mayoritarios también se muestra en la figura 1.14.

Una observación más cercana de la figura 1.14 nos revela que las magnitudes relativas de los vectores de flujo son tales, que el flujo neto en cualquier dirección es cero. Esta cancelación de los vectores se indica mediante las líneas cruzadas. La longitud del vector que representa el flujo de huecos se dibujó mayor que la del flujo de electrones para demostrar que la magnitud de cada uno no tiene que ser la misma para que puedan cancelarse y que además, los niveles de dopado de cada material pueden ocasionar un flujo desigual de huecos y de electrones. En resumen, entonces:

En ausencia de un voltaje de polarización aplicado, el flujo neto de carga en cualquier dirección para un diodo semiconductor es cero.

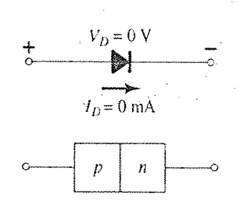


Figura 1.15 Situación sin polarización para un diodo semiconductor.

En la figura 1.15 se repite el símbolo de un diodo pero ahora éste muestra sus regiones tipo *n* y tipo *p* asociadas. Observe que la flecha se asocia con el componente tipo *p* y que la barra con la región tipo *n*. Como se indicó, $V_D = 0$ V y la corriente en cualquier dirección es 0 mA.

Situación de polarización inversa ($V_D < 0$ V)

Si se aplica un potencial externo de V volts a través de la unión *p-n* de tal forma que la terminal positiva se conecta al material tipo *n* y la terminal negativa al material tipo *p* como se muestra en la figura 1.16, el número de iones descubiertos positivos en la región de agotamiento del material tipo *n* se incrementará debido al gran número de electrones "libres" atraídos por el potencial positivo del voltaje aplicado. Por razones similares, el número de iones descubiertos negativos se incrementará en el material tipo *p*. El efecto neto será, por lo tanto, un crecimiento del área de agotamiento, con lo cual también se establecerá una barrera que detendrá el paso de los portadores mayoritarios, lo que da como resultado una reducción a cero del flujo de éstos como se muestra en la figura 1.16.

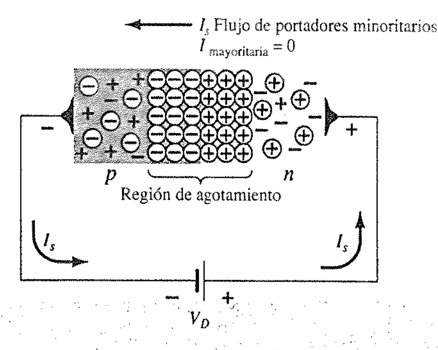


Figura 1.16 Unión *p-n* bajo polarización inversa.

Sin embargo, el número de portadores minoritarios que entran en la región de agotamiento no cambia, con lo que resultan vectores de flujo de portadores minoritarios que tienen la misma magnitud, como se indica en la figura 1.14, sin voltaje aplicado.

La corriente que se forma bajo una situación de polarización inversa se denomina corriente de saturación inversa y se representa por I_s.

La corriente de saturación inversa rara vez es mayor a unos cuantos microamperes excepto para el caso de dispositivos de alta potencia. De hecho, en años recientes su nivel se encuentra en el rango de los nanoamperes para los dispositivos de silicio y en el rango bajo de los microamperes para el germanio. El término *saturación* proviene del hecho de que alcanza rápidamente su máximo nivel y de que no cambia de forma importante con incrementos del potencial de polarización inversa, como se muestra en las características del diodo de la figura 1.19 cuando $V_D < 0$ V. Las situaciones para una polarización inversa se muestran en la figura 1.17 tanto para el símbolo del diodo como de la unión *p-n*. Observe en particular que la dirección de I_s es contraria a la flecha del símbolo. Advierta también que el potencial negativo se encuentra conectado al material tipo *p* y que el potencial positivo al material tipo *n*, la diferencia en las letras subrayadas de cada región indican la condición de polarización inversa.

(Opuesto)

Figura 1.17 Situación de polarización inversa para un diodo semiconductor.

Situación de polarización directa ($V_D > 0$ V)

Se establece una situación de *polarización directa* o de "encendido" cuando se aplica un potencial positivo a un material tipo *p* y un potencial negativo a un material tipo *n* como se muestra en la figura 1.18. Entonces, como regla futura:

Un diodo semiconductor se encuentra en polarización directa cuando se establece una asociación tipo p con positivo y tipo n con negativo.

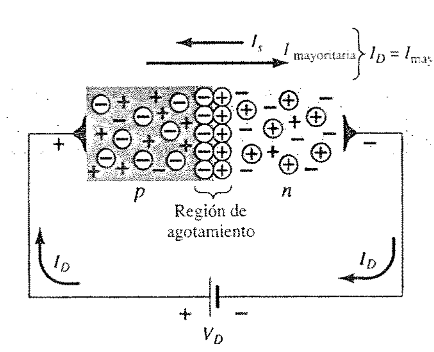


Figura 1.18 Unión *p-n* bajo polarización directa.

La aplicación de un potencial con polarización directa V_D "presionará" a los electrones del material tipo *n* y a los huecos del material tipo *p* para que se recombinen con los iones cercanos a la frontera y para reducir el ancho de la región de agotamiento como se muestra en la figura 1.18. El flujo resultante de portadores minoritarios del material tipo *p* hacia el material tipo *n* (y el de los huecos del material tipo *n* hacia el material tipo *p*) no varió en magnitud (ya que el nivel de conducción se controla principalmente por el nivel de impurezas en el material); sin embargo, la reducción en el ancho de la región de agotamiento provoca un fuerte flujo de portadores mayoritarios sobre la unión. Un electrón del material tipo *n* ahora "advierte" una barrera más reducida en la unión debido a una región de agotamiento reducida y una fuerte atracción ocasionada por el potencial positivo aplicado al material tipo *p*. A medida que la magnitud de la polarización aplicada se incrementa, la región de agotamiento continuará disminuyendo su amplitud hasta que un grupo de electrones pueda atravesar la unión, con un incremento exponencial de la corriente como resultado, de la forma en que se muestra en la región de polarización directa en las características de la figura 1.19. Observe que el eje vertical de la figura 1.19 se expresa en miliamperes (aunque existen algunos diodos semiconductores que poseen ejes verticales expresados en amperes) y que el eje horizontal para la región de polarización directa tiene un nivel máximo de 1 V, sin embargo, normalmente el voltaje a través del diodo bajo polarización directa será menor que 1 V. Observe también la rapidez con la que se incrementa la corriente una vez que se pasa el punto de inflexión de la curva.

Es posible demostrar mediante el empleo de la física del estado sólido que las características generales de un diodo semiconductor se pueden definir con la siguiente ecuación, tanto para la región de polarización inversa como para la directa:

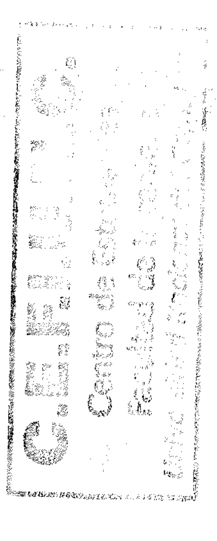
$$\boxed{I_D = I_s(e^{kV_D/T_K} - 1)} \qquad (1.4)$$

donde I_s = corriente de saturación inversa
$k = 11{,}600/\eta$ donde $\eta = 1$ para el Ge y $\eta = 2$ para el Si para niveles relativamente bajos de corriente del diodo (en o abajo del punto de inflexión de la curva) y $\eta = 1$ tanto para el Ge como para el Si para niveles mayores de corriente del diodo (para la sección de rápido crecimiento de la curva)
$T_K = T_C + 273°$

En la figura 1.19 se presenta una gráfica de la ecuación 1.4. Si expandimos la ecuación 1.4 de la siguiente forma, los componentes de cada región de la figura 1.19 se podrán describir de forma más fácil.

$$I_D = I_s e^{kV_D/T_K} - I_s$$

Para valores de V_D positivos, el primer término de la ecuación anterior crecerá de forma muy rápida y sobrepasará el efecto contrario del segundo término. El resultado de esto es que para valores positivos de V_D, I_D será positiva y crecerá a un ritmo equivalente de $y = e^x$ que aparece en la figura 1.20. Para el caso cuando $V_D = 0$ V, la ecuación 1.4 se convierte en $I_D = I_s(e^0 - 1) = I_s(1 - 1) = 0$ mA como aparece en la figura 1.19. Para el caso de valores negativos de V_D, el primer término de la ecuación rápidamente caerá hacia niveles



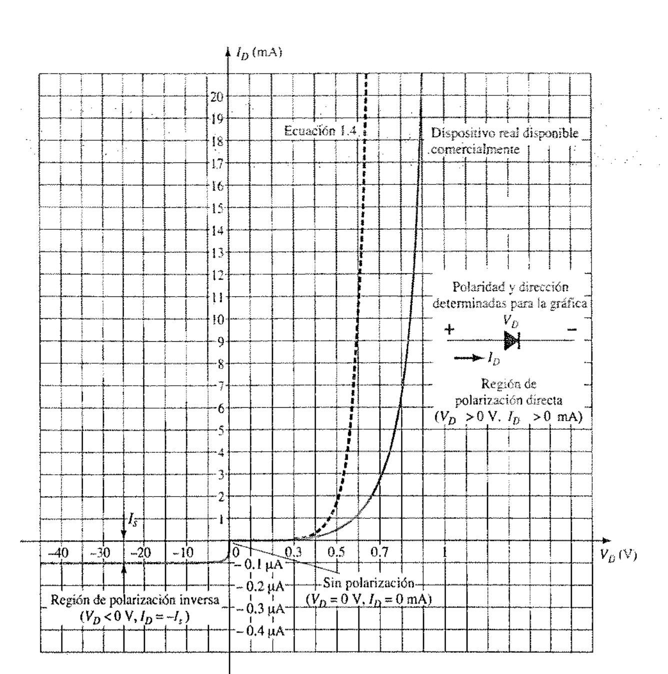


Figura 1.19 Características del diodo semiconductor de silicio.

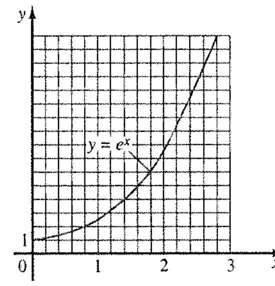
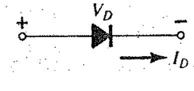


Figura 1.20 Gráfica de e^x.



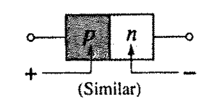


Figura 1.21 Situación de polarización directa para un diodo semiconductor.

inferiores de I_s con lo que se obtiene: $I_D = -I_s$, lo cual se representa con la línea horizontal de la figura 1.19. La discontinuidad para la condición $V_D = 0$ V aparece de esa forma en la gráfica debido al cambio dramático de escala de mA a μA.

Observe en la figura 1.19 que el dispositivo comercialmente disponible tiene sus características desplazadas hacia la derecha con una magnitud de algunos décimos de volt. Esto se debe a la resistencia interna del "cuerpo" del diodo y a la resistencia externa del "contacto" del mismo. Cada una de éstas resistencias contribuye a obtener un voltaje adicional con el mismo nivel de corriente como lo determina la ley de Ohm ($V = IR$). Con el tiempo, y a medida que los métodos de fabricación mejoren, esta diferencia será menor y las características reales se aproximarán a las de la ecuación 1.4

Es importante prestar atención al cambio en la escala del eje vertical y el horizontal. Para valores positivos de I_D la escala se encuentra en miliamperes y la escala bajo el eje en microamperes (o posiblemente en nanoamperes). Para el caso de V_D, la escala para los valores positivos se encuentra en décimos de volt y para los valores negativos en decenas del mismo.

A simple vista, la ecuación 1.4 podría parecer compleja y alguien podría temer que su utilización sea necesaria para todas las aplicaciones subsiguientes del diodo; sin embargo, posteriormente en esta sección se realizarán varias aproximaciones, que evitarán el uso de esta ecuación, y nos facilitarán una solución con un mínimo de dificultad matemática.

Antes de abandonar el tema del estado de polarización directa, se repite en la figura 1.21 la situación de conductividad (estado "encendido") con las polaridades requeridas y la dirección del flujo de portadores mayoritarios resultante. Observe en particular la forma en que la dirección de la conducción es la misma que la que indica la flecha del símbolo (según se mostró para el diodo ideal).

Región Zener

A pesar de que la escala utilizada en la figura 1.19 se encuentra en decenas de volts para la región negativa, existe un punto donde al aplicar un exceso mayor de voltaje se ocasiona un cambio drástico en las características, como se muestra en la figura 1.22. En este punto, la corriente se incrementa a un ritmo muy rápido con una dirección opuesta a la que tiene la región de voltaje positivo. El potencial de polarización inversa que provoca este

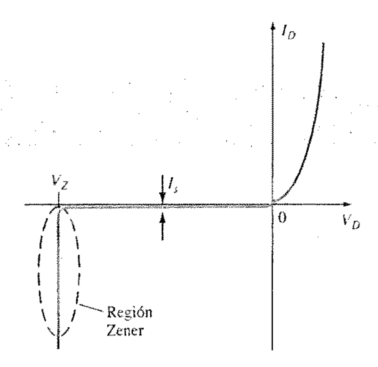


Figura 1.22 Región Zener.

cambio dramático de las características del diodo se denomina *potencial Zener* y se le asigna el símbolo V_Z.

A medida que el voltaje a través del diodo se incrementa sobre la región de polarización inversa, también se incrementa la velocidad de los portadores minoritarios que son los responsables de la corriente de saturación inversa I_s. En algunas ocasiones, su velocidad y su energía cinética asociada ($W_K = \frac{1}{2}mv^2$) serán lo suficientemente grandes como para liberar portadores adicionales mediante colisiones con estructuras atómicas que en otro caso serían estables. Esto es, cuando los electrones de valencia absorban tanta energía como para abandonar su átomo, se provocará un proceso de *ionización*. Estos portadores adicionales pueden entonces apoyar al proceso de ionización al punto donde se establezca un alta corriente de *avalancha* y se determine la región de *ruptura en avalancha*.

La región de avalancha (V_Z) se puede acercar al eje vertical mediante el incremento en los niveles de dopado tanto para el material tipo *n* como para el tipo *p*. Sin embargo, a medida que V_Z disminuye a niveles muy bajos, como −5 V, existe otro mecanismo llamado *ruptura Zener*, el cual contribuirá al cambio severo en la característica. Esto sucede debido a que existe un campo eléctrico fuerte en la región de unión que es capaz de romper las fuerzas internas de enlace del átomo y "generar" portadores. A pesar de que el mecanismo de ruptura Zener contribuye de manera importante sólo a bajos niveles de V_Z, este cambio severo en la característica en cualquier nivel se denomina *región Zener*, y los diodos que aprovechan esta porción única de la característica de la unión *p-n* se designan como *diodos Zener*, los cuales se describen en la sección 1.15.

La región Zener descrita para un diodo semiconductor deberá de evitarse si la respuesta del sistema no debe ser completamente alterada por el cambio severo en las características para esta región de voltaje inverso.

El potencial máximo de polarización inversa que puede aplicarse antes de ingresar en la región Zener se denomina voltaje pico inverso (referido simplemente como el valor PIV, por las iniciales en inglés de Peak Inverse Voltage) o como voltaje PRV (por las iniciales en inglés de Peak Reverse Voltage).

Si una aplicación específica requiere un nivel de PIV mayor que el que puede ofrecer una sola unidad, es posible conectar en serie un conjunto de diodos con las mismas características. Los diodos también se pueden conectar en paralelo con el objetivo de incrementar la capacidad para conducir corriente.

Comparación entre el silicio y el germanio

Por lo general, los diodos de silicio cuentan con un PIV y un índice de corriente mayores, así como un rango de temperatura más amplio que los diodos de germanio. Los niveles de PIV para el caso del silicio se encuentran cercanos a 1000 V, mientras que el valor máximo para el caso del germanio se encuentra alrededor de 400 V. El silicio puede utilizarse para aplicaciones en las cuales la temperatura puede elevarse hasta 200°C (400°F), mientras que el germanio posee un nivel máximo mucho menor (100°C). La desventaja que tiene el silicio comparado con el germanio, como se indica en la figura 1.23, es la del mayor

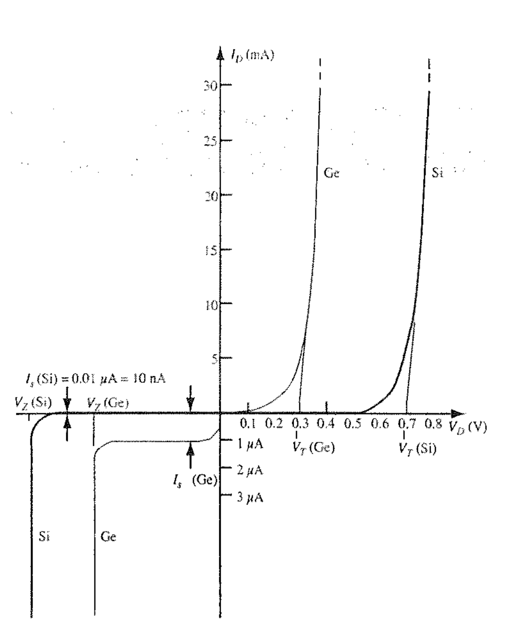


Figura 1.23 Comparación entre diodos semiconductores de Si y de Ge.

voltaje en polarización directa que requiere para alcanzar la región de conducción. Este voltaje se encuentra alrededor de 0.7 V para diodos de silicio *comercialmente* disponibles y de 0.3 V para los diodos de germanio, con valores redondeados al décimo de volt más cercano. La diferencia mayor para el caso del silicio se debe principalmente al factor η de la ecuación 1.4. Este factor juega un papel importante en la determinación de la forma de la curva pero sólo para niveles muy bajos de corriente ya que una vez que la curva inicia su crecimiento, el factor η baja a 1 (el valor continuo del germanio). Esto se demuestra por las similitudes en las curvas una vez que el potencial de conducción se alcanza. El potencial en el que inicia este crecimiento de la curva se denomina comúnmente como *potencial de conducción, de umbral* o *de disparo*. Con frecuencia, se utiliza la primera letra del término que describe a una cantidad particular para la notación de dicha cantidad. Sin embargo, para asegurar un grado mínimo de confusión con otros términos, como el de voltaje de salida (V_o, por su inicial en inglés, *output*) y el de voltaje directo (V_F, por su inicial en inglés, *forward*), se adoptará la notación V_T para este término (umbral del inglés *threshold*) a lo largo de este libro.

En resumen:

$$\boxed{\begin{array}{c} V_T \cong 0.7\,\text{V (Si)} \\ V_T \cong 0.3\,\text{V (Ge)} \end{array}} \qquad \text{V}$$

Obviamente, el diodo se acercará más a la condición "ideal" mientras más cercano se encuentre el desplazamiento ascendente, excursión, al eje vertical. Sin embargo, son las otras características del silicio las que lo hacen ser el elegido entre la mayoría de las unidades comercialmente disponibles.

Efectos de la temperatura

La temperatura puede ejercer un efecto marcado sobre las características de un diodo semiconductor de silicio, como podemos observar para el caso de un diodo de silicio típico en la figura 1.24. De forma experimental se ha encontrado que:

> *La magnitud de la corriente de saturación inversa I_s se incrementará en una proporción doble por cada incremento de 10°C en la temperatura.*

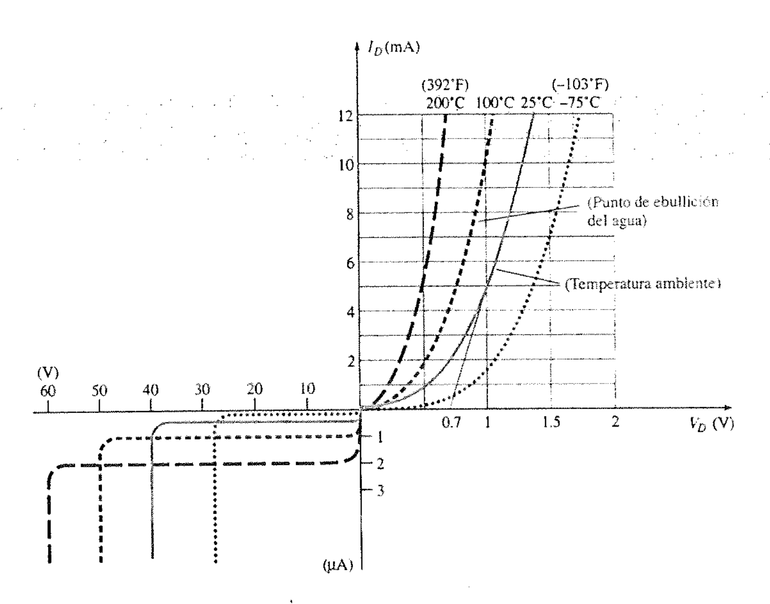


Figura 1.24 Variación en las características de un diodo debida a cambios de temperatura.

No es poco frecuente que un diodo de germanio con un I_s del orden de 1 o 2 μA a 25°C mantenga una fuga de corriente de 100 μA = 0.1 mA a una temperatura de 100°C. Tales magnitudes de niveles de corriente para la región de polarización inversa seguramente nos harán cuestionarnos acerca de la validez de la condición deseada de circuito abierto para la región de polarización inversa. Para el silicio, los valores típicos de I_s son mucho menores que para el germanio a niveles de corriente y de potencia similares como se muestra en la figura 1.23. El resultado de esto es que incluso a temperaturas altas, los niveles de I_s para los diodos de silicio, no llegan a alcanzar los elevados niveles obtenidos del germanio, lo cual es una razón muy importante por la cual los dispositivos de silicio disfrutan de un mayor nivel de desarrollo y de utilización en el diseño. Fundamentalmente, a cualquier temperatura, se obtiene un equivalente mejor de circuito abierto para la región de polarización inversa mediante el silicio en lugar del germanio.

Los mayores niveles de I_s, como resultado del incremento de temperatura, son responsables de los niveles bajos del voltaje de umbral como se muestra en la figura 1.24. Observe que al incrementar el nivel de I_s en la ecuación 1.4 existirá un incremento rápido en la corriente del diodo. Desde luego, el nivel de T_K también se incrementará en la misma ecuación; sin embargo, el nivel creciente de I_s se sobrepondrá al menor cambio porcentual de T_K. A medida que la temperatura se incrementa, las características en polarización directa se vuelven más "ideales"; sin embargo, cuando analicemos las hojas de especificaciones veremos que temperaturas superiores a los rangos normales de operación pueden ejercer un efecto muy nocivo en los niveles máximos de potencia y de corriente del diodo. Para la región de polarización inversa el voltaje de ruptura se incrementa con la temperatura, pero también advierta el incremento inconveniente en la corriente inversa de saturación.

1.7 MATHCAD

A lo largo del texto utilizaremos un paquete de software matemático denominado **Mathcad®** para familiarizar al estudiante con las diversas operaciones que este popular paquete puede desempeñar y con las ventajas asociadas a su utilización. No es necesario adquirir una copia del programa de software, a menos que usted se sienta interesado en aprenderlo y utilizarlo después de esta breve introducción. Sin embargo, por lo general la cobertura ofrecida se encuentra a un nivel básico para presentar el alcance y el poder del paquete. Todos los ejercicios que aparecen al final de cada capítulo se pueden resolver sin el apoyo de Mathcad.

La utilidad de Mathcad supera fácilmente a la de una calculadora científica portátil, ya que puede desplegar gráficas, efectuar operaciones algebraicas matriciales, permite la adición de texto a cualquier cálculo, comunicarse con cualquier otra fuente de datos como Excel®, MATLAB® o Internet, almacenar datos e información, etcétera; la lista de facilidades es muy extensa e impresionante. Mientras más conozca el paquete más usos encontrará para él en su utilización cotidiana.

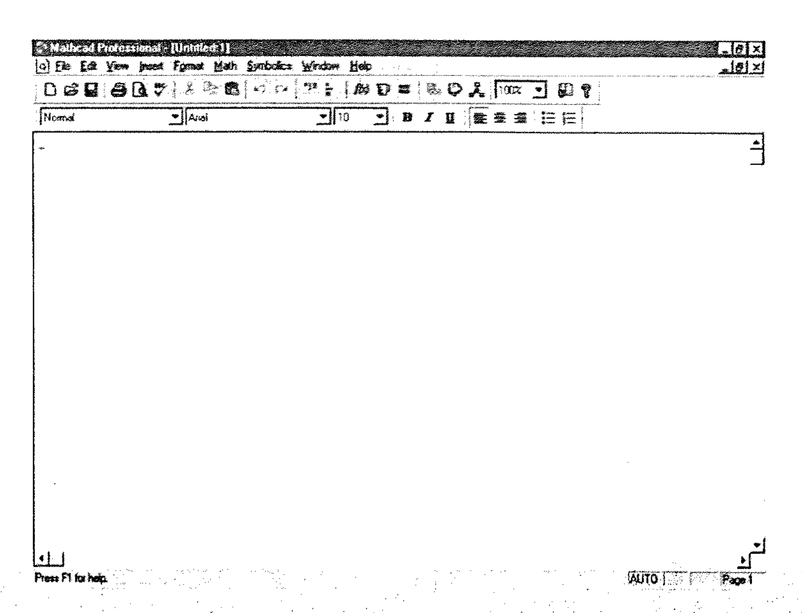


Figura 1.25 Pantalla principal de Mathcad.

Una vez que el paquete se ha instalado, todas las operaciones inician con la pantalla principal de la figura 1.25; se han añadido rótulos a esta pantalla para identificar sus partes. Por lo general, todas las operaciones matemáticas se efectúan en la secuencia específica que se muestra en la figura 1.26, esto es, de izquierda a derecha y de arriba abajo. Por ejemplo, si en la línea 2 se operará sobre una variable, el valor de la variable deberá estar definido a la izquierda en la misma línea o en la línea 1. Observe que Mathcad es muy sensible al orden de las cosas. Por ejemplo, si usted define una serie de cantidades en una misma línea, pero coloca una de ellas un poco por encima de las otras, ésta no será reconocida por las demás variables si resulta que son parte de su definición. En otras palabras, cuando escriba sobre una misma línea, asegúrese de que permanece en la misma línea para cada entrada nueva. Afortunadamente, Mathcad está bien equipado para avisarle si algo es incorrecto. Cuando usted comience a utilizar el programa por vez primera, le cansará ver tantas cosas en color rojo, lo que indica que algo no se ingresó bien o se encuentra mal definido. Pero con el tiempo, a medida que su aprendizaje avance, usted se sentirá cómodo con el software.

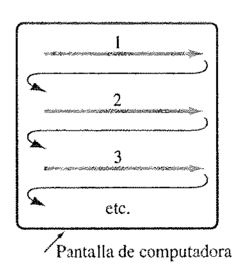


Figura 1.26 Definición del orden de las operaciones matemáticas para Mathcad.

Para efectuar una operación aritmética básica, solamente haga clic sobre **cualquier punto** de la pantalla para establecer una cruz sobre el área de trabajo (el lugar donde comenzará la captura). Si decide que no le agrada ese lugar, simplemente mueva la flecha a otro lugar, vuelva a hacer clic y la cruz se reposicionará. Luego, ingrese la operación matemática $20 - 2 \times 8/6$ como se muestra en la figura 1.27. En el momento en que se teclee el signo de igualad, el resultado aparecerá como se muestra en la figura 1.27. El signo de igualdad se puede ingresar directamente desde el teclado o mediante la barra de menús de la parte superior de la pantalla. De hecho, al utilizar la secuencia de menús **View-Toolbars-Calculator (Ver-Barras de Herramientas-Calculadora)**, usted puede capturar la expresión completa y obtener el resultado utilizando el ratón en lugar de su dedo como la haría con una calculadora común. Además, todas las operaciones matemáticas tales como exponenciales, raíz cuadrada, seno, tangente, etcétera, que normalmente se encuentran en cualquier calculadora científica también se encuentran disponibles aquí.

$$20 - 2\cdot\frac{8}{6} = 17.333$$

Figura 1.27 Operación matemática básica.

$n := 2 \qquad TC := 27 \qquad VD := 0.6 \qquad IS := 50\cdot10^{-9}$

$k := \dfrac{11600}{n} \qquad TK := TC + 273 \qquad x := \dfrac{k}{TK}\cdot VD$

$x = 11.6$

$ID := IS\cdot(e^x - 1)$

$ID = 5.455\cdot10^{-3}$

Figura 1.28 Determinación de la corriente del diodo I_D utilizando la ecuación 1.4.

Para practicar la utilización de variables, calculemos la corriente del diodo utilizando la ecuación 1.4. Para las ecuaciones, primero se escribe la letra o símbolo que se aplica a la variable seguida por un signo de dos puntos, como se muestra en la figura 1.28. Cuando se teclee el signo de dos puntos, aparecerá un signo de igual como se muestra en la misma figura, luego se podrá ingresar el valor de la variable que se utilizará para la primera serie de cálculos. Posteriormente, continúe capturando las siguientes variables en la misma línea para después calcular en la segunda línea las variables adicionales que se encuentran en función de las previas. Observe que **x** requiere que **k, TK** y **VD** sean definidas antes, ya sea en la línea anterior o a la izquierda de la misma línea. En la línea siguiente es posible obtener el valor de **x** simplemente tecleando **x** seguida de un signo de igualdad, con lo que aparecerá inmediatamente 11.6 como respuesta correcta. Ahora tendremos que capturar la ecuación 1.4, y al momento de ingresar cada cantidad, aparecerá un corchete alrededor de cada una de ellas que define la suma que se está capturando, con el tiempo esto se convierte en una característica útil. La multiplicación se realiza utilizando el asterisco que se encuentra en la parte superior de la tecla del número 8 del teclado y los exponenciales se ingresan mediante el signo de exponenciación sobre la tecla del número 6. Una vez que la ecuación se ha registrado de forma correcta, se puede escribir **ID** en la siguiente línea (o a la derecha de la ecuación) y el resultado 5.455 mA aparecerá directamente después de que el signo se haya seleccionado. El resultado indica que para un voltaje de 0.6 V la corriente del diodo será de 5.455 mA.

La belleza de Mathcad se puede realmente demostrar ahora si cambiamos el valor de **VD** a 0.5 V, ya que en el instante en que el valor se intercambia, los nuevos valores de **x** y de **ID** aparecerán de forma automática como se muestra en la figura 1.29. Obviamente, una reducción en **VD** ha reducido la corriente a 0.789 mA. No hay necesidad de capturar la secuencia completa de operaciones nuevamente o de calcular todas las cantidades otra vez con una calculadora, ya que los resultados aparecen de forma inmediata.

$n := 2 \qquad TC := 27 \qquad VD := 0.5 \qquad IS := 50\cdot10^{-9}$

$k := \dfrac{11600}{n} \qquad TK := TC + 273 \qquad x := \dfrac{k}{TK}\cdot VD$

$x = 9.667$

$ID := IS\cdot(e^x - 1)$

$ID = 7.891\cdot10^{-4}$

Figura 1.29 Demostración del efecto del cambio de un parámetro de la ecuación 1.4.

A lo largo de este texto aparecerán ejemplos adicionales por medio de Mathcad, sin embargo, tenga en mente que no es necesario convertirse en un experto para aprovechar el material de este libro, nuestro propósito solamente es presentar el software disponible.

1.8 NIVELES DE RESISTENCIA

A medida que el punto de operación de un diodo se desplaza de una región a otra, la resistencia del diodo también cambiará debido a la forma no lineal de la curva característica. En los siguientes párrafos, se demuestra que el tipo de voltaje o señal aplicada define el nivel de resistencia de interés. En esta sección se presentarán tres niveles diferentes, los cuales seguirán apareciendo en cuanto revisemos otros dispositivos; por lo tanto, la comprensión clara de su definición es muy importante.

Resistencia de DC o resistencia estática

La aplicación de un voltaje de dc a un circuito que contiene un diodo semiconductor tendrá por resultado un punto de operación sobre la curva característica que no varía con el tiempo. La resistencia del diodo en el punto de operación puede encontrarse fácilmente localizando primero los valores correspondientes de V_D y de I_D como se muestra en la figura 1.30 y aplicando posteriormente la siguiente ecuación:

$$R_D = \frac{V_D}{I_D} \tag{1.5}$$

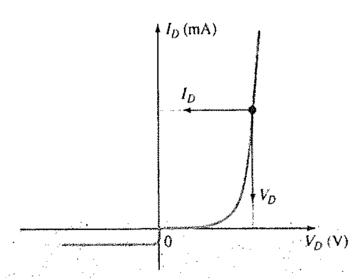


Figura 1.30 Determinación de la resistencia de dc de un diodo en un punto de operación en particular.

La resistencia de dc en el punto de inflexión de la curva y por debajo de él, será mayor que los niveles de resistencia que se obtienen sobre la sección de crecimiento vertical de las características. Los niveles de resistencia para la región de polarización inversa naturalmente serán muy altos. Ya que los óhmetros utilizan por lo regular una fuente de corriente relativamente constante, la resistencia que determinen será la del nivel de corriente predeterminado (comúnmente unos cuantos miliamperes).

Por lo tanto, en general, a menor corriente a través del diodo mayor será el nivel de resistencia de dc.

EJEMPLO 1.1

Determine los niveles de resistencia dc para el diodo de la figura 1.31 utilizando los siguientes valores:
(a) $I_D = 2$ mA
(b) $I_D = 20$ mA
(c) $V_D = -10$ V

Solución

(a) En $I_D = 2$ mA, $V_D = 0.5$ V (de la curva) y

$$R_D = \frac{V_D}{I_D} = \frac{0.5\text{ V}}{2\text{ mA}} = \mathbf{250\ \Omega}$$

(b) En $I_D = 20$ mA, $V_D = 0.8$ V (de la curva) y

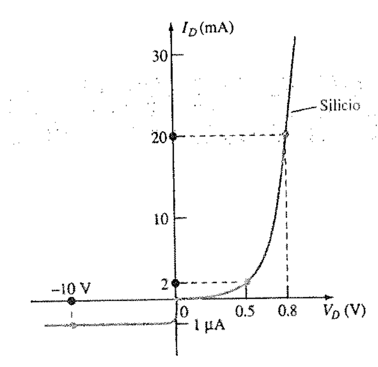


Figura 1.31 Ejemplo 1.1

$$R_D = \frac{V_D}{I_D} = \frac{0.8\text{ V}}{20\text{ mA}} = \mathbf{40\ \Omega}$$

(c) En $V_D = -10$ V, $I_D = -I_s = -1\ \mu$A (de la curva) y

$$R_D = \frac{V_D}{I_D} = \frac{10\text{ V}}{1\ \mu\text{A}} = \mathbf{10\ M\Omega}$$

con lo cual se sustentan las observaciones anteriores con respecto a los niveles de resistencia de dc de un diodo.

Resistencia de AC o resistencia dinámica

A partir de la ecuación 1.5 y del ejemplo 1.1, resulta obvio que la resistencia de dc de un diodo es independiente de la forma que tenga la característica para la región que rodea al punto de interés. Si en lugar de aplicar una entrada de dc, se aplica una entrada senoidal, la situación cambiará por completo. La variación de la entrada desplazará al punto de operación instantáneo hacia arriba y hacia abajo a una región de las características y de esta forma definirá un cambio específico en la corriente y el voltaje como se muestra en la figura 1.32. Sin la aplicación de una señal con variación, el punto de operación estable sería el punto Q que aparece en la figura 1.32, determinado por los niveles de dc aplicados. La designación de *punto Q* se deriva de la palabra *estable* (del inglés *quiescent*), que significa "quieto o sin variación".

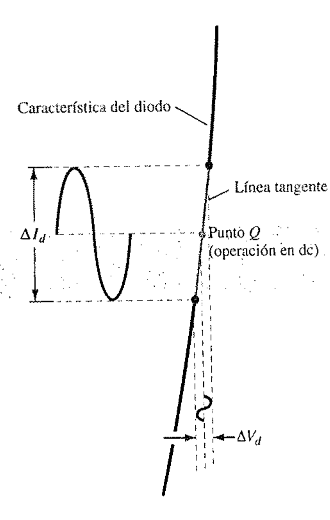


Figura 1.32 Definición de la resistencia dinámica o resistencia de ac.

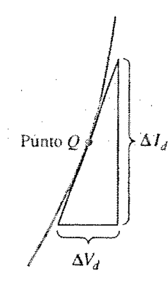


Figura 1.33 Determinación de la resistencia de ac para un punto Q

Si se dibuja una línea recta tangente a la curva sobre el punto Q como se muestra en la figura 1.33, se definirá un cambio particular en el voltaje y en la corriente que se puede utilizar para determinar la resistencia de *ac* o *dinámica* para esta región de las características del diodo. Se deberá efectuar un esfuerzo para mantener el cambio en el voltaje y en la corriente lo más pequeño posible y equidistante de cada lado del punto Q. En forma de ecuación,

$$r_d = \frac{\Delta V_d}{\Delta I_d} \qquad \text{donde } \Delta \text{ significa un cambio finito en la cantidad.} \qquad (1.6)$$

Mientras mayor sea la pendiente, menor será el valor de ΔV_d para el mismo cambio en ΔI_d y menor será la resistencia. La resistencia de ac para la región de crecimiento vertical de la característica es por lo tanto muy pequeña, mientras que la resistencia de ac es mucho mayor para niveles bajos de corriente.

Por lo tanto, en general, mientras menor sea el punto de operación Q (corriente más pequeña o voltaje más pequeño) mayor será la resistencia de ac.

EJEMPLO 1.2

Para las características de la figura 1.34:
(a) Determinar la resistencia de ac cuando $I_D = 2$ mA.
(b) Determinar la resistencia de ac cuando $I_D = 25$ mA.
(c) Comparar los resultados de los incisos (*a*) y (*b*) con la resistencia de dc en cada nivel de corriente.

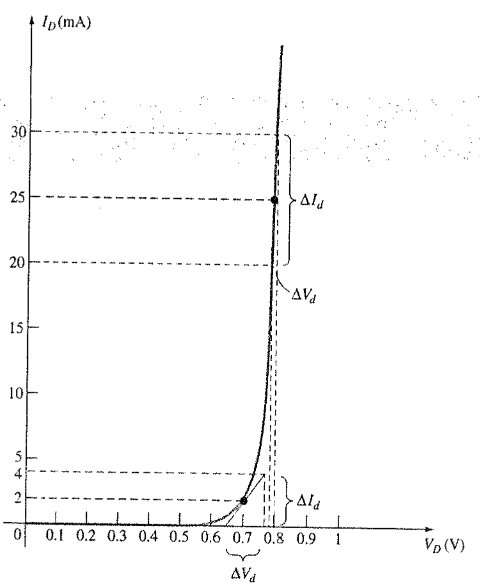


Figura 1.34 Ejemplo 1.2.

Solución

(a) Para el caso $I_D = 2$ mA; se dibujó la línea tangente en $I_D = 2$ mA como se muestra en la figura y se eligió una excursión de la señal de 2 mA por encima y por debajo del nivel de corriente especificado para el diodo. En el punto $I_D = 4$ mA, $V_D = 0.76$ V, y en $I_D = 0$ mA, $V_D = 0.65$ V. Los cambios en la corriente y el voltaje que resultan son

$$\Delta I_d = 4 \text{ mA} - 0 \text{ mA} = 4 \text{ mA}$$

y

$$\Delta V_d = 0.76 \text{ V} - 0.65 \text{ V} = 0.11 \text{ V}$$

y la resistencia de ac:

$$r_d = \frac{\Delta V_d}{\Delta I_d} = \frac{0.11 \text{ V}}{4 \text{ mA}} = \mathbf{27.5\ \Omega}$$

(b) Para el caso $I_D = 25$ mA, se dibujó la línea tangente en $I_D = 25$ mA como se muestra en la figura, con una excursión de 5 mA por encima y por debajo del nivel de corriente elegido para el diodo. En el punto $I_D = 30$ mA, $V_D = 0.8$ V, y en $I_D = 20$ mA, $V_D = 0.78$ V. Los cambios en la corriente y el voltaje que resultan son

$$\Delta I_d = 30 \text{ mA} - 20 \text{ mA} = 10 \text{ mA}$$

y

$$\Delta V_d = 0.8 \text{ V} - 0.78 \text{ V} = 0.02 \text{ V}$$

y la resistencia de ac es

$$r_d = \frac{\Delta V_d}{\Delta I_d} = \frac{0.02 \text{ V}}{10 \text{ mA}} = \mathbf{2\ \Omega}$$

(c) Para el caso $I_D = 2$ mA, $V_D = 0.7$ V y

$$R_D = \frac{V_D}{I_D} = \frac{0.7 \text{ V}}{2 \text{ mA}} = \mathbf{350\ \Omega}$$

lo cual excede por mucho a la r_d de 27.5 Ω.

Para el caso $I_D = 25$ mA, $V_D = 0.79$ V y

$$R_D = \frac{V_D}{I_D} = \frac{0.79 \text{ V}}{25 \text{ mA}} = \mathbf{31.62\ \Omega}$$

lo cual excede por mucho a la r_d de 2 Ω.

Calculamos la resistencia dinámica de forma gráfica, sin embargo, existe una definición básica en cálculo diferencial que establece lo siguiente:

La derivada de una función en un punto específico es igual a la pendiente de la línea tangente dibujada en ese punto.

Por lo tanto, la ecuación 1.6 como se definió en la figura 1.33, es equivalente a calcular la derivada de la función en el punto de operación Q. Si se encuentra la derivada de la ecuación general 1.4 del diodo semiconductor con respecto a la polarización directa aplicada y luego se invierte el resultado, se obtendrá una ecuación para la resistencia de ac o dinámica en esa región. Esto es, al tomar la derivada de la ecuación 1.4 con respecto a la polarización aplicada, el resultado será

$$\frac{d}{dV_D}(I_D) = \frac{d}{dV}[I_s(e^{kV_D/T_K} - 1)]$$

y

$$\frac{dI_D}{dV_D} = \frac{k}{T_K}(I_D + I_s)$$

mediante algunas maniobras básicas del cálculo diferencial. En general, $I_D \gg I_s$, en la sección de la pendiente vertical de las características y

$$\frac{dI_D}{dV_D} \cong \frac{k}{T_K} I_D$$

Al sustituir $\eta = 1$ para el caso del Ge y del Si para la sección de crecimiento vertical en las características, obtendremos

$$k = \frac{11{,}600}{\eta} = \frac{11{,}600}{1} = 11{,}600$$

y a temperatura ambiente,

$$T_K = T_C + 273° = 25° + 273° = 298°$$

de tal forma que $$\frac{k}{T_K} = \frac{11{,}600}{298} \cong 38.93$$

y $$\frac{dI_D}{dV_D} = 38.93 I_D$$

Al invertir el resultado para definir un índice de resistencia ($R = V/I$), se obtiene

$$\frac{dV_D}{dI_D} \cong \frac{0.026}{I_D}$$

o $$\boxed{r_d = \frac{26\text{ mV}}{I_D}}_{\text{Ge,Si}} \qquad (1.7)$$

El significado de la ecuación 1.7 debe entenderse claramente, ya que implica que la resistencia dinámica puede calcularse de forma simple al sustituir el valor de la corriente en el punto de operación del diodo en la ecuación. No hay necesidad de tener disponible las características o de preocuparse por trazar líneas tangenciales como se definió en la ecuación 1.6. Sin embargo, es importante tener en mente que la ecuación 1.7 es exacta solamente para valores de I_D que se encuentran en la sección de crecimiento vertical de la curva. Para valores menores de I_D, $\eta = 2$ (silicio) por lo que el valor de r_D obtenido se debe multiplicar por un factor de 2. Para valores pequeños de I_D que se encuentran por debajo del punto de inflexión de la curva, la ecuación 1.7 resulta inapropiada.

Todos los niveles de resistencia determinados hasta ahora se han definido para la *unión p-n* y no incluyen la resistencia del material semiconductor en sí (denominada resistencia de *cuerpo*) ni la resistencia presentada por la conexión entre el material semiconductor y el conductor metálico externo (denominada *resistencia de contacto*). Estos niveles adicionales de resistencia pueden incluirse en la ecuación 1.7 al agregarle la resistencia denotada por r_B como se muestra en la ecuación 1.8. Por lo tanto, la resistencia r'_d, incluirá tanto a la resistencia dinámica definida por la ecuación 1.7 como a la resistencia r_B recién presentada.

$$\boxed{r'_d = \frac{26\text{ mV}}{I_D} + r_B} \quad \text{ohms} \qquad (1.8)$$

El factor r_B puede tener un rango de valores típicos que van de 0.1 Ω para el caso de dispositivos de alta potencia, hasta de 2 Ω para el caso de algunos diodos de baja potencia de propósito general. Para el ejemplo 1.2, la resistencia de ac para el nivel de 25 mA se calculó en 2 Ω. Al utilizar ahora la ecuación 1.7 obtenemos

$$r_d = \frac{26\text{ mV}}{I_D} = \frac{26\text{ mV}}{25\text{ mA}} = \mathbf{1.04\ \Omega}$$

La diferencia de aproximadamente 1 Ω podría tomarse como la contribución debida a r_B.

Para el ejemplo 1.2, la resistencia de ac para el nivel de 2 mA se calculó como 27.5 Ω. Ahora mediante la ecuación 1.7 pero multiplicando por un factor de 2 para esta región (ya que en el punto de inflexión de la curva $\eta = 2$),

$$r_d = 2\left(\frac{26\text{ mV}}{I_D}\right) = 2\left(\frac{26\text{ mV}}{2\text{ mA}}\right) = 2(13\ \Omega) = \mathbf{26\ \Omega}$$

La diferencia de aproximadamente 1.5 Ω podría tomarse como la contribución debida a r_B.

En realidad, el cálculo de r_d con un alto grado de precisión a partir de la curva característica mediante la ecuación 1.6 es un proceso difícil, cuyos resultados deben manejarse con cuidado en el mejor de los casos. A niveles de corriente bajos del diodo, el factor r_B normalmente es lo suficientemente pequeño en comparación con r_d como para permitir ignorar su impacto sobre la resistencia de ac del diodo. A niveles altos de corriente, el nivel de r_B puede acercarse al de r_d, pero debido a que con frecuencia existirán otros elementos resistivos con magnitudes mucho mayores en serie con el diodo, se asumirá en este libro que la resistencia de ac se determina únicamente por r_d, ignorando el impacto de r_B a menos que se indique lo contrario. Las mejoras tecnológicas de los últimos años sugieren que el nivel de r_B continuará disminuyendo en magnitud y que eventualmente será un factor que pueda ignorarse con seguridad al compararse con r_d.

El análisis anterior se centró únicamente en la región de polarización directa, para la región de polarización inversa, asumiremos que el cambio en la corriente sobre la línea de I_s es nulo para la región que va de los 0 V hasta la zona Zener por lo que la resistencia de ac que resulta al aplicar la ecuación 1.6 es lo suficientemente grande como para permitir la aproximación del circuito abierto.

Resistencia de AC promedio

Si la señal de entrada es lo suficientemente grande para producir una excursión amplia como en la figura 1.35, la resistencia asociada con el dispositivo para esta región se denomina *resistencia de ac promedio*, la cual es, por definición, la resistencia determinada por una línea recta trazada entre las dos intersecciones establecidas por los valores mínimos y máximos del voltaje de entrada. En forma de ecuación (observe la figura 1.35),

$$\boxed{r_{av} = \left.\frac{\Delta V_d}{\Delta I_d}\right|_{\text{punto por punto}}} \qquad (1.9)$$

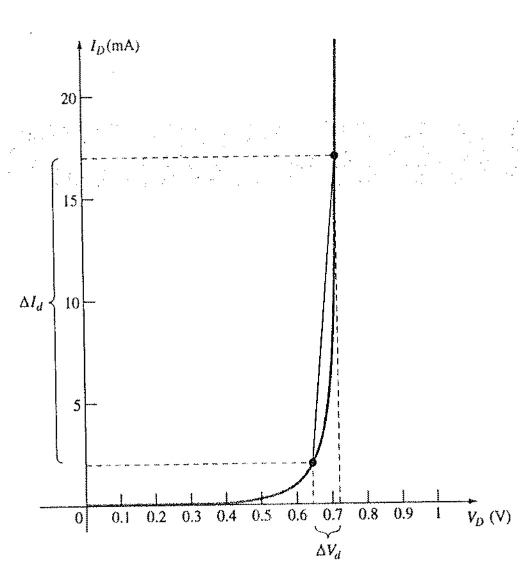


Figura 1.35 Determinación de la resistencia de ac promedio entre los límites indicados.

Para la situación indicada por la figura 1.35

$$\Delta I_d = 17\text{ mA} - 2\text{ mA} = 15\text{ mA}$$

y $$\Delta V_d = 0.725\text{ V} - 0.65\text{ V} = 0.075\text{ V}$$

con $$r_{av} = \frac{\Delta V_d}{\Delta I_d} = \frac{0.075\text{ V}}{15\text{ mA}} = \mathbf{5\ \Omega}$$

Si la resistencia de ac (r_d) se determinara cuando I_D = 2 mA su valor sería mayor que 5 Ω, y si se determinara a 17 mA sería menor. En medio, la resistencia de ac efectuaría la transición del valor alto en 2 mA hacia el valor bajo en 17 mA. La ecuación 1.9 define un

valor que se considera un promedio de los valores en ac de 2 a 17 mA. El hecho de que un nivel de resistencia pueda emplearse para un intervalo tan amplio de características demostrará ser algo muy útil en la definición de circuitos equivalentes para un diodo en una sección posterior.

Para ambos niveles de resistencia de dc y de ac, mientras menor sea el nivel de corriente utilizado para determinar la resistencia promedio, mayor será el nivel de resistencia.

Tabla de resumen

La tabla 1.2 se desarrolló para reforzar las conclusiones importantes de las últimas páginas y para enfatizar las diferencias entre los distintos niveles de resistencia. Como se indicó antes, el contenido de esta sección será el fundamento para una gran cantidad de cálculos de resistencias que se realizarán en secciones y capítulos posteriores.

TABLA 1.2 Niveles de resistencia

Tipo	*Ecuación*	*Características especiales*	*Definición gráfica*
De DC o estática	$R_D = \frac{V_D}{I_D}$	Se define como un punto sobre las características	I_D, Punto Q, V_D
De AC o dinámica	$r_d = \frac{\Delta V_d}{\Delta I_d} = \frac{26\text{ mV}}{I_D}$	Se define por una línea tangente en el punto Q	I_D, Punto Q, ΔI_d, ΔV_d
De ac promedio	$r_{av} = \frac{\Delta V_d}{\Delta I_d}\Big\rvert_{\text{punto por punto}}$	Se define por una línea recta entre los límites de operación	ΔI_d, ΔV_d

1.9 CIRCUITOS EQUIVALENTES PARA DIODOS

Un circuito equivalente es una combinación de elementos elegidos de forma apropiada para representar de la mejor manera las características terminales reales de un dispositivo, sistema o similar, para una región de operación particular.

En otras palabras, una vez que se define el circuito equivalente, es posible eliminar el símbolo del dispositivo de un diagrama y sustituirlo por el circuito equivalente sin afectar de forma importante el comportamiento real del sistema. El resultado a menudo es una red que puede resolverse mediante las técnicas tradicionales de análisis de circuitos.

Circuito equivalente de segmentos lineales

Una técnica para obtener un circuito equivalente para un diodo consiste en aproximar las características del dispositivo utilizando segmentos de líneas rectas, como se muestra en la figura 1.31. Al circuito equivalente resultante se le denomina, como es natural, *circuito equivalente de segmentos lineales*. Debe resultar obvio al observar la figura 1.36 que los segmentos de líneas rectas no representarán una copia exacta de las características reales, especialmente en la región del punto de inflexión; sin embargo, los segmentos resultantes son lo suficientemente aproximados a la curva real que es posible establecer un circuito equivalente que proporcionará una primera aproximación excelente al comportamiento real del dispositivo. Para la sección con pendiente del equivalente, el nivel de resistencia de ac promedio que se presentó en la sección 1.7 será el nivel de resistencia que aparece en el circuito equivalente de la figura 1.37 posterior al dispositivo real. En esencia, define el nivel de resistencia del dispositivo cuando éste se encuentra en el estado de "encendido". El diodo ideal se incluyó con el objetivo de establecer que sólo existe una dirección de conducción a través del dispositivo y que una condición de polarización inversa para el dispositivo ocasionará el estado de circuito abierto. Debido a que un diodo semiconductor de silicio no alcanza el punto de conducción sino hasta que V_D llega a 0.7 V bajo polarización directa (como se muestra en la figura 1.36) deberá existir en el circuito equivalente una batería V_T que se oponga a la dirección de conducción como se muestra en la figura 1.37. La batería solamente indica que el voltaje a través del dispositivo deberá ser mayor que el voltaje de umbral de la batería antes de que pueda establecerse una conducción a través del dispositivo en la dirección determinada por el diodo ideal. Cuando la conducción se establezca, la resistencia del diodo será el valor especificado de r_{av}.

Sin embargo, recuerde que V_T en el circuito equivalente no es una fuente de voltaje independiente. Si se coloca un voltímetro sobre un diodo en particular encima de una mesa de laboratorio, no se obtendrá una lectura de 0.7 V. La batería solamente representa el desfasamiento horizontal en las características que deberán superarse para poder establecer la conducción.

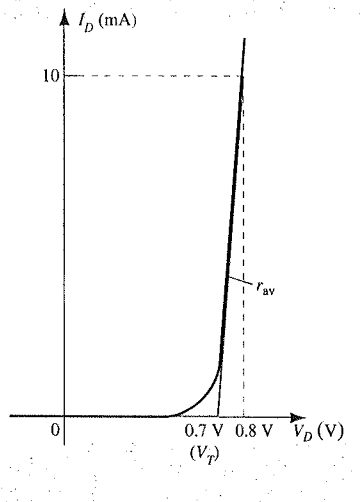


Figura 1.36 Definición del circuito equivalente de segmentos lineales utilizando segmentos de líneas rectas para aproximar la curva característica.

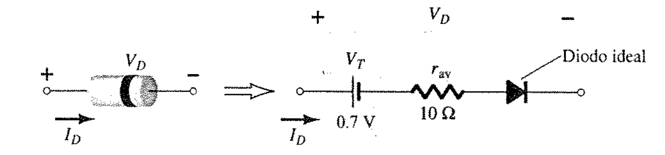


Figura 1.37 Componentes del circuito equivalente de segmentos lineales.

El nivel aproximado de r_{av} puede determinarse generalmente a partir de un punto de operación que se describe en la hoja de especificaciones (que se discutirá en la sección 1.10). Por ejemplo, para un diodo semiconductor de silicio, si $I_F = 10$ mA (una corriente de conducción directa para el diodo) cuando $V_D = 0.8$ V, sabemos que para el silicio se requerirá un desplazamiento de 0.7 V para que la curva característica se eleve y

$$r_{av} = \left.\frac{\Delta V_d}{\Delta I_d}\right|_{\text{punto a punto}} = \frac{0.8\text{ V} - 0.7\text{ V}}{10\text{ mA} - 0\text{ mA}} = \frac{0.1\text{ V}}{10\text{ mA}} = \mathbf{10\ \Omega}$$

según se obtuvo para la figura 1.36.

Circuito equivalente simplificado

Para la mayoría de aplicaciones, la resistencia r_{av} es lo suficientemente pequeña al compararla con los otros elementos de la red, como para poder ignorarla. La eliminación de r_{av} del circuito equivalente es similar a afirmar que las características del diodo son las que se muestran en la figura 1.38. Por cierto, esta aproximación se utiliza frecuentemente en el análisis de circuitos semiconductores como se verá en el capítulo 2. El circuito equivalente reducido se muestra en la misma figura, y manifiesta que en un sistema electrónico, un diodo de silicio polarizado directamente, bajo condiciones de corriente dc tendrá una caída de 0.7 V a través de él, en el estado de conducción a cualquier nivel de corriente del diodo (por supuesto, dentro de los valores nominales).

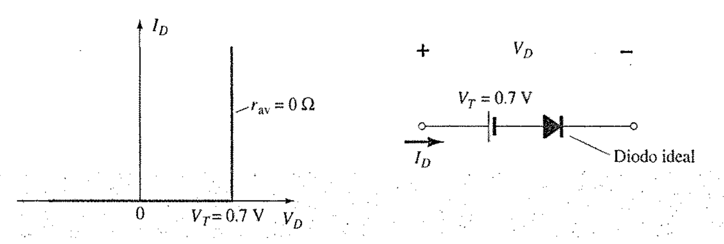


Figura 1.38 Circuito equivalente simplificado para el diodo semiconductor de silicio.

Circuito equivalente ideal

Una vez que se ha eliminado r_{av} del circuito equivalente vayamos un paso adelante y establezcamos que un nivel de 0.7 V normalmente puede ignorarse cuando se compara con el nivel de voltaje aplicado. En este caso, el circuito equivalente se reducirá al de un diodo ideal con sus características como se muestra en la figura 1.39. En el capítulo 2 veremos que es posible utilizar esta aproximación sin una pérdida considerable de precisión.

En la industria, una popular sustitución de la frase "circuito equivalente de diodo" es *modelo* de diodo, un modelo por definición es una representación de un dispositivo, objeto, sistema, u otro existente. De hecho, esta terminología alternativa será utilizada de forma casi exclusiva en los capítulos siguientes.

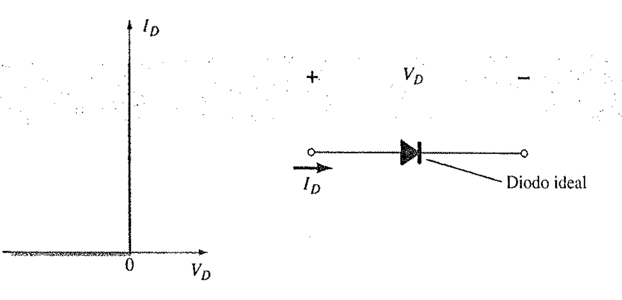


Figura 1.39 Diodo ideal y sus características.

Tabla de resumen

Por claridad, los modelos del diodo que son utilizados para la variedad de parámetros y aplicaciones se presentan en la tabla 1.3 junto con sus características de segmentos lineales. Cada una de ellas se revisará con mayor detalle en el capítulo 2. Siempre existen excepciones a la regla general, sin embargo, es seguro afirmar que el modelo equivalente simplificado se utilizará de manera más frecuente en el análisis de sistemas electrónicos mientras que el diodo ideal se aplicará con mayor regularidad en el análisis de sistemas de fuentes de alimentación donde existen voltajes mayores.

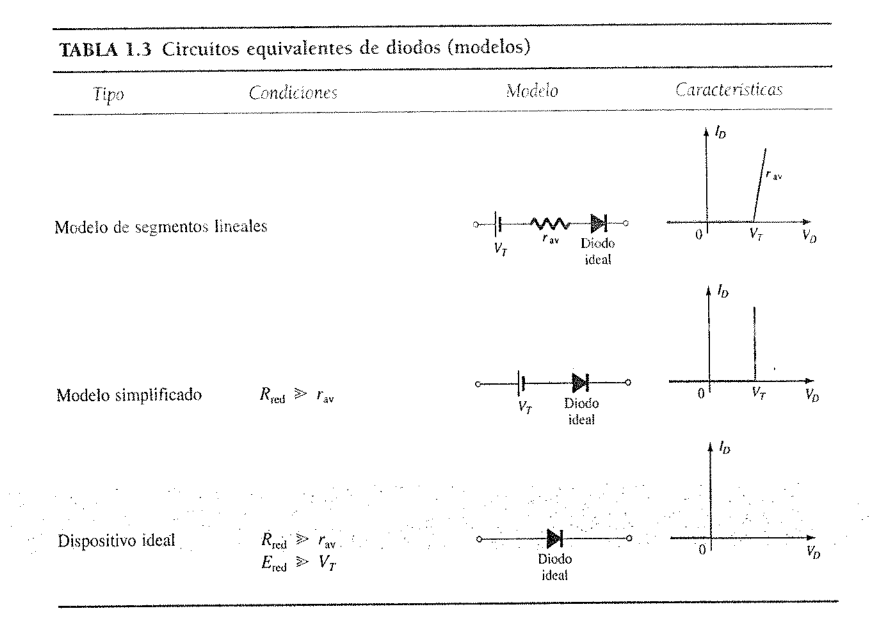


TABLA 1.3 Circuitos equivalentes de diodos (modelos)

Tipo	*Condiciones*	*Modelo*	*Características*
Modelo de segmentos lineales		V_T, r_{av}, Diodo ideal	I_D, r_{av}, 0, V_T, V_D
Modelo simplificado	$R_{red} \gg r_{av}$	V_T, Diodo ideal	I_D, 0, V_T, V_D
Dispositivo ideal	$R_{red} \gg r_{av}$ $E_{red} \gg V_T$	Diodo ideal	I_D, 0, V_D

1.10 HOJAS DE ESPECIFICACIONES DE DIODOS

Los datos sobre especificaciones de dispositivos semiconductores son proporcionados normalmente de dos maneras por el fabricante. La forma más común es mediante una breve descripción que se limita a una página como máximo. La otra manera es por medio de una revisión de las características utilizando gráficas, ilustraciones, tablas, etcétera. En cualquier caso, existen conjuntos de datos específicos que deben incluirse para una utilización correcta del dispositivo, e incluyen:

1. El voltaje directo V_F (para una corriente y temperatura definida)
2. La corriente directa máxima I_F (para una temperatura definida)
3. La corriente de saturación inversa I_R (para un voltaje y temperatura definidos)
4. El nivel de voltaje inverso [PIV, PRV o V(BR), donde BR proviene del término "ruptura" (del inglés *breakdown*) (para una temperatura definida)]
5. El nivel de disipación para la máxima potencia en una temperatura particular
6. Los niveles de capacitancia (como se definirán en la sección 1.11)
7. El tiempo de recuperación inverso t_{rr} (como se definirá en la sección 1.12)
8. El rango de temperatura de operación

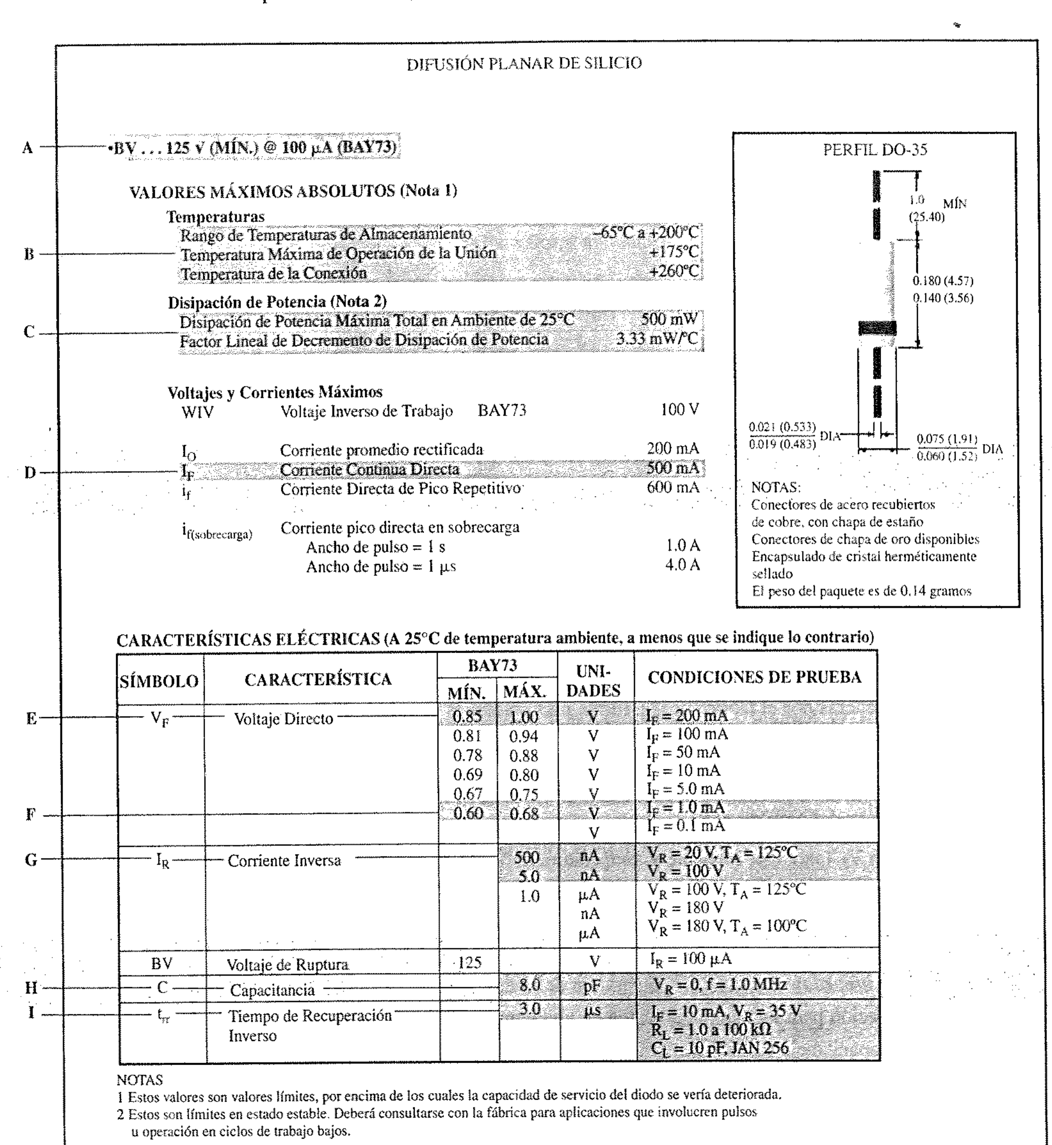
Según el tipo de diodo que se considere, se pueden proporcionar datos adicionales, como son: rango de frecuencia, nivel de ruido, tiempo de conmutación, niveles de resisten-

cia térmica y los valores pico repetitivos. Para una determinada aplicación, el significado de los datos será autoevidente. Si se proporciona la máxima potencia o valor de disipación se entiende que será igual al siguiente producto:

$$P_{D\,\text{máx}} = V_D I_D \tag{1.10}$$

donde I_D y V_D son la corriente y el voltaje del diodo en un punto de operación particular.

Si aplicamos el modelo simplificado para una aplicación particular (un caso común), podemos sustituir $V_D = V_T = 0.7$ V para un diodo de silicio en la ecuación 1.10 y determinar la disipación de potencia resultante para compararla contra el valor de máxima potencia. Esto es,



DIFUSIÓN PLANAR DE SILICIO

A — •BV . . . 125 V (MÍN.) @ 100 µA (BAY73)

VALORES MÁXIMOS ABSOLUTOS (Nota 1)

Temperaturas

	Rango de Temperaturas de Almacenamiento	−65°C a +200°C
B	Temperatura Máxima de Operación de la Unión	+175°C
	Temperatura de la Conexión	+260°C

Disipación de Potencia (Nota 2)

C	Disipación de Potencia Máxima Total en Ambiente de 25°C	500 mW
	Factor Lineal de Decremento de Disipación de Potencia	3.33 mW/°C

Voltajes y Corrientes Máximos

	WIV	Voltaje Inverso de Trabajo BAY73	100 V
	I_O	Corriente promedio rectificada	200 mA
D	I_F	Corriente Continua Directa	500 mA
	i_f	Corriente Directa de Pico Repetitivo	600 mA
	$i_{f(\text{sobrecarga})}$	Corriente pico directa en sobrecarga	
		Ancho de pulso = 1 s	1.0 A
		Ancho de pulso = 1 µs	4.0 A

PERFIL DO-35

NOTAS:
Conectores de acero recubiertos de cobre, con chapa de estaño
Conectores de chapa de oro disponibles
Encapsulado de cristal herméticamente sellado
El peso del paquete es de 0.14 gramos

CARACTERÍSTICAS ELÉCTRICAS (A 25°C de temperatura ambiente, a menos que se indique lo contrario)

	SÍMBOLO	CARACTERÍSTICA	BAY73 MÍN.	BAY73 MÁX.	UNIDADES	CONDICIONES DE PRUEBA
E	V_F	Voltaje Directo	0.85	1.00	V	I_F = 200 mA
			0.81	0.94	V	I_F = 100 mA
			0.78	0.88	V	I_F = 50 mA
			0.69	0.80	V	I_F = 10 mA
			0.67	0.75	V	I_F = 5.0 mA
F			0.60	0.68	V	I_F = 1.0 mA
					V	I_F = 0.1 mA
G	I_R	Corriente Inversa		500	nA	V_R = 20 V, T_A = 125°C
				5.0	nA	V_R = 100 V
				1.0	µA	V_R = 100 V, T_A = 125°C
					nA	V_R = 180 V
					µA	V_R = 180 V, T_A = 100°C
	BV	Voltaje de Ruptura	125		V	I_R = 100 µA
H	C	Capacitancia		8.0	pF	V_R = 0, f = 1.0 MHz
I	t_{rr}	Tiempo de Recuperación Inverso		3.0	µs	I_F = 10 mA, V_R = 35 V, R_L = 1.0 a 100 kΩ, C_L = 10 pF, JAN 256

NOTAS
1 Estos valores son valores límites, por encima de los cuales la capacidad de servicio del diodo se vería deteriorada.
2 Estos son límites en estado estable. Deberá consultarse con la fábrica para aplicaciones que involucren pulsos u operación en ciclos de trabajo bajos.

Figura 1.40 Características eléctricas de un diodo de alto voltaje y bajo nivel de fuga.

$$P_{\text{disipada}} \cong (0.7\text{ V})I_D \tag{1.11}$$

En las figuras 1.40 y 1.41, se proporciona una copia exacta de los datos de un diodo de alto voltaje y bajo nivel de fuga. Este ejemplo representa el caso de la lista expandida de datos y características. El término *rectificador* se aplica a un diodo cuando éste se utiliza con frecuencia en un proceso de *rectificación* como se describe en el capítulo 2.

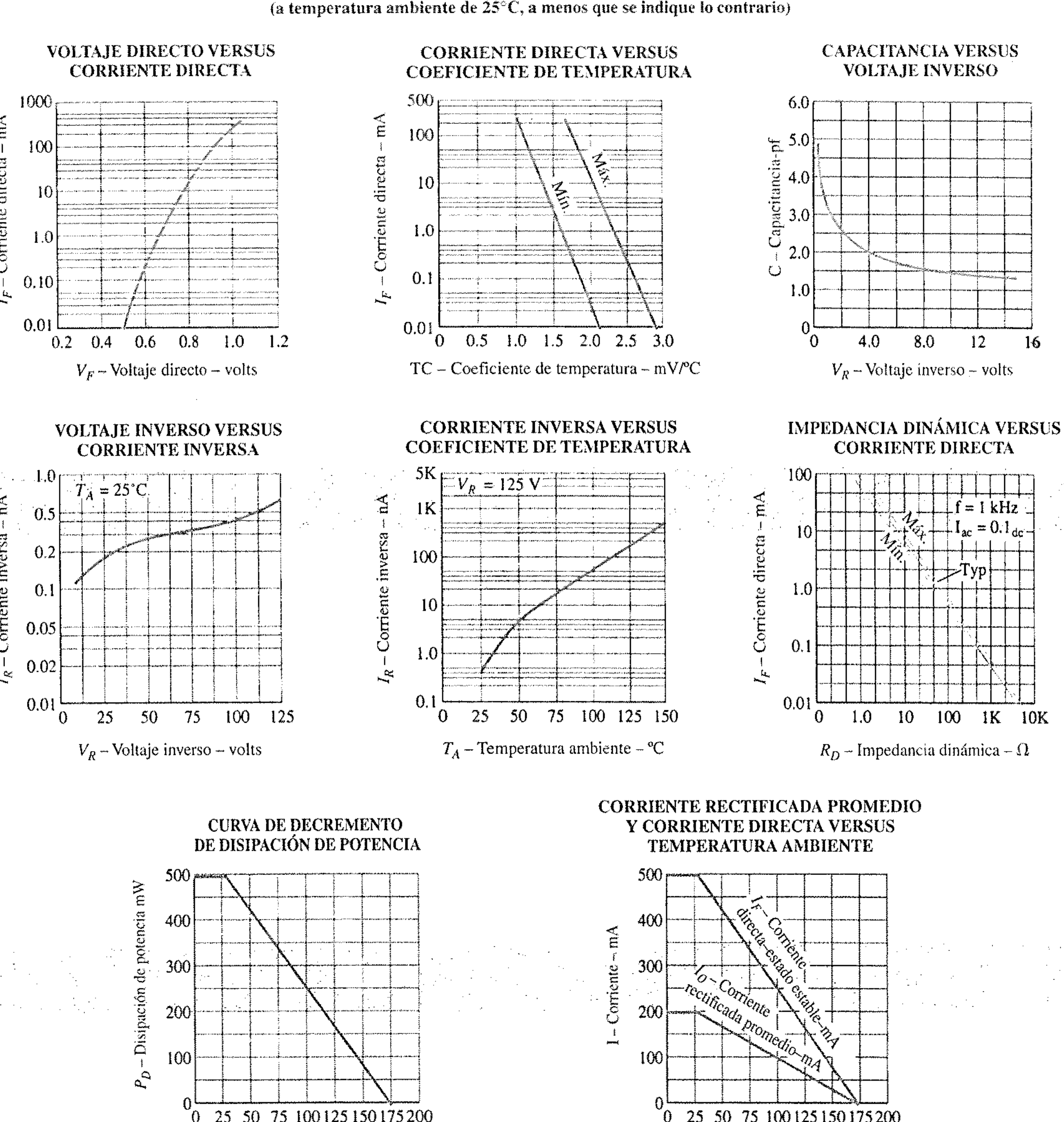


Figura 1.41 Características térmicas para un diodo de alto voltaje.

Se resaltaron con letra cursiva los párrafos de determinadas áreas de la hoja de especificaciones que corresponden a la siguiente descripción:

A: Los voltajes de polarización inversa *mínimos* (PIV) para un diodo a una corriente de saturación inversa determinada.

B: Características de temperatura según se indicó. Observe el empleo de la escala de Celsius y el amplio rango de utilización [recuerde que 32°F = 0°C = punto de congelación (H_2O) y que 212°F = 100°C = punto de ebullición (H_2O)].

C: Nivel máximo de disipación de potencia $P_D = V_D I_D = 500$ mW. El valor de potencia máxima disminuye a una proporción de 3.33 mW por cada grado de temperatura que se incrementa por encima de la temperatura ambiente (25°C), como claramente se muestra en la *curva de decremento de disipación de potencia* de la figura 1.41.

D: Corriente directa continua máxima $I_{F_{máx}} = 500$ mA (observe la comparación de I_F *versus* temperatura en la figura 1.41).

E: Rango de valores para V_F cuando $I_F = 200$ mA. Observe que excede $V_T = 0.7$ V para ambos dispositivos.

F: Rango de valores para V_F cuando $I_F = 1.0$ mA. Observe como, en este caso, el límite superior se acerca a 0.7 V.

G: En el nivel $V_R = 20$ V y a una temperatura de operación típica, $I_R = 500$ nA = 0.5 μA, mientras que a un voltaje inverso mayor I_R cae a 5 nA = 0.005 μA.

H: El nivel de capacitancia entre las terminales es aproximadamente de 8 pF para el diodo cuando $V_R = V_D = 0$ V (sin polarización) y con un frecuencia aplicada de 1 MHz.

I: El tiempo de recuperación inverso es de 3 μs para la lista de condiciones de operación.

Algunas de las curvas de la figura 1.41 utilizan una escala logarítmica; una rápida lectura de la sección 11.2 ayudará a la lectura de estas gráficas. Observe en la figura superior izquierda como V_F se incrementó desde un valor de 0.5 V hasta más de 1 V, a medida que I_F se incrementó de 10 μA hasta más de 100 mA. En la figura inferior, vemos que la corriente de saturación inversa se modifica ligeramente con los niveles crecientes de V_R, pero permanece a menos de 1 nA a temperatura ambiente hasta niveles de $V_R = 125$ V. Sin embargo, como se indica en la figura adyacente, observe la rapidez con que la corriente de saturación inversa se incrementa en relación con los incrementos en la temperatura (como lo habíamos pronosticado anteriormente).

En la figura superior derecha vemos como disminuye la capacitancia a medida que se incrementa el voltaje en polarización inversa, y en la figura inferior observamos que la resistencia de ac (r_d) es tan sólo de 1 Ω a 100 mA y que se incrementa a 100 Ω para corrientes menores de 1 mA (como se sabía por las explicaciones anteriores).

La corriente promedio rectificada, la corriente directa pico repetitivo y la corriente pico en sobrecarga directa que se muestran en la hoja de especificaciones se definen como:

1. *Corriente promedio rectificada.* Una señal de media onda rectificada (como se describe en la sección 2.8) posee un valor promedio definido por $I_{av} = 0.318\, I_{pico}$. El valor de la corriente promedio es menor que el valor de las corrientes directas continuas o de pico repetitivo, ya que una forma de onda de corriente de media onda tendrá valores instantáneos mucho mayores que el valor promedio.
2. *Corriente directa pico repetitivo.* Éste es el valor instantáneo máximo de la corriente directa repetitiva. Observe que debido a que se encuentra en este nivel durante un periodo breve, su nivel puede llegar a ser mayor que el del nivel continuo.
3. *Corriente pico en sobrecarga directa.* En ocasiones, durante el encendido, los problemas de funcionamiento, etcétera, aparecen corrientes muy altas a través del dispositivo por intervalos de tiempo muy cortos (que no son repetitivos). Estos índices definen el valor máximo y el intervalo de tiempo para tales sobrecargas en el nivel de corriente.

Mientras más se familiariza uno con las hojas de especificaciones, más fáciles de usar se vuelven, especialmente cuando se comprende de forma clara el impacto de cada parámetro para la aplicación bajo investigación.

1.11 CAPACITANCIA DE TRANSICIÓN Y DE DIFUSIÓN

Los dispositivos electrónicos son muy sensibles inherentemente a las altas frecuencias. La mayoría de los efectos capacitivos pueden ignorarse a bajas frecuencias, ya que su reactancia $X_C = 1/2\pi fC$ es muy alta (equivalente a un circuito abierto). Esto, sin embargo, no puede ignorarse para el caso de frecuencias muy altas, debido a que X_C se volverá lo suficientemente pequeña, gracias al alto valor de f, como para introducir una trayectoria en "corto" de baja reactancia. En el diodo semiconductor *p-n* existen dos efectos capacitivos que deberán considerarse. Ambos tipos de capacitancia se presentan tanto para la región de polarización directa como para la inversa, pero dado que siempre una de ellas supera por mucho a la otra en cada región, consideraremos los efectos de sólo una de ellas para cada región.

En la región de polarización inversa, se presenta la capacitancia de transición (C_T) o de región de agotamiento, mientras que para la región de polarización directa tendremos la capacitancia de difusión (C_D) o de almacenamiento.

Recuerde que la ecuación básica para la capacitancia de un capacitor de placas paralelas se define por $C = \epsilon A/d$, donde ϵ es la permitividad del dieléctrico (aislante) entre las placas con área A que se encuentran separadas por una distancia d. Para la región de polarización inversa existe una región de agotamiento (libre de portadores) que esencialmente se comporta como un aislante entre las capas de cargas opuestas. Debido a que la amplitud ancho de la región de agotamiento (d) se incrementa al aumentar el potencial de polarización inversa, la capacitancia de transición resultante disminuirá, como se muestra en la figura 1.42. El hecho de que la capacitancia sea dependiente del potencial de polarización inversa tiene aplicaciones para numerosos sistemas electrónicos. En el capítulo 19 se presentará un diodo cuya operación depende completamente de este fenómeno.

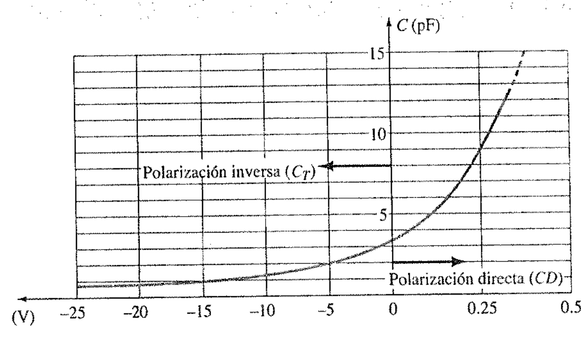


Figura 1.42 Capacitancias de transición y de difusión en función de la polarización aplicada para un diodo de silicio.

Aunque el efecto descrito anteriormente también se presenta en la región de polarización directa, éste es mucho menos que el ensombrecido por el efecto de capacitancia que es dependiente directamente de la velocidad a la cual se inyecta la carga en las regiones justo fuera de la región de agotamiento. El resultado es que niveles crecientes de corriente provocarán niveles crecientes de capacitancia de difusión. Sin embargo, niveles crecientes de corriente, provocan niveles reducidos de resistencia asociada (la cual se demostrará más adelante), y que la constante de tiempo resultante ($\tau = RC$), muy importante en aplicaciones de alta velocidad, no se vuelve excesiva.

Los efectos capacitivos descritos antes, se representan con un capacitor en paralelo con el diodo ideal, como se muestra en la figura 1.43. Sin embargo, para el caso de aplicaciones de baja o mediana frecuencia (excepto en el área de potencia), el capacitor normalmente no se incluye en el símbolo del diodo.

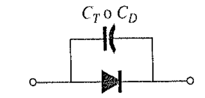


Figura 1.43 Incorporación del efecto de capacitancia de transición o difusión en el diodo semiconductor.

1.12 TIEMPO DE RECUPERACIÓN INVERSO

Existen ciertos datos que comúnmente los fabricantes proporcionan en las hojas de especificaciones de los diodos; una de estas cantidades que aún no hemos revisado, es el tiempo de recuperación inverso, representado por t_{rr}. Anteriormente se mostró que en el estado de polarización directa, existe una gran cantidad de electrones que se mueven del material de tipo n hacia el material de tipo p, y una gran cantidad de huecos en el material tipo p hacia el material tipo n, lo cual es un requisito para que exista la conducción. Los electrones en el tipo p y los huecos que se difunden a través del material tipo n establecen un gran número de portadores minoritarios en cada material. Si el voltaje aplicado se debiera invertir con el objetivo de establecer una situación de polarización inversa, idealmente veríamos que el diodo cambia de forma instantánea de un estado conductivo a uno no conductivo. Sin embargo, debido al alto número de portadores minoritarios en cada material, la corriente del diodo sencillamente se invierte como se muestra en la figura 1.44, y se mantiene en este nivel perceptible, durante un periodo t_s (tiempo de almacenamiento), que requieren los portadores minoritarios para regresar a su estado de portadores mayoritarios en el material opuesto. En esencia, el diodo permanecerá en el estado de circuito cerrado con una corriente I_{inversa}, determinada por los parámetros de la red. Eventualmente, cuando esta fase de almacenamiento termine, la corriente reducirá su nivel hasta alcanzar aquel asociado con el estado de no conducción. Este segundo periodo se representa por t_t (intervalo de transición). El tiempo de recuperación inverso será la suma de estos dos intervalos: $t_{rr} = t_s + t_t$. Naturalmente, este valor es una consideración muy importante en aplicaciones de conmutación de alta velocidad. La mayoría de los diodos de conmutación disponibles comercialmente, poseen un t_{rr} en rangos de unos cuantos nanosegundos hasta 1 μs. Sin embargo, existen unidades disponibles, con un t_{rr} de sólo unos cuantos cientos de picosegundos (10^{-12}).

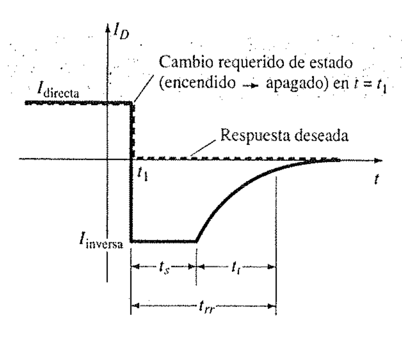


Figura 1.44 Definición del tiempo de recuperación inverso.

1.13 NOTACIÓN DE DIODOS SEMICONDUCTORES

Las notaciones que de manera más frecuente se utilizan para los diodos semiconductores, se proporcionan en la figura 1.45. Para la mayoría de los diodos, se presenta una marca como un punto o una banda en la terminal del cátodo. La terminología de ánodo y cátodo es un legado de la notación de los tubos de vacío. El ánodo se asocia con el potencial mayor o el positivo, y el cátodo con la terminal con el potencial menor o negativa. Esta combinación de niveles de polarización provocará una polarización directa para el diodo o condición de "encendido". En la figura 1.46 se muestran varios diodos semiconductores comercialmente disponibles. Algunos detalles acerca de la fabricación real de dispositivos como los que aparecen en la figura 1.46 se proporcionan en los capítulos 12 y 19.

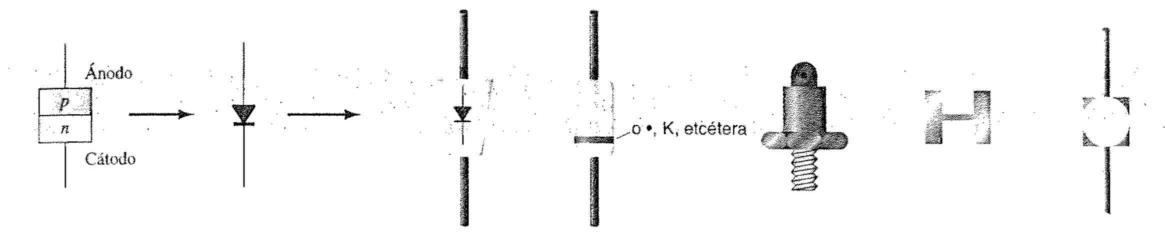


Figura 1.45 Notaciones de diodos semiconductores.

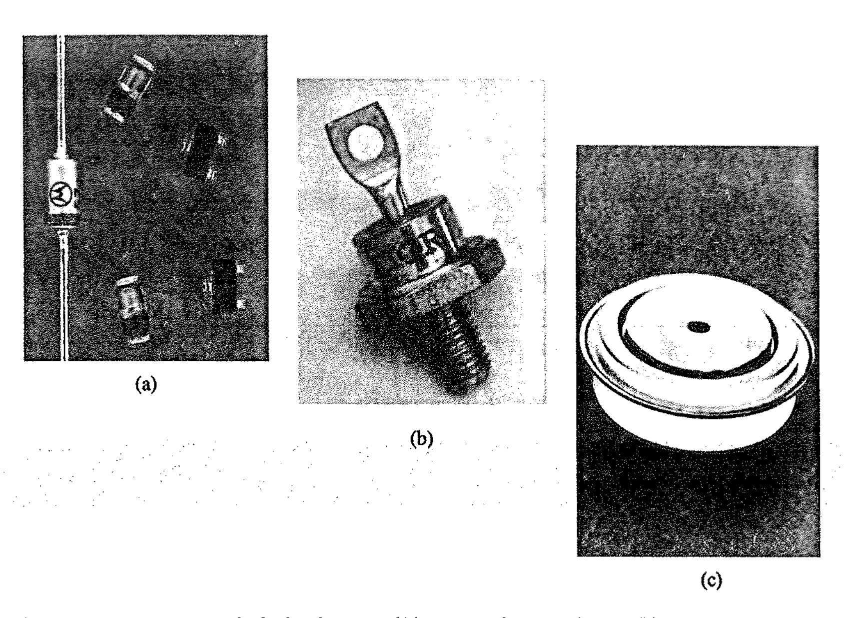


Figura 1.46 Varios tipos de diodos de unión. [(a) Cortesía de Motorola Inc.; (b) y (c) Cortesía de International Rectifier Corporation].

1.14 PRUEBAS DE DIODOS

El estado de un diodo semiconductor puede determinarse de forma rápida mediante: (1) un multímetro digital (DDM, por sus siglas en inglés *digital display meter*), con *función de verificación de diodos*, (2) la *función de óhmetro* de un multímetro, o (3) un *trazador de curvas*.

Función de verificación de diodos

En la figura 1.47, se muestra un multímetro digital con capacidad de verificación de diodos. Observe el pequeño símbolo de diodo en una de las opciones de la perilla selectora. Cuando se coloca en esta posición y se conecta como se muestra en la figura 1.48a, el diodo deberá estar en el estado de "encendido" y la pantalla indicará el voltaje en polarización directa tal como 0.67 V (para el Si). El multímetro cuenta con una fuente constante de corriente (aproximadamente de 2 mA) que definirá el nivel de voltaje de la misma forma que se indica en la figura 1.48b. Un mensaje de OL en la pantalla cuando se conecta, como en la figura 1.48a, indica un diodo abierto (defectuoso). Si se conecta de forma invertida, el mensaje OL se deberá a la equivalencia de circuito abierto que se espera. En general, por lo tanto, si aparece el mensaje OL cuando el diodo se conecta en ambas direcciones, esto será indicativo de un diodo abierto o defectuoso.

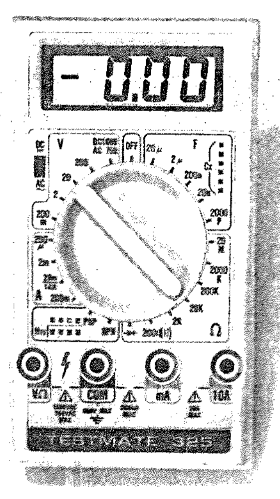


Figura 1.47 Multímetro digital con capacidad de verificación de diodos. (Cortesía de Computronics Technology, Inc.)

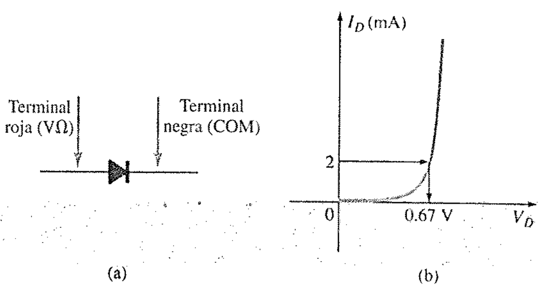
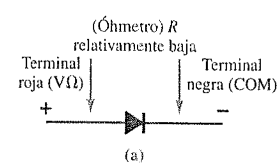


Figura 1.48 Verificación de un diodo en estado de polarización directa.

Prueba con un óhmetro

En la sección 1.8 vimos que la resistencia en polarización directa de un diodo semiconductor es muy baja en relación con el nivel en polarización inversa. Por esto, si medimos la resistencia de un diodo utilizando las conexiones indicadas en la figura 1.49a, podemos esperar un nivel bajo relativo. El valor que indica el óhmetro será una función de la corriente que establece a través del diodo la batería interna (generalmente de 1.5 V) del circuito del óhmetro. Mientras más alta sea la corriente, menor será el nivel de resistencia. Para la situación de polarización inversa, la lectura que aparece deberá ser muy alta, por lo cual se requerirá de una escala grande de resitencia en el multímetro, como se indica en la figura 1.49b. Obviamente, si se obtiene una lectura que muestra un nivel alto de resistencia en ambas direcciones, se tratará de una condición abierta (dispositivo defectuoso), mientras que una lectura que muestra un nivel muy bajo de resistencia en ambas direcciones indicará que probablemente se trata de un dispositivo en corto.



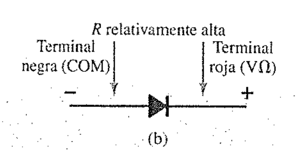


Figura 1.49 Verificación de un diodo mediante un óhmetro.

Trazador de curvas

El trazador de curvas de la figura 1.50 puede desplegar las características de una variedad de dispositivos, incluso las del diodo semiconductor. Al conectar de forma apropiada el diodo al tablero de pruebas en la parte baja central de la unidad y al ajustar los controles, se obtiene la imagen de la figura 1.51. Observe que la escala vertical es de 1 mA/div, con lo que se obtienen los niveles indicados. Para el caso de la escala horizontal se utiliza 100 mV/div, con lo cual también se obtienen los niveles de voltaje que se indican. Para un nivel de 2 mA como el utilizado con el multímetro, el nivel resultante sería de aproximadamente 625 mV = 0.625 V. Aunque el instrumento inicialmente podría parecer complejo, el manual de instrucciones y algún tiempo de práctica hacen que sea posible obtener los resultados buscados sin una gran cantidad de tiempo y esfuerzo. Este mismo dispositivo aparecerá en más de una ocasión en los capítulos siguientes a medida que revisemos las características de los diversos dispositivos.

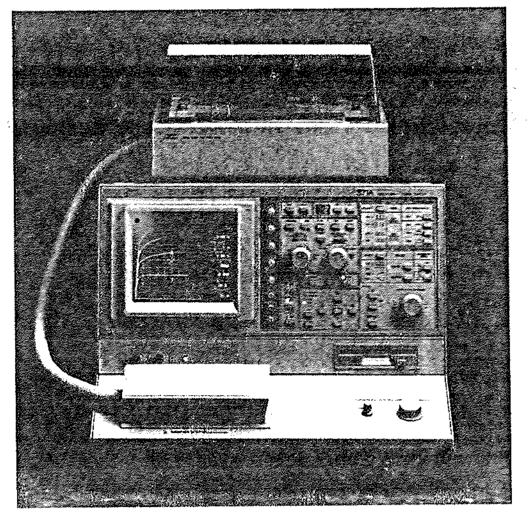


Figura 1.50 Trazador de curvas. (Cortesía de Tektronix, inc.)

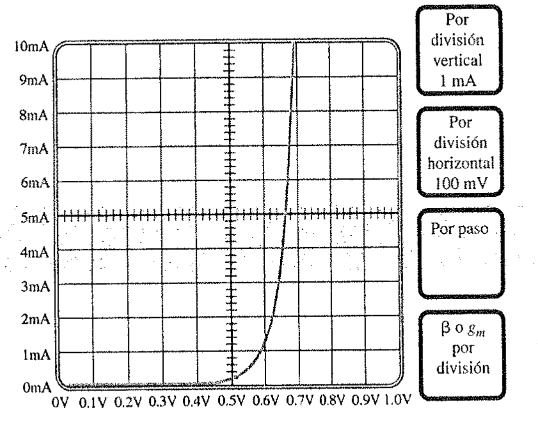


Figura 1.51 Respuesta del trazador de curvas para el diodo de silicio IN4007.

1.15 DIODOS ZENER

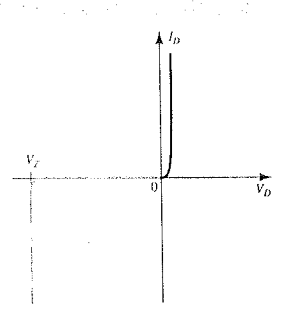


Figura 1.52 Observación de la región Zener.

En la sección 1.6 analizamos con cierto detalle la región Zener de la figura 1.52. En la que se aprecia la caída en una forma casi vertical de la característica bajo un potencial de polarización inversa denotado como V_Z. El hecho de que la curva caiga alejada del eje horizontal en lugar de que se eleve alejada de la región positiva V_D indica que la corriente en la región Zener mantiene una dirección opuesta a aquélla de un diodo en polarización directa.

Esta región de características únicas se utiliza en el diseño de los *diodos Zener*, los cuales tienen el símbolo gráfico que aparece en la figura 1.53a. Tanto el diodo semiconductor como el diodo Zener se presentan juntos en la figura 1.53 para asegurar que se entienda claramente la dirección de la corriente en cada uno, junto con la polaridad requerida para el voltaje aplicado. Para el diodo semiconductor, el estado de "encendido" resistirá una corriente en dirección de la fecha del símbolo. Para el diodo Zener, la dirección de conducción es opuesta a la flecha de su símbolo como indicamos en la parte introductoria de esta sección. Observe también que la polaridad de V_D y de V_Z son las mismas que las que se hubieran obtenido si ambos fueran elementos resistivos.

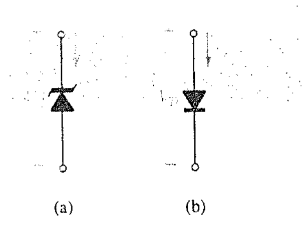


Figura 1.53 Dirección de la conducción: (a) diodo Zener; (b) diodo semiconductor.

La localización de la región Zener puede controlarse mediante la variación de los niveles de dopado. Un incremento en el dopado, que produce un incremento en el número de impurezas añadidas, disminuye el potencial Zener. Existen diodos Zener disponibles con potenciales Zener de 1.8 a 200 V con valores de potencia $\frac{1}{4}$ a 50 W. Debido a su capacidad para soportar temperaturas y corriente mayores, se prefiere utilizar el silicio para fabricar diodos Zener.

El circuito equivalente completo del diodo Zener en la región Zener incorpora una pequeña resistencia dinámica y una batería dc equivalente al potencial Zener como se muestra en la figura 1.54. Sin embargo, para el resto de las aplicaciones siguientes, debemos asumir como primera aproximación que los resistores externos son mucho más grandes en magnitud que el resistor equivalente Zener y que el circuito equivalente simplemente será el que se indica en la figura 1.54b.

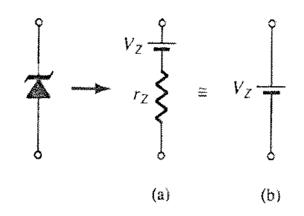


Figura 1.54 Circuito equivalente Zener: (a) completo; (b) aproximado.

En la figura 1.55 se proporciona un dibujo más grande de la región Zener para permitir una descripción de los datos con el nombre Zener que aparecen en la tabla 1.4 para el caso de un diodo de 10 V, 500 mW y 20%. El término *nominal* asociado con V_Z indica que se trata de un valor típico promedio. Ya que éste es un diodo de 20%, el potencial Zener se puede expresar con una variación de 10 V $\pm$ 20% o con un rango de operación de 8 a 12 V. También se encuentran disponibles diodos de 10% y 5% con las mismas especificaciones. La corriente de prueba I_{ZT} es la corriente definida para $\frac{1}{4}$ del nivel de potencia y Z_{ZT} es la impedancia dinámica en este nivel de corriente. La impedancia máxima en el punto de inflexión ocurre en la corriente del punto de inflexión I_{ZK}. Se proporciona además la corriente de saturación inversa para un nivel potencial particular, e I_{ZM} es la corriente máxima para la unidad de 20%.

El coeficiente de temperatura refleja el cambio porcentual de V_Z con respecto a la temperatura, y se define por la ecuación

$$T_C = \frac{\Delta V_Z}{V_Z(T_1 - T_0)} \times 100\% \qquad \%/°C \qquad (1.12)$$

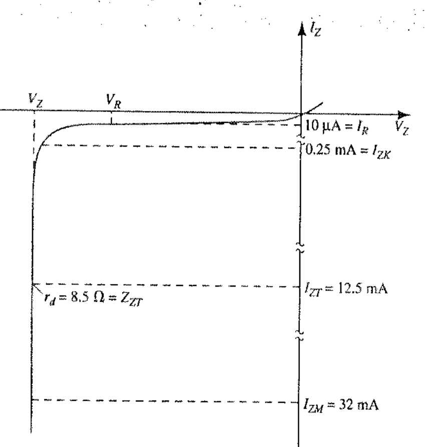


Figura 1.55 Características de prueba de Zener.

TABLA 1.4 Características eléctricas (25°C de temperatura ambiente a menos que se indique lo contrario)

Voltaje Zener Nominal, V_Z *(V)*	*Corriente de Prueba,* I_{ZT} *(mA)*	*Impedancia Dinámica Máxima,* Z_{ZT} *a* I_{ZT} *(Ω)*	*Impedancia Máxima en el punto de inflexión,* Z_{ZK} *a* I_{ZK} *(Ω) (mA)*	*Corriente Inversa Máxima,* I_R *a* V_R *(μA)*	*Voltaje de Prueba,* V_R *(V)*	*Corriente Reguladora Máxima,* I_{ZM} *(mA)*	*Coeficiente Típico de Temperatura (%/°C)*
10	12.5	8.5	700 0.25	10	7.2	32	+0.072

donde ΔV_Z es el cambio en el potencial Zener, resultado de la variación de temperatura. Observe en la figura 1.56a que el coeficiente de temperatura puede ser positivo, negativo e incluso cero para los distintos niveles Zener. Un valor positivo indica un incremento en V_Z como resultado de un incremento de temperatura, mientras que un valor negativo indica un decremento en el valor cuando la temperatura se incrementa. Los niveles de 24 V, 6.8 V y 3.6 V se refieren a tres diodos Zener que cuentan con estos valores nominales dentro de una misma familia de Zeners. La curva para el Zener 10 V naturalmente se encontraría entre las curvas de los dispositivos de 6.8 V y de 24 V. Regresando a la ecuación 1.12, T_0 es la temperatura a la cual V_Z se suministra (normalmente a temperatura ambiente de 25°C), y T_1 es el nuevo nivel. El ejemplo 1.3 demostrará la utilización de la ecuación 1.12.

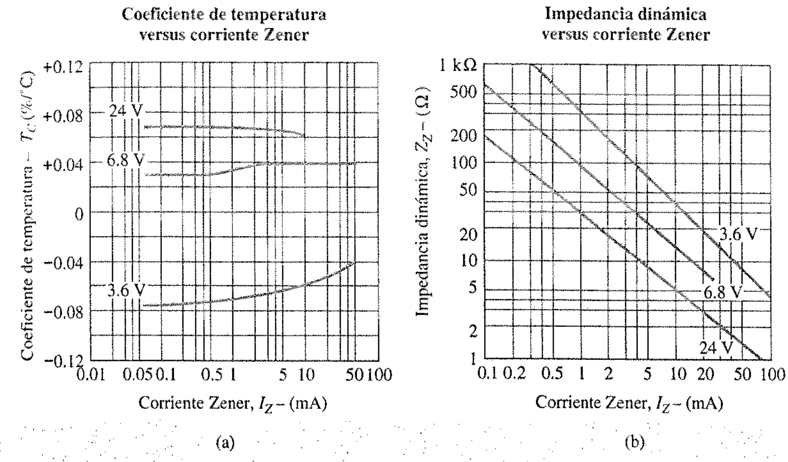


Figura 1.56 Características eléctricas de un diodo Zener de 10 V, 500 mW.

EJEMPLO 1.3

Determine el voltaje nominal del diodo Zener de la tabla 1.4 a una temperatura de 100°C.

Solución

A partir de la ecuación 1.12,

$$\Delta V_Z = \frac{T_C V_Z}{100}(T_1 - T_0)$$

Al substituir valores de la tabla 1.4 tenemos

$$\Delta V_Z = \frac{(0.072)(10\text{ V})}{100}(100°\text{C} - 25°\text{C})$$
$$= (0.0072)(75)$$
$$= 0.54\text{ V}$$

y dado que el coeficiente de temperatura es positivo, el nuevo potencial Zener definido por V_Z', es

$$V_Z' = V_Z + 0.54\text{ V}$$
$$= \mathbf{10.54\text{ V}}$$

En la figura 1.56b, se muestra la variación en la impedancia dinámica (fundamentalmente, su resistencia en serie) a cambios en la corriente. De nuevo, el diodo Zener 10 V

aparece entre los Zeners 6.8 V y 24 V. Observe que mientras más fuerte es la corriente (o mientras más arriba de la curva en crecimiento vertical se encuentre en la figura 1.52), menor será el nivel de resistencia. Observe también que a medida que se cae por debajo del punto de inflexión de la curva, la resistencia se incrementa a niveles considerables.

En la figura 1.57 aparecen tanto la identificación de las terminales como el encapsulado para distintos diodos Zener. La figura 1.58 es una fotografía real de una variedad de instrumentos Zener. Observe que su apariencia es muy parecida a la de los diodos semiconductores. En el capítulo 2 se revisarán algunas áreas de aplicación para los diodos Zener.

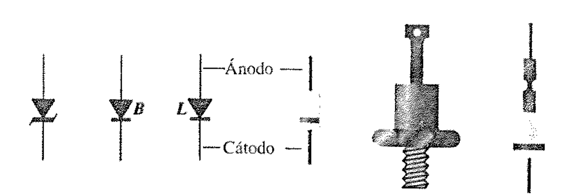


Figura 1.57 Identificación de terminales y símbolos del Zener.

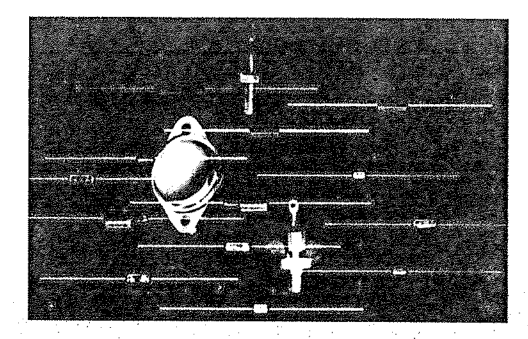


Figura 1.58 Diodos Zener. (Cortesía de Siemens Corporation).

1.16 DIODOS EMISORES DE LUZ

La utilización creciente de pantallas digitales en calculadoras, relojes y en toda forma de instrumentación ha contribuido al amplio interés actual en estructuras que puedan emitir luz cuando se polarizan de forma apropiada. Las dos formas que comúnmente se utilizan en la actualidad para realizar dicha función son los *diodos emisores de luz* (LED del inglés: *Light Emitting Diode*) y la *pantalla de cristal líquido* (LCD del inglés: *Liquid Cristal Display*). Debido a que el LED está dentro de la familia de dispositivos de unión *p-n* y que aparecerá en algunas de las redes de los siguientes capítulos, se presentará en este capítulo. La pantalla tipo LCD se describe en el capítulo 19.

Como su nombre lo indica, el diodo emisor de luz (LED) es un diodo que es capaz de emitir luz visible cuando se energiza. En cualquier unión *p-n* con polarización directa existe, dentro de la estructura y principalmente cerca de la unión, una recombinación de huecos y electrones. Esta recombinación requiere que la energía poseída por el electrón libre sin enlace sea transferida hacia otro estado. En todas las uniones de semiconductores *p-n* cierta cantidad de esta energía se desprenderá en forma de calor y otra en forma de fotones. En el caso del silicio y del germanio, el porcentaje mayor de energía que se desprende es en forma de calor y en una medida insignificante, se desprende luz emitida. En otros materiales, como el fosfuro de arseniuro de galio (GaAsP) o el fosfuro de galio (GaP), el número de fotones de energía luminosa emitida es suficiente como para crear una fuente de luz altamente visible.

Al proceso de emisión de luz mediante la aplicación de una fuente de energía eléctrica se le denomina electroluminiscencia.

Como se muestra en la figura 1.59 con su símbolo gráfico, la superficie conductora que se encuentra conectada al material *p* es mucho más pequeña, con el objeto de permitir la

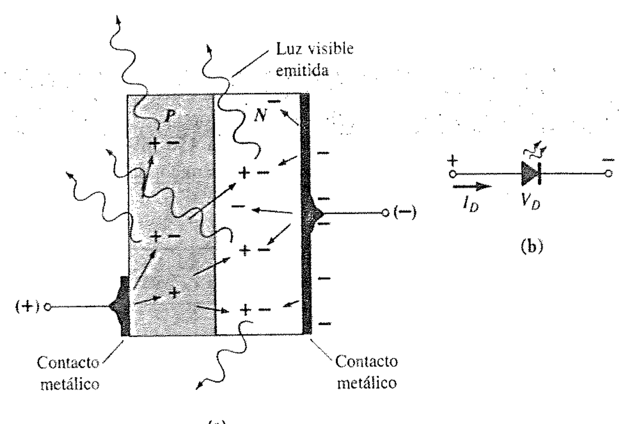


Figura 1.59 (a) Proceso de electroluminiscencia en el LED; (b) símbolo gráfico.

emisión del máximo número de fotones de energía luminosa. Observe en la figura que la recombinación de los portadores inyectados, debido a la unión con polarización directa, provoca una emisión de luz en lugar de la recombinación. Desde luego, puede existir cierta absorción de los paquetes de energía fotónica en la misma estructura, sin embargo, un alto porcentaje será capaz de escapar, como se señala en la figura.

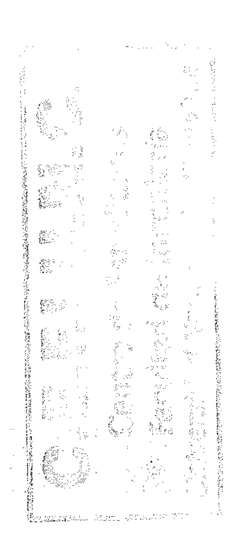
La apariencia y características de una lámpara subminiatura de estado sólido y alta eficiencia que fabrica Hewlett-Packard se ejemplifica en la figura 1.60. Observe en la figura 1.60b que la corriente pico directa es de 60 mA, mientras que 20 mA es la corriente directa promedio típica. Sin embargo, las condiciones de prueba listadas en la figura 1.60c, son para el nivel de corriente de 10 mA. El nivel de V_D bajo condiciones de polarización directa se indica como V_F y se extiende desde 2.2 hasta 3 V. En otras palabras, es posible esperar una corriente de operación típica cerca de 10 mA a 2.5 V para una buena emisión de luz.

Existen dos cantidades indefinidas aún, debajo del encabezado de Características Eléctricas/Ópticas cuando $T_A = 25°C$. Éstas son la *intensidad luminosa axial* (I_V) y la *eficiencia luminosa* (η_v). La intensidad de la luz se mide en *candelas*. Una candela emite un flujo de luz de 4π lúmenes y crea una iluminación de 1 candela/pie sobre un área de 1 pie cuadrado a una distancia de un pie de la fuente de luz. A pesar de que tal vez esta descripción no proporcione un entendimiento claro de la candela como unidad de medida, ciertamente, su nivel puede compararse con otros dispositivos similares. El término *eficiencia* es por definición una medida de la habilidad que tiene un dispositivo para producir un cierto efecto. Para el caso del LED, la eficiencia es la razón entre el número de lúmenes generados por watt o energía eléctrica aplicada. La eficiencia relativa se define como la intensidad luminosa por unidad de corriente, de la forma en que se señala en la figura 1.60g. La intensidad relativa de cada color en función de la longitud de onda se muestra en la figura 1.60d.

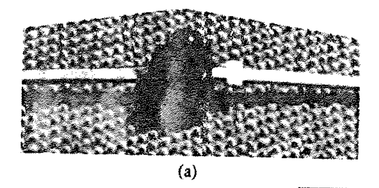
Debido a que el LED es un dispositivo de unión *p-n*, asumirá una característica de polarización directa (figura 1.60e), similar a la curva de respuesta del diodo. Observe el incremento prácticamente lineal de la intensidad luminosa relativa en función de la corriente directa (figura 1.60f). La figura 1.60h muestra que mientras mayor sea la duración del pulso a una frecuencia particular, menor será la corriente pico permitida (después de haber pasado el valor de ruptura de t_p). La figura 1.60i simplemente señala que la intensidad es la mayor a 0° (visto desde el frente directamente) y la menor a 90° (cuando el dispositivo se observa desde un lado).

Actualmente las pantallas de visualización de LED se encuentran disponibles en muchas formas y tamaños. La región de emisión de luz está disponible en longitudes que van desde 0.1 a 1 pulgada. Es posible representar números mediante segmentos como se indica en la figura 1.61. Al aplicar una polarización directa al segmento de material tipo *p* apropiado, es posible desplegar cualquier número del 0 al 9.

También existen lámparas de LEDs de dos terminales, las cuales contienen dos LEDs, de manera que una inversión en la polarización cambia el color de verde a rojo o viceversa.



Actualmente es posible encontrar LEDs en color rojo, verde, amarillo, naranja y blanco, próximamente también estará disponible comercialmente el color blanco con azul. En general, los LEDS operan en rangos de voltaje de 1.7 a 3.3 V, lo cual los hace completamente compatibles con los circuitos de estado sólido. Cuentan con tiempos de respuesta rápidos (nanosegundos) y ofrecen índices buenos de contraste para mejor visibilidad. Sus requerimientos de potencia son típicamente de 10 a 150 mW con tiempos de vida de más de 100,000 horas y además, su construcción de semiconductor les añade un factor de significativa durabilidad.



(a)

Valores nominales absolutos máximos a $T_A = 25°C$

Parámetro	4160 Rojo de alta eficiencia	Unidades
Disipación de potencia	120	mW
Corriente promedio en polarización directa	20[1]	mA
Corriente pico en polarización directa	60	mA
Rango de temperatura para operación y almacenamiento	−55°C a 100°C	
Temperatura de soldado del conector [a 1.6 mm (0.063 pulg.) del cuerpo]	230°C durante 3 segundos	

[1] Reducir a partir de 50°C en 0.2 mV/°C

(b)

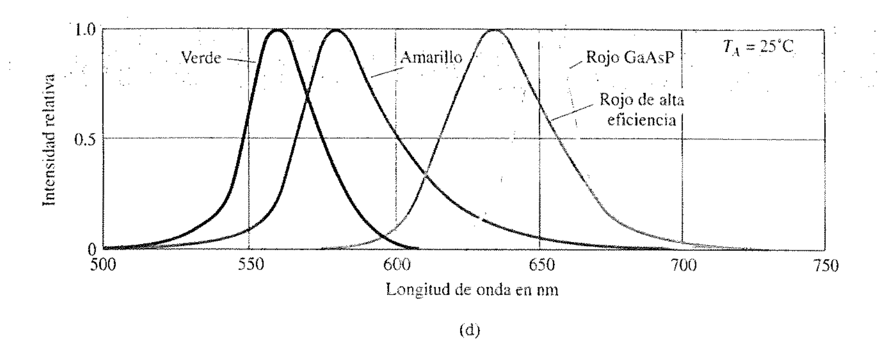
Características Eléctricas/Ópticas a $T_A = 25°C$

Símbolo	Descripción	4160 Rojo de alta eficiencia Mín.	Típico	Máx.	Unidades	Condiciones de prueba
I_V	Intensidad luminosa axial	1.0	3.0		mcd	I_F = 10 mA
$2\theta_{1/2}$	Ángulo incluido entre puntos de intensidad luminosa media		80		deg.	Nota 1
λ_{pico}	Longitud de onda pico		635		nm	Medida en el pico
λ_d	Longitud de onda dominante		628		nm	Nota 2
τ_s	Velocidad de respuesta		90		ns	
C	Capacitancia		11		pF	$V_F = 0$; f = 1Mhz
θ_{JC}	Resistencia térmica		120		°C/W	Unión a la conexión del cátodo a 0.79 mm (0.031 pulg) del cuerpo
V_F	Voltaje en polarización directa		2.2	3.0	V	I_F = 10 mA
BV_R	Voltaje de ruptura inverso	5.0			V	I_R = 100 μA
η_v	Eficiencia luminosa		147		lm/W	Nota 3

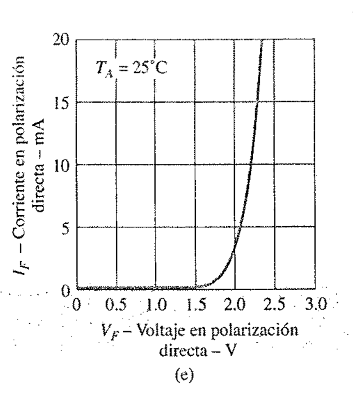
NOTAS:
1. $\theta_{1/2}$ es el ángulo a partir del eje al cual, la intensidad luminosa es la mitad de la intensidad luminosa axial.
2. La longitud de onda dominante λ_d, se deriva del diagrama CIE de cromaticidad y representa la longitud de onda simple que define el color del dispositivo.
3. La intensidad radiante, I_e, en watts/estereorradián, puede encontrarse a partir de la ecuación $I_e = I_v/\eta_v$, donde I_v es la intensidad luminosa en candelas y η_v es la eficiencia luminosa en lúmenes/watt.

(c)

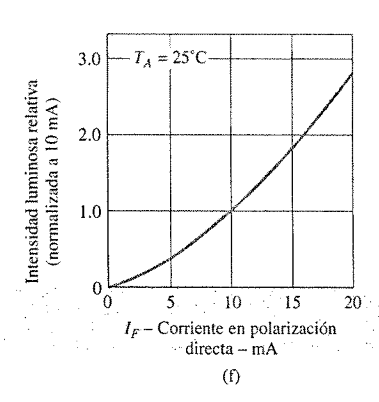
Figura 1.60 Lámpara roja subminiatura de estado sólido y alta eficiencia fabricada por Hewlett-Packard: (a) apariencia; (b) valores nominales absolutos máximos; (c) características eléctricas/ópticas; (d) intensidad relativas *en función de* longitud de onda; (e) corriente en polarización directa *en función del* voltaje en polarización directa; (f) intensidad luminosa relativa *en función de la* corriente en polarización directa; (g) eficiencia relativa *en función de la* corriente pico; (h) corriente pico máxima *en función de la* duración del pulso; (i) intensidad luminosa relativa *en función del* desplazamiento angular. (Cortesía de Hewlett-Packard Corporation.)



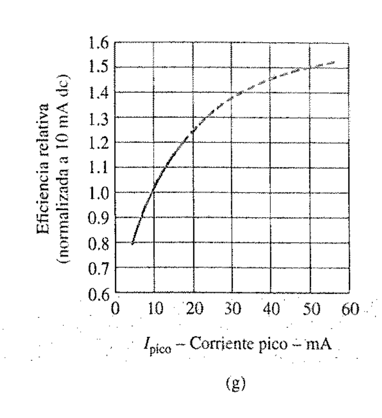
(d)



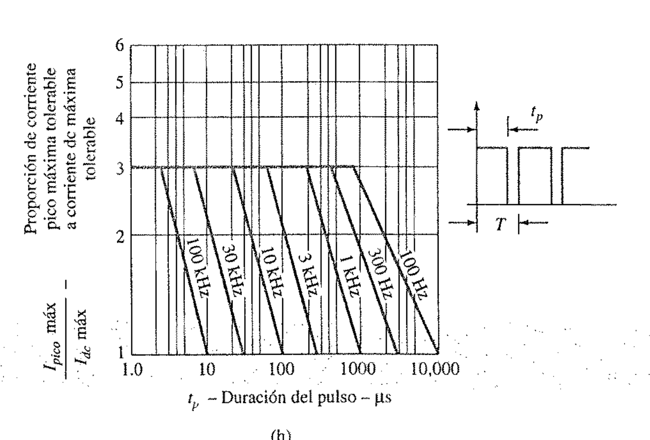
(e)



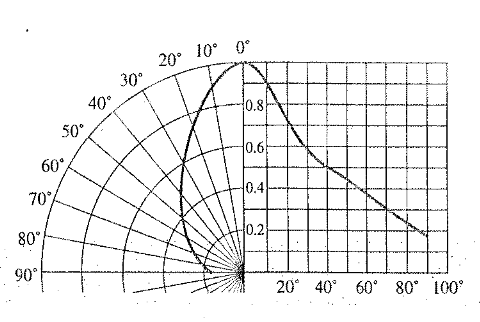
(f)



(g)



(h)



(i)

Figura 1.60 Continuación.

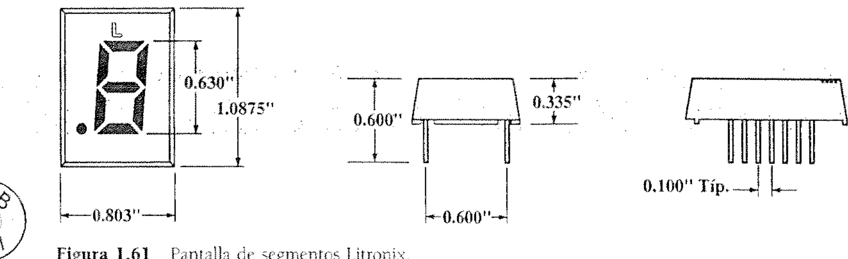


Figura 1.61 Pantalla de segmentos Litronix.

ARREGLO MONOLÍTICO PLANAR DE DIODOS AISLADO POR AIRE

- **C . . . 5.0 pF (MÁX)**
- **ΔV_F . . . 15 mv (MÁX) @ 10 mA**

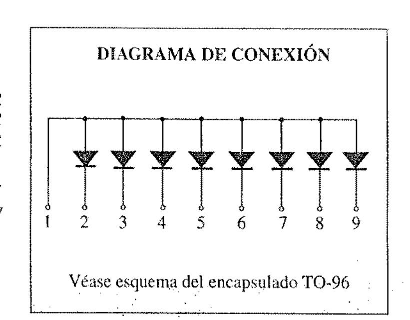
VALORES NOMINALES ABSOLUTOS MÁXIMOS (Nota 1)

Temperaturas

Rangos de Temperaturas de Almacenamiento	–55° a + 200°C
Temperatura Máxima de Operación de la Unión	+ 150°C
Temperatura en la Conexión	+ 260°C

Disipación de potencia (Nota 2)

Disipación Máxima de la Unión a 25°C de Temperatura Ambiente	400 mW
por Encapsulado a 25°C de Temperatura Ambiente	600 mW
Factor de Disipación Lineal (a partir de 25°C) en la Unión	3.2 mW/°C
en el Encapsulado	4.8 mW/°C



Corrientes y Voltajes Máximos

WIV	Voltaje Inverso de Trabajo	55 V
I_F	Corriente Continua en Polarización Directa	350 mA
$i_{f(sobrecarga)}$	Corriente Pico en Sobrecarga en Polarización Directa	
	Amplitud del pulso = 1.0 s	1.0 A
	Amplitud del pulso = 1.0 μs	2.0 A

CARACTERÍSTICAS ELÉCTRICAS (A 25°C de temperatura ambiente a menos que se indique lo contrario)

SÍMBOLO	CARACTERÍSTICA	MÍNIMO	MÁXIMO	UNIDADES	CONDICIONES DE PRUEBA
B_V	Voltaje de Ruptura	60		V	$I_R = 10\ \mu A$
V_F	Voltaje en Polarización Directa (Nota 3)		1.5 1.1 1.0	V V V	$I_F = 500$ mA $I_F = 200$ mA $I_F = 100$ mA
I_R	Corriente Inversa Corriente Inversa ($T_A = 150°C$)		100 100	nA µA	$V_R = 40$ V $V_R = 40$ V
C	Capacitancia		5.0	pF	$V_R = 0$, f = 1 MHz
V_{FM}	Voltaje Pico en Polarización Directa		4.0	V	$I_f = 500$ mA, $t_r < 10$ ns
t_{fr}	Tiempo de Recuperación Directo		40	ns	$I_f = 500$ mA, $t_r < 10$ ns
t_{rr}	Tiempo de Recuperación Inverso		10 50	ns ns	$I_f = I_r = 10 - 200$ mA $R_L = 100\Omega$, Rec. a 0.1 I_r $I_f = 500$ mA, $I_r = 50$ mA $R_L = 100\Omega$, Rec. a 5 mA
ΔV_F	Ajuste de Voltaje Directo		15	mV	$I_F = 10$ mA

NOTAS:

1. Estos valores son valores límites, por encima de los cuales se vería dañado el desempeño y la vida del dispositivo.
2. Éstos son límites en estado estable. Deberá consultarse a la fábrica para aplicaciones que involucren operación con pulsos o con ciclos de trabajo bajos.
3. V_F se mide utilizando un pulso de 8 ms.

Figura 1.62 Arreglo monolítico de diodos.

1.17 ARREGLOS DE DIODOS: CIRCUITOS INTEGRADOS

Las características principales de los circuitos integrados se presentan en el Apéndice A. "Fabricación de los circuitos integrados que mueven al mundo", cuyo contenido merece una lectura cuidadosa, cuando el tiempo lo permita, de manera que se obtenga un entendimiento amplio del proceso de manufactura. Se dará cuenta de que el circuito integrado no es un dispositivo único que cuente con características completamente diferentes de aquellas que hemos revisado en estos capítulos introductorios. Simplemente es una técnica que permite una reducción importante en el tamaño de los sistemas electrónicos. En otras palabras, dentro del circuito integrado se encuentran sistemas y dispositivos discretos que ya estaban disponibles mucho tiempo antes de que el circuito integrado, como hoy lo conocemos, fuera una realidad.

Jack St. Clair Kilby, inventor del circuito integrado y co-inventor de la calculadora electrónica portátil. (Cortesía de Texas Instruments, Inc.) Nacido en Jefferson City, Missouri, en 1923, Maestría en Ciencias por la Universidad de Wisconsin, Director de Ingeniería y Tecnología del Components Group. Asociado de IEEE por parte de Texas Instruments. Posee más de 60 patentes en EU.

En la figura 1.62 (vea página 44) se muestra un arreglo posible. Observe que dentro del arreglo de diodos se encuentran ocho. Esto es, en el encapsulado que se muestra en la figura 1.63 se hallan los diodos sobre una sola oblea de silicio que tienen todos los ánodos conectados a la terminal 1 y los cátodos de cada uno, a las terminales 2 a la 9. Observe en la misma figura que la terminal 1 puede localizarse a la izquierda de una pequeña protuberancia del encapsulado si se observa desde debajo de éste. Los otros números de terminal seguirán al primero en orden secuencial. Si se requiriera utilizar un solo diodo, entonces únicamente se emplearán las terminales 1 y 2 (o cualquier otra del 3 al 9). Los diodos restantes quedarían desconectados y no afectarían a la red donde se encuentren conectados las terminales 1 y 2.

En la figura 1.64 se presenta otro arreglo de diodos. En este caso, el encapsulado es diferente, sin embargo, la secuencia de numeración aparece en el esquema. La terminal 1 es la que se encuentra directamente arriba de la pequeña muesca que se ve desde la parte superior del encapsulado.

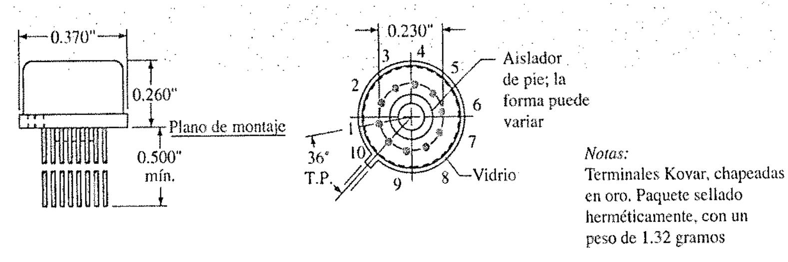
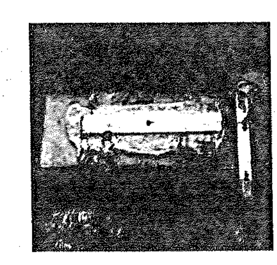
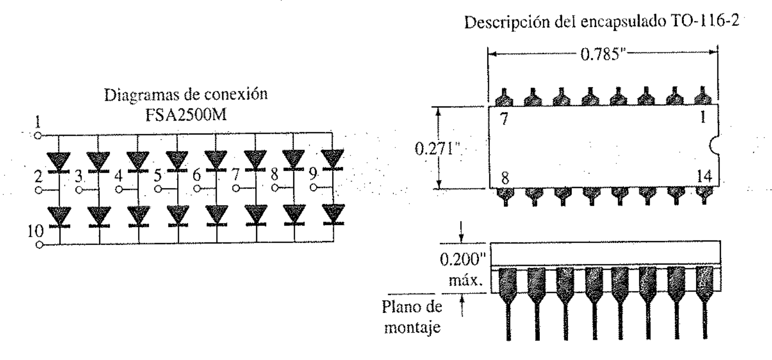


Figura 1.63 Esquema del encapsulado TO-96 que corresponde con un arreglo de diodos. Todas las medidas están en pulgadas.



El primer circuito integrado, un oscilador de desplazamiento de fase, inventado por Jack S. Kilby en 1958. (Cortesía de Texas Instruments, Inc.)



Notas:
Aleación de 42 terminales, chapa de estaño
Disponible con terminales de chapa de oro
Encapsulado de cerámica sellado herméticamente

Figura 1.64 Arreglo monolítico de diodos. Todas las medidas se encuentran en pulgadas.

1.18 RESUMEN

Conclusiones y Conceptos Relevantes

1. Las características de un diodo ideal se asemejan mucho a las de un **interruptor simple,** excepto por el hecho importante de que un diodo ideal puede **conducir en una sola dirección.**
2. El diodo ideal actúa como un circuito **corto** en la región de conducción y como un **circuito abierto** en la región de no conducción.
3. Un semiconductor es un material que posee un nivel de conductividad situado **entre** el de un buen conductor y el de un aislante.
4. Al enlace de átomos, reforzado por **electrones compartidos** entre átomos vecinos, se le denomina enlace covalente.
5. Los incrementos en la temperatura pueden causar un **incremento importante** en el número de electrones libres en un material semiconductor.
6. La mayoría de los materiales semiconductores que se utilizan en la industria electrónica, poseen **coeficientes de temperatura negativos;** lo que significa que la resistencia desciende cuando la temperatura se incrementa.
7. Los materiales intrínsecos son aquellos semiconductores que tienen **bajos niveles de impureza,** mientras que los materiales extrínsecos son los semiconductores que han sido **expuestos a un proceso de dopado.**
8. Un material tipo *n* se forma al añadir átomos **donores** que cuentan con **cinco** electrones de valencia de forma que se establezca un alto nivel de electrones relativamente libres. En un material tipo *n*, el **electrón es el portador mayoritario,** y el hueco es el portador minoritario.
9. Un material tipo *p* se forma al añadir átomos **aceptores** que cuentan con **tres** electrones de valencia de forma que se establezca un alto nivel de huecos en el material. En un material tipo *p*, el hueco es el portador mayoritario, y el electrón es el portador minoritario.
10. La región cercana a la unión en un diodo que contiene muy pocos portadores se le denomina región de **agotamiento.**
11. En **ausencia** de cualquier polarización externa aplicada, la corriente de un diodo es cero.
12. En la región de polarización directa la corriente del diodo se **incrementará de forma exponencial** con incrementos en el voltaje a través del diodo.
13. En la región de polarización inversa, la corriente del diodo se mantiene en la **muy pequeña corriente de saturación inversa** hasta que la ruptura de Zener se alcanza y la corriente comienza a fluir a través del diodo en dirección opuesta.
14. La corriente de saturación inversa I_s se incrementará en proporción cercana al **doble** por cada incremento de 10 grados en la temperatura.
15. La resistencia de dc de un diodo se determina por la **razón** entre el voltaje de diodo y la corriente en el punto de interés y **no es sensible** a la forma de la curva. La resistencia disminuye con el incremento en el voltaje o la corriente del diodo.
16. La resistencia de ac del diodo es sensible a la forma de la curva para la región de interés y **disminuye** para altos niveles de corriente o voltaje del diodo.
17. El voltaje de umbral es cercano a **0.7 V** para el caso de los diodos de silicio y de **0.3 V** para el de los diodos de germanio.
18. El nivel máximo de disipación de potencia de un diodo es igual al **producto** del voltaje del diodo por la corriente.
19. La capacitancia de un diodo se **incrementará exponencialmente** con el incremento del voltaje en polarización directa. Sus niveles más bajos se encuentran en la región de polarización inversa.
20. La dirección de conducción de un diodo Zener es **opuesta** a la que indica la flecha de su símbolo, y el voltaje Zener tiene una polarización opuesta a la del diodo en polarización directa.
21. Los diodos emisores de luz (LEDs) emiten luz bajo **condiciones de polarización directa** pero requieren de 2 a 4 V para una emisión conveniente.

Ecuaciones

$$I_D = I_s(e^{kV_D/T_K} - 1) \qquad k = \frac{11{,}600}{\eta} \qquad T_K = T_C + 273^\circ$$

$$V_T \cong 0.7 \text{ V (Si)}$$

$$V_T \cong 0.3 \text{ V (Ge)}$$

$$R_D = \frac{V_D}{I_D}$$

$$r_d = \frac{\Delta V_d}{\Delta I_d} = \frac{26 \text{ mV}}{I_D}$$

$$r_{av} = \frac{\Delta V_d}{\Delta I_d}\bigg|_{\text{punto a punto}}$$

$$P_{D_{\text{máx}}} = V_D I_D$$

1.19 ANÁLISIS POR COMPUTADORA

La computadora se ha convertido en una parte integral de la industria electrónica de tal manera que las características que ofrece esta "herramienta" de trabajo se deben presentar en la primera oportunidad posible. Para aquellos estudiantes sin experiencia previa en la computación, existe al principio un temor común hacia este sistema poderoso y aparentemente complicado. Tomando esto en cuenta, se diseñó para este libro la sección de análisis por computadora, de manera que los sistemas de cómputo se volvieran más fáciles de usar mediante la presentación de la relativa facilidad con la que éstos pueden ser aplicados para la ejecución de algunas tareas especiales que pueden ser muy útiles con un consumo mínimo de tiempo y con un alto grado de precisión. El contenido de esta sección se desarrolló asumiendo que el lector no cuenta con experiencia en cómputo previa ni con una familiarización con la terminología que se aplica. Esto tampoco sugiere que el contenido de este libro sea suficiente como para permitir un completo entendimiento de los "cómos" ni de los "porqués" que surgirán. El propósito aquí, es únicamente el de ofrecer una introducción a la terminología, revisar algunas capacidades, descubrir las posibilidades disponibles, experimentar algunas de sus limitaciones y demostrar su versatilidad mediante un cierto número de ejemplos cuidadosamente seleccionados.

En general, el análisis por computadora de sistemas electrónicos puede realizarse mediante uno de dos enfoques: ya sea empleando un *lenguaje* de programación como C++, Pascal, FORTRAN, o QBASIC; o mediante la utilización de un *paquete de software* como PSpice, Electronics Workbench (EWB), MicroCap II, Breadboard o Circuit Master, por nombrar algunos. A través de una notación simbólica, un lenguaje de programación crea un puente entre el usuario y la computadora para permitir un diálogo entre ambos con el objetivo de establecer las operaciones que se efectuarán.

En ediciones anteriores de este texto, el lenguaje de programación seleccionado fue BASIC, debido principalmente a la utilización que hace de palabras y frases familiares con las del idioma inglés, que revelaban en sí mismas la operación que se realizaría. Cuando se emplea un lenguaje de programación para analizar un sistema, es necesario desarrollar un *programa* donde se definan de manera secuencial las operaciones que se efectuarán, en un orden muy similar al que se utiliza para realizar el mismo análisis a mano. De la misma forma que en este último método, si se comete un error en un paso específico, el resultado que se obtiene puede no tener ningún sentido. Es obvio que un programa desarrollado con tiempo y esmero representará un camino mucho más eficiente para llegar a una solución. Una vez establecido en su "mejor" forma, se puede catalogar para una utilización futura. Una ventaja importante del enfoque por medio de lenguaje de programación es que éste puede ser configurado para cubrir las necesidades especiales del usuario. Permite "movimientos" creativos por parte del usuario que pueden generar impresiones de datos de una manera informativa e interesante.

Figura 1.65 Paquete Mathcad 2000.

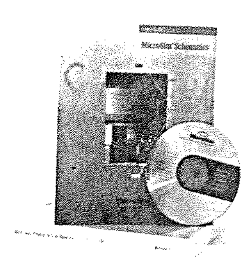


Figura 1.66 Paquete de Diseño PSpice (Cortesía de OrCAD MicroSim Corporation).

Figura 1.67 Electronics Workbench, Versión 6.2.

El enfoque alternativo que se mencionó antes es el del empleo de un paquete de software que permita realizar la investigación deseada. Un paquete de software es un programa desarrollado y probado durante un periodo, el cual está diseñado para realizar un tipo particular de análisis o síntesis de una manera eficiente con un alto nivel de precisión. El paquete en sí mismo, no puede ser alterado por el usuario, y su aplicación se limita a las operaciones incorporadas en el sistema. Un usuario debe adecuar su necesidad de información requerida al rango de posibilidades que ofrece el paquete. Además, el usuario debe capturar la información exactamente de la forma en que lo solicita el paquete o de lo contrario los datos pueden malinterpretarse.

Los paquetes de software disponibles actualmente son muy amplios en cuanto a su cobertura y rango de operaciones, de tal forma que ahora se requiere de una práctica extensa para ser en realidad competente en su utilización. De hecho, una importante fuente de información para principiantes es la cercanía con colegas que posean una mayor experiencia en un paquete en particular. El apoyo que un colega de este tipo puede brindar casi siempre es invaluable debido al tiempo y esfuerzo que puede ahorrar. Pero siempre tenga en mente que en algún momento, este experto también deberá acudir a los manuales proporcionados y a fuentes de ayuda para poder completar una labor. Para convertirse en una persona hábil en el uso de cualquier paquete sólo se requieren muchas horas de práctica, además de la habilidad para hacer preguntas y buscar ayuda cuando se requiera.

En este texto, son tres los paquetes que se utilizarán ampliamente. No obstante que, como es natural, su cobertura es introductoria, la guía que se proporciona en este texto y en los manuales del software deberá ser más que suficiente para que los lectores puedan entender de forma clara los ejemplos y puedan trabajar en los ejercicios. En la sección 1.7 se presentó una introducción de Mathcad para crear un conocimiento acerca del tipo de apoyo matemático disponible y que va más allá de la capacidad de una calculadora científica común. A pesar de que el paquete MathCad 2000 que se muestra en la figura 1.65 sea el utilizado en este texto, el nivel de cobertura es tal, que todas las operaciones pueden efectuarse en versiones anteriores de Mathcad. Para el caso de las redes electrónicas que revisaremos en este texto, se utilizaron dos paquetes de software: PSpice* y Electronics WorkBench. En la figura 1.66 se presenta una fotografía del paquete de la versión 8.0 de PSpice en formato CD-ROM (también disponible en formato de discos de 3.5"). Existe una versión más sofisticada con amplia difusión en la industria, denominada simplemente como SPICE. En la figura 1.67 se presenta el paquete de la versión 6.2 de Electronics Workbench. De nueva cuenta mencionamos que la cobertura en este texto es tal, que es posible utilizar versiones anteriores para realizar los ejercicios. Para el caso de todos los paquetes de software, se hizo un esfuerzo por proporcionar un detalle suficiente en el texto que permitiera guiar al lector a través de cada paso en el proceso de análisis. Si surge alguna duda, primeramente consulte con su instructor y en los manuales del software y por último, utilice la ayuda en línea que se proporciona con cada paquete.

PSpice Windows

Al utilizar PSpice para Windows, se dibuja en primer lugar la red en la pantalla, seguida de un análisis dirigido por las necesidades del usuario. Durante este texto, se utilizará la **Versión 8.0,** aunque las diferencias entre ésta y las anteriores versiones de Windows, son pocas y relativamente pequeñas para este nivel de utilización, no deberá preocuparse si se utiliza una versión anterior. El primer paso, por supuesto, es instalar PSpice en el disco duro de su computadora, siguiendo las instrucciones proporcionadas por MicroSim. Luego, deberá obtenerse la pantalla de **Esquemas** utilizando un mecanismo de control como **Windows 95.** Una vez establecida, será necesario obtener los elementos de la red y colocarlos en la pantalla para construir la red. En este texto, se describirá el procedimiento necesario para cada elemento una vez que se presenten las características y análisis de cada dispositivo.

Ya que hemos concluido con la cobertura a detalle del diodo, se mostrará el procedimiento para localizar los diodos que se encuentran almacenados en las bibliotecas del programa, así como el método que se utiliza para colocarlos en la pantalla. En el siguiente capítulo, se presentará el procedimiento para analizar una red de diodos completa utilizando PSpice. Existen muchas maneras que comenzar, pero el camino más rápido es hacer clic en el dibujo del icono de binoculares en la parte superior derecha de la pantalla de esquemas. A medida que se acerca el apuntador al recuadro, por medio del ratón, se desplegará un mensaje **Get New Part** (Obtener una parte nueva). Haciendo clic izquierdo sobre el símbolo aparecerá un recuadro de diálogo con el mensaje **Part Browser Basic** (buscador básico de partes). Al seleccionar la opción **Libraries** (bibliotecas), aparecerá un recuadro buscador de bibliotecas (**Library browser**) y deberá seleccionarse la biblioteca **EVAL.slb.** Cuando esto se haga, aparecerán todas las partes disponibles bajo esta biblioteca en el listado de partes (**Parts**). Luego, revise la lista de partes y seleccione el diodo **D1N4148**. El resultado de esta acción es que el título de **Part Name** (nombre de la parte) aparecerá arriba y que la descripción (**Description**) indicará que se trata de un diodo. Una vez seleccionado, haga clic en **OK** y el recuadro del buscador básico de partes (**Part Browser Basic**) reaparecerá con la descripción completa del elemento seleccionado. Para colocar el dispositivo en la pantalla y cerrar el recuadro, simplemente haga clic en la opción de **Place and Close** (colocar y cerrar). Como resultado de esto el diodo aparecerá en la pantalla y podrá ser colocado en un lugar haciendo clic con el botón izquierdo del ratón. Una vez que se ha colocado, aparecerán dos etiquetas, una de ellas indicará cuántos diodos se han colocado (**D1, D2, D3,** y así sucesivamente) y la otra con el nombre del diodo seleccionado (**D1N4148**). Este mismo diodo puede colocarse en otros lugares en la misma pantalla, simplemente moviendo el apuntador y haciendo un clic con el botón izquierdo con el ratón. Este proceso se termina cuando se hace un solo clic con el botón derecho del ratón. Es posible eliminar cualquiera de los diodos con sólo seleccionarlos para colorearlos de rojo y presionando luego la tecla de **Delete** (borrar). Si se prefiere, también se puede elegir la opción **Edit** (editar) de la barra de menú de la parte superior de la pantalla, seguida del uso del comando **Delete.**

Otro camino para obtener un elemento es el de escoger **Draw** (dibujar) en la barra de menú, seguido por **Get New Part** (obtener una parte nueva). Una vez seleccionada, aparecerá el diálogo **Part Browser Basic** y se podrá continuar con el mismo proceso. Ahora que sabemos que el diodo D1N4148 existe, es posible obtenerlo directamente una vez que el diálogo **Part Broker Basic** aparece. Simplemente teclee D1N4148 en el recuadro **Part Name,** seguido de **Place and Close** y el **diodo** aparecerá en la pantalla.

Si el diodo se ha movido, solamente haga un solo clic con el botón izquierdo sobre él, de manera que se coloree de rojo. Luego, haga otro clic nuevamente sobre él y sostenga el botón del ratón presionado. Al mismo tiempo, mueva el diodo a cualquier lugar que prefiera y cuando esté posicionado en el lugar deseado libere el botón. Recuerde que todo lo que aparezca en rojo puede operarse. Para eliminar el estatus de lo que aparece en rojo, simplemente quite el puntero del elemento y haga un clic sobre él. El diodo se coloreará de verde y azul, lo que indica que su posición e información asociada ha sido almacenada en la memoria. Para todos los capítulos siguientes, si resulta que usted posee una pantalla monocromática (blanco y negro), simplemente tendrá que recordar si el dispositivo está en el estado activo.

Si la etiqueta o los parámetros del diodo están cambiados, simplemente haga un solo clic sobre el elemento (hasta hacerlo rojo) y escoja **Edit** seguido por **Model.** Aparecerá un recuadro **Edit Model** (Editar Modelo) con la opción de cambiar el modelo de referencia (**Model Reference**) (D1N4148), el **texto** asociado con cada parámetro, o los **parámetros** que definen las características del diodo.

Como se mencionó anteriormente, se realizarán comentarios adicionales referentes al uso del diodo en los capítulos siguientes. Por el momento, al menos estamos concientes de cómo localizar y colocar un elemento en la pantalla. Si el tiempo lo permite, revise los otros elementos disponibles dentro de las distintas bibliotecas con el objetivo de prepararse para el trabajo que sigue.

Electronics Workbench (EWB)

Afortunadamente, existen variar similitudes entre PSpice y Electronics Workbench (EWB). Por supuesto, también existe un amplio número de diferencias; sin embargo, el punto aquí es que una vez que usted se vuelva hábil en el uso de un paquete de software, le será mucho más fácil aprender otro.

*PSpice es una marca registrada de OrCAD-MicroSim Corporation.

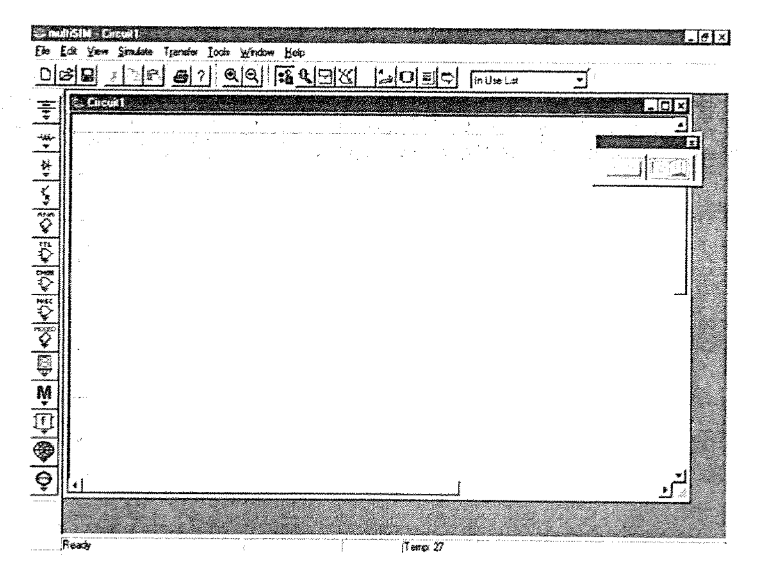


Figura 1.68 Pantalla principal de Multisim (Electronics Workbench).

Una vez que se selecciona el icono de Multisim, aparecerá la pantalla de la figura 1.68. A primera vista, las barras de menús parecen muy extensas. De hecho, solamente el familiarizarse con la gama de opciones disponibles, puede llevar algún tiempo. Sin embargo, tenga en mente que para cada objeto en la barra de menús probablemente existirá un subconjunto para seleccionar, por lo que la lista de opciones disponibles es muy amplia. En primer lugar, observe que en la parte superior de la pantalla, la barra de menú se divide en cinco secciones diferentes. La barra de herramientas del sistema (**system toolbar**), que incluye a las primeras cuatro secciones, comenzando por la izquierda, deberá parecer algo familiar pues es similar a las de otros paquetes como Microsoft Word. El conjunto restante de botones (nueve en total) se denomina la barra de diseño Multisim (**Multisim design bar**), y está diseñado específicamente para Electronics Workbench. El primer botón de la barra de diseño, presenta el dibujo de cuatro elementos diferentes que indican que éste es el origen de los componentes para cualquier diseño. Cuando se inicia EWB, es probable que este botón se encuentre presionado de manera que se muestre la barra de componentes de la parte izquierda de la pantalla. Observe la variedad de componentes disponibles, y note que el diodo es el tercer elemento hacia abajo. La barra de componentes puede eliminarse o insertarse mediante el uso del botón de componentes (**component**) de la barra de diseño. Para agregar elementos a la lista de componentes, solamente posicione el cursor sobre el componente resistivo de la bandeja de partes. El resultado es una lista expandida de componentes como se muestra en la figura 1.69.

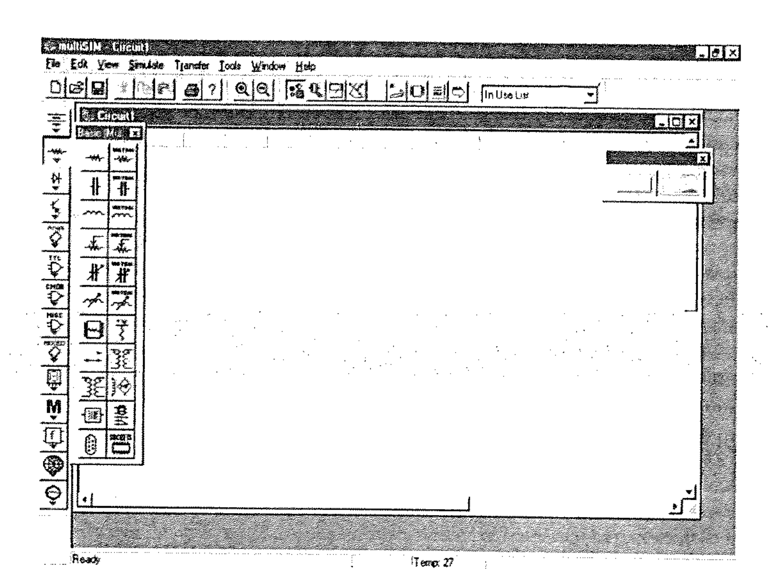


Figura 1.69 Barra de herramientas con las familias de componentes de Electronics Workbench.

El botón a la derecha de la bandeja de componentes recuerda a un capacitor. Su propósito es permitir la modificación (**modification**) de los componentes. El siguiente botón permite la selección de una variedad de instrumentos (**instruments**) que pueden insertarse en la red al momento de construirla. De hecho, son once los instrumentos disponibles, que van desde un simple multímetro hasta un osciloscopio.

El siguiente botón es una cuadrícula de líneas y componentes, llamado menú de elementos de **simulación** que controlan el análisis que se realiza. Entre sus opciones se encuentran **RUN/STOP** (comenzar/detener) o **PAUSE/RESUME** (pausa/continuar). El siguiente botón controla el tipo de análisis (**analisis**) que se efectuará, que va desde dc hasta el análisis de figuras de ruido. Los botones restantes se dejan a la investigación del lector, ya que no serán necesarios para la cobertura prevista de este libro.

El siguiente paso lógico, que sería la construcción real de un circuito simple y la realización de un análisis, será visto en el siguiente capítulo cuando se aplique polarización de dc a redes de diodos.

PROBLEMAS

§ 1.2 Diodo Ideal

1. Describa con sus propias palabras el significado de la palabra *ideal* cuando se aplica a un dispositivo o sistema.
2. Describa con sus propias palabras las características de un diodo *ideal* y cómo se determinan los estados de "encendido" y "apagado" del dispositivo. Es decir, describa por qué son adecuados los equivalentes de circuito cerrado y de circuito abierto.
3. ¿Cuál el la principal diferencia entre las características de un interruptor sencillo y aquellas del diodo ideal?

§ 1.3 Materiales Semiconductores

4. Con sus propias palabras, defina los términos *semiconductor, resistividad, resistencia de volumen* y *resistencia de contacto óhmico.*
5. (a) Utilizando la tabla 1.1, determine la resistencia de una muestra de silicio con un área de 1 cm^2 y una longitud de 3 cm.
   (b) Repita el inciso (*a*) si ahora la longitud es de 1 cm y el área de 4 cm^2.
   (c) Repita el inciso (*a*) si ahora la longitud es de 8 cm y el área de 0.5 cm^2.
   (d) Repita la inciso (*a*) para el caso del cobre y compare los resultados.
6. Dibuje la estructura atómica del cobre y discuta por qué se trata de un buen conductor y de qué forma su estructura es diferente a la del germanio y del silicio.
7. Con sus propias palabras, defina un material intrínseco, un coeficiente de temperatura negativo y un enlace covalente.
8. Consulte su biblioteca y localice tres materiales que posean coeficientes de temperatura negativos y tres con coeficientes de temperatura positivos.

§ 1.4 Niveles de Energía

9. ¿Cuánta energía medida en joules se requiere para mover una carga de 6 C a través de una diferencia de potencial de 3 V?
10. Si se requieren 48 eV de energía para mover una carga a través de una diferencia de potencial de 12 V, determine la carga involucrada.
11. Consulte en su biblioteca y determine el nivel de E_g para el GaP y el ZnS, dos materiales semiconductores con valor práctico. Además, determine el nombre completo de cada material.

§ 1.5 Materiales Extrínsecos Tipo *n* y Tipo *p*

12. Describa las diferencias entre los materiales semiconductores tipo *n* y tipo *p*.

13. Describa las diferencias entre las impurezas donoras y aceptoras.

14. Describa las diferencias entre portadores mayoritarios y minoritarios.

15. Dibuje la estructura atómica del silicio e inserte una impureza de arsénico como se demostró en el caso del silicio de la figura 1.9.

16. Repita el problema 15 pero ahora inserte una impureza de indio.

17. Consulte su biblioteca y encuentre otra explicación para el flujo de huecos *versus* el de electrones. Empleando ambas descripciones, describa con sus propias palabras el proceso de conducción de huecos.

§ 1.6 Diodo Semiconductor

18. Describa con sus propias palabras las condiciones que se establecen a causa de condiciones de polarización directa e inversa sobre una unión *p-n* de un diodo y cómo se ve afectada la corriente resultante.

19. Describa cómo podría recordar los estados de polarización inversa y directa para el diodo de unión *p-n*. Es decir, ¿cómo recordaría el potencial (positivo o negativo) y la terminal sobre la que se aplica?

20. Utilizando la ecuación 1.4 determine la corriente de diodo a 20°C para el caso de un diodo de silicio con I_s = 50 nA y una polarización directa aplicada de 0.6 V.

21. Repita el problema 20 para T = 100°C (punto de ebullición del agua). Asuma que I_S se incrementó a 5.0 μA.

22. (a) Utilizando la ecuación 1.4, determine la corriente de diodo a 20°C para un diodo de silicio con I_s = 0.1 μA bajo un potencial de polarización inversa de −10 V.
(b) ¿El resultado es el esperado? ¿Por qué?

23. (a) Grafique la función $y = e^x$ para un valor de x de 0 a 5.
(b) ¿Cuál es el valor de $y = e^x$ cuando $x = 0$?
(c) Con base en el resultado del inciso (*b*), ¿por qué es importante el factor −1 en la ecuación 1.4?

24. En la región de polarización inversa, la corriente de saturación de un diodo de silicio es cercana a 0.1 μA (T = 20°C). Determine su valor aproximado si la temperatura se incrementa a 40°C.

25. Compare las características de un diodo de silicio con las de un diodo de germanio y determine cuál preferiría utilizar para la mayoría de las aplicaciones prácticas. Proporcione algunos detalles. Consulte un listado de especificaciones del fabricante y compare las características del diodo de silicio y de germanio con valores nominales máximos similares.

26. Determine la caída de voltaje directo a través del diodo cuyas características aparecen en la figura 1.24 para temperaturas de −75, 25, 100 y 200°C, con una corriente de 10 mA. Para cada temperatura, determine el nivel de la corriente de saturación. Compare los extremos de cada una y comente sobre la relación de ambas.

§ 1.8 Niveles de Resistencia

27. Determine la resistencia estática o de dc del diodo comercial de la figura 1.19 para una corriente en polarización directa de 2 mA.

28. Repita el problema 26 para una corriente en polarización directa de 15 mA y compare los resultados.

29. Determine la resistencia estática o de dc del diodo comercial de la figura 1.19 para un voltaje inverso de −10 V. ¿Cómo se compara con el valor determinado para un voltaje inverso de −30 V?

30. (a) Determine la resistencia dinámica (ac) del diodo de la figura 1.34 bajo una corriente de 10 mA utilizando la ecuación 1.6.
(b) Determine la resistencia dinámica (ac) del diodo de la figura 1.34 bajo una corriente de 10 mA utilizando la ecuación 1.7.
(c) Compare los resultados de los incisos (*a*) y (*b*).

31. Calcule las resistencias de ac y de dc para el diodo de la figura 1.34 bajo una corriente en polarización directa de 10 mA y compare sus magnitudes.

32. Utilizando la ecuación 1.6, determine la resistencia de ac para una corriente de 1 mA y 15 mA para el diodo de la figura 1.34. Compare los resultados y desarrolle una conclusión general con respecto a la resistencia de ac y al incremento en los niveles de la corriente del diodo.

33. Utilizando la ecuación 1.7, determine la resistencia de ac para una corriente de 1 mA y 15 mA para el diodo de la figura 1.19. Modifique las ecuaciones si lo requiere para niveles bajos de corriente del diodo. Compare con la solución obtenida en el problema 32.

34. Determine la resistencia de ac promedio del diodo de la figura 1.19 para la región entre 0.6 y 0.9 V.

35. Determine la resistencia de ac del diodo de la figura 1.19 a 0.75 V y compare con la resistencia de ac promedio obtenida en el problema 34.

§ 1.9 Circuitos Equivalentes para Diodos

36. Encuentre el circuito equivalente de segmentos lineales para el diodo de la figura 1.19. Utilice un segmento de línea recta que cruce el eje horizontal en el valor de 0.7 V y que mejor se aproxime a la curva para la región mayor que 0.7 V.

37. Repita el problema 36 ahora para el diodo de la figura 1.34.

§ 1.10 Hojas de Especificaciones de Diodos

***38.** Grafique I_F contra V_F utilizando escalas lineales para el diodo de la figura 1.41. Observe que la gráfica proporcionada utiliza una escala logarítmica para el eje vertical (las escalas logarítmicas se cubren en las secciones 11.2 y 11.3).

39. Discuta el cambio en el nivel de capacitancia debido al incremento en el potencial de polarización para el diodo de la figura 1.41.

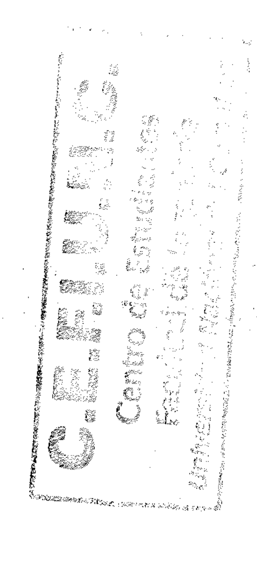
40. ¿Cambia de forma importante la magnitud de la corriente de saturación inversa del diodo de la figura 1.41 para potenciales de polarización inversa en el rango de −25 a −100 V?

***41.** Para el diodo de la figura 1.41, determine el nivel de I_R a temperatura ambiente (25°C) y a la temperatura de ebullición del agua (100°C). ¿El cambio es importante? ¿Prácticamente se duplica el nivel por cada incremento de 10°C en la temperatura?

42. Para el diodo de la figura 1.41, determine la resistencia de ac (dinámica) máxima para una corriente en polarización directa de 0.1, 1.5 y 20 mA. Compare los niveles y discuta si los resultados respaldan a las conclusiones derivadas en las anteriores secciones de este capítulo.

43. Utilizando las características de la figura 1.41, determine los niveles máximos de disipación de potencia para el diodo a temperatura ambiente (25°C) y para 100°C. En el supuesto de que V_F permaneciera fijo en 0.7 V, ¿cómo cambió el nivel máximo de I_F entre los dos niveles de temperatura?

44. Utilizando las características de las figura 1.41, determine la temperatura a la cual, la corriente del diodo será de 50% de su valor a temperatura ambiente (25°C).



§ 1.11 Capacitancia de Transición y de Difusión

***45.** (a) Utilizando como referencia la figura 1.42, determine la capacitancia de transición para un potencial de polarización inverso de −25 y −10 V. ¿Cuál es el radio del cambio en la capacitancia para el cambio en el voltaje?
(b) Repita el inciso (*a*) para potenciales de polarización inversos de −10 y −1 V. Determine la proporción de cambio en la capacitancia al cambio de voltaje.
(c) ¿Cómo se comparan las proporciones determinadas en los incisos (*a*) y (*b*)? ¿Qué le indica esto sobre cuál rango tendrá más áreas de aplicación práctica?

46. Con referencia a la figura 1.42, determine la capacitancia de difusión a 0 y 0.25 V.

47. Describa con sus propias palabras, cómo difieren las capacitancias de difusión y de transición entre sí.

48. Determine la reactancia que presenta un diodo que cuenta con las características de la figura 1.42 para un potencial en polarización directa de 0.2 V y para uno en polarización inversa de −20 V si la frecuencia aplicada en ambos casos es de 6 MHz.

§ 1.12 Tiempo de Recuperación Inverso

49. Dibuje la forma de onda para i en la red de la figura 1.70 si $t_t = 2t_s$ y el tiempo inverso total de recuperación es de 9 ns.

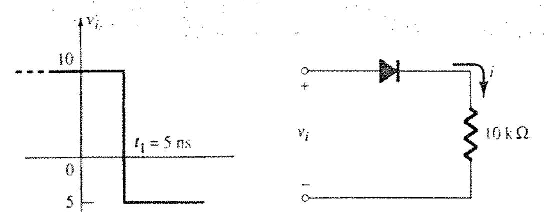


Figura 1.70 Problema 49

§ 1.15 Diodos Zener

50. Se detallan las siguientes características para un diodo Zener particular: $V_Z = 29$ V, $V_R = 16.8$ V, $I_{ZT} = 10$ mA, $I_R = 20\ \mu$A e $I_{ZM} = 40$ mA. Trace la curva característica de la misma forma que se hizo en la figura 1.55.

*51. ¿A qué temperatura tendrá el diodo Zener de la figura 1.55 un voltaje nominal de 10.75 V? (*Sugerencia:* observe los datos de la tabla 1.4.)

52. Determine el coeficiente de temperatura de un diodo Zener 5 V (a una temperatura de 25°C) si el voltaje nominal cae a 4.8 V a una temperatura de 100°C.

53. Utilizando las curvas de la figura 1.56a, ¿cuál sería el nivel esperado del coeficiente de temperatura para un diodo 20 V? Repita para un diodo 5 V. Asuma una escala lineal entre los niveles de voltaje nominal y un nivel de corriente de 0.1 mA.

54. Determine la impedancia dinámica para el diodo 24 V cuando $I_Z = 10$ mA en la figura 1.56b. Considere que se trata de una escala logarítmica.

*55. Compare los niveles de impedancia dinámica del diodo 24 V de la figura 1.56b para niveles de corriente de 0.2, 1 y 10 mA. ¿Cómo se relacionan los resultados con la forma que poseen las características en esta región?

§ 1.16 Diodos emisores de luz

56. En referencia a la figura 1.60e, ¿cuál sería un valor apropiado de V_T para este dispositivo? ¿Cómo se compara con el valor de V_T de silicio y germanio?

57. Utilizando la información proporcionada en la figura 1.60, determine el voltaje en polarización directa a través del diodo si la intensidad luminosa relativa es de 1.5.

*58. (a) ¿Cuál es incremento porcentual en eficiencia relativa del dispositivo de la figura 1.60, si la corriente pico se incrementa de 5 a 10 mA?
(b) Repita el inciso (*a*) para 30 a 35 mA (el mismo incremento en corriente).
(c) Compare el incremento porcentual de los incisos (*a*) y (*b*). ¿En qué punto de la curva diría usted que la ganancia es mínima si se continúa incrementando la corriente pico?

*59. (a) Con referencia a la figura 1.60h, determine la corriente pico máxima tolerable si el periodo de duración del pulso es de 1 ms, la frecuencia de 300 Hz y la corriente dc máxima tolerable es de 20 mA.
(b) Repita el inciso (*a*) para una frecuencia de 100 Hz.

60. (a) Si la intensidad luminosa para un desplazamiento angular de 0° es de 3 mcd para el dispositivo de la figura 1.60, ¿cuál será el ángulo en el que esta cantidad sea 0.75 mcd?
(b) ¿Cuál es el ángulo en el que la pérdida de luminosidad desciende por debajo del nivel de 50%?

*61. Dibuje la curva de decremento de corriente promedio en polarización directa para el LED rojo de alta eficiencia de la figura 1.60, en función de la temperatura. (Observe los valores absolutos nominales máximos.)

*Los asteriscos indican problemas de mayor dificultad.

CAPÍTULO

Aplicaciones de diodos 2

2.1 INTRODUCCIÓN

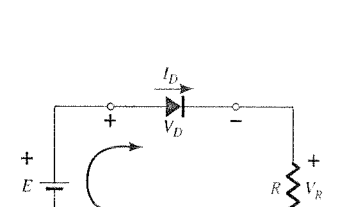
La construcción, características y modelos de los diodos semiconductores se presentaron en el capítulo 1. El objetivo primordial de este capítulo es desarrollar un conocimiento práctico del diodo dentro de una variedad de configuraciones mediante el uso de modelos apropiados para el área de aplicación. Al final del capítulo, se deberá comprender con claridad el patrón fundamental de comportamiento de los diodos en las redes de dc y de ac. Los conceptos que se aprendan en este capítulo aparecerán de manera recurrente en los capítulos siguientes. Por ejemplo, los diodos se emplean a menudo en la descripción de la construcción básica de los transistores y en el análisis de la redes de transistores en los dominios de dc y de ac.

El contenido de este capítulo revelará un aspecto interesante y muy positivo acerca del estudio del campo de los dispositivos y sistemas electrónicos. Una vez que se comprende el comportamiento básico de un dispositivo, se pueden determinar su función y respuesta dentro de una variedad infinita de configuraciones. El rango de las aplicaciones no tiene fin; no obstante, las características y los modelos permanecen iguales. El análisis abarca desde el empleo de las características reales del diodo hasta el uso, casi exclusivo, de modelos aproximados. Es importante que sin necesidad de repasar continuamente procedimientos matemáticos prolongados, se entiendan en el papel la respuesta de los elementos de un sistema electrónico. Por lo general, este procedimiento se lleva a cabo a través de un proceso de aproximación, el cual, por sí mismo, puede considerarse como un arte. Aunque los resultados que se obtienen mediante el uso de las características reales pueden ser un poco diferentes de aquellos que se obtienen a través de una serie de aproximaciones, es importante considerar que las características obtenidas a partir de una hoja de especificaciones pueden diferir un poco de las que se obtienen a partir del uso real del dispositivo. En otras palabras, las características de un diodo semiconductor 1N4001 pueden variar de un elemento a otro dentro del mismo lote. La variación puede ser ligera, pero a menudo será suficiente para validar las aproximaciones empleadas en el análisis. También se deben tomar en cuenta los otros elementos de la red: ¿es la resistencia marcada con un valor de 100 Ω exactamente 100 Ω?, ¿es el voltaje aplicado exactamente igual a 10 V o quizá a 10.08 V? Todas estas tolerancias contribuyen a la creencia difundida de que una respuesta determinada mediante un conjunto adecuado de aproximaciones pueda, por lo general, ser tan "precisa" como sucede en el caso de una que utiliza las características completas. En este libro el énfasis se basa en el desarrollo de los conocimientos prácticos de un dispositivo a través del uso de las aproximaciones apropiadas, con lo que se evita un nivel innecesario de complejidad matemática. Sin embargo, por lo regular, se proveerá el detalle suficiente como para permitir un análisis matemático minucioso para quien así lo desee.

2.2 ANÁLISIS POR MEDIO DE LA RECTA DE CARGA

Por lo general, la carga aplicada tendrá un impacto importante en el punto o región de operación de un dispositivo. Si el análisis se realiza de forma gráfica, se puede dibujar una línea recta sobre las características del dispositivo que represente la carga aplicada. La intersección de la recta de carga con las características determinará el punto de operación del sistema. Tal análisis es llamado, por razones obvias, *análisis por medio de la recta de carga*. A pesar de que la mayoría de las redes de diodos que se analizan en este capítulo no emplean el enfoque de la recta de carga, la técnica es una de las que se utilizan de forma más frecuente en los capítulos subsecuentes, y esta introducción ofrece la aplicación más simplificada del método. De igual forma, permite una validación de la técnica de aproximación descrita a través del resto de este capítulo.

Considere la red de la figura 2.1a, la cual emplea un diodo que posee las características de la figura 2.1b. Observe que en la figura 2.1a la "presión" de la batería tiene como finalidad establecer una corriente a través del circuito en serie en dirección de las manecillas del reloj. El hecho de que esta corriente y la dirección de conducción definida del diodo "coincidan", revela que el diodo se encuentra en el estado de "encendido" y que la conducción se ha establecido. La polaridad resultante a través del diodo será la mostrada y el primer cuadrante (V_D e I_D positivos) de la figura 2.1.b será la región de interés: la región de polarización directa.



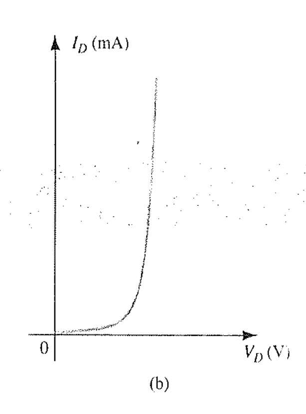


Figura 2.1 Configuración de diodo en serie: (a) circuito; (b) características.

Mediante la aplicación de la ley de voltaje de Kirchhoff al circuito en serie de la figura 2.1a el resultado será

$$E - V_D - V_R = 0$$

o

$$\boxed{E = V_D + I_D R} \tag{2.1}$$

Las dos variables de la ecuación (2.1) (V_D e I_D) son las mismas que las variables de los ejes del diodo de la figura 2.1b. Esta similitud permite una graficación de la ecuación (2.1) sobre las mismas características de la figura 2.1b.

Las intersecciones de la recta de carga sobre las características se pueden determinar fácilmente si se tiene en cuenta que en cualquier lugar del eje horizontal $I_D = 0$ A y que en cualquier lugar del eje vertical $V_D = 0$ V.

Si *establecemos* que $V_D = 0$ V en la ecuación (2.1) y se resuelve para I_D, tendremos la magnitud de I_D *sobre* el eje vertical. Por tanto, con $V_D = 0$ V, la ecuación (2.1) se convierte en

$$E = V_D + I_D R$$
$$= 0\text{ V} + I_D R$$

e

$$\boxed{I_D = \frac{E}{R}\bigg|_{V_D = 0\text{ V}}} \tag{2.2}$$

como se muestra en la figura 2.2. Si *establecemos* $I_D = 0$ A en la ecuación (2.1) y resolvemos para V_D, obtenemos la magnitud de V_D *sobre* el eje horizontal. Por tanto, con $I_D = 0$ A, la ecuación (2.1) se convierte en

$$E = V_D + I_D R$$
$$= V_D + (0\text{ A})R$$

y

$$\boxed{V_D = E|_{I_D = 0\text{ A}}} \tag{2.3}$$

como se muestra en la figura 2.2. Una línea recta dibujada entre los dos puntos definirá la recta de carga como la descrita en la figura 2.2. El cambio en el nivel de R (la carga) cambiará la intersección sobre el eje vertical. El resultado será un cambio en la pendiente de la recta de carga, y un punto de intersección diferente entre la recta de carga y las características del dispositivo.

Ahora tenemos una recta de carga definida por la red y una curva característica definida por el dispositivo. El punto de intersección entre los dos es el punto de operación para este

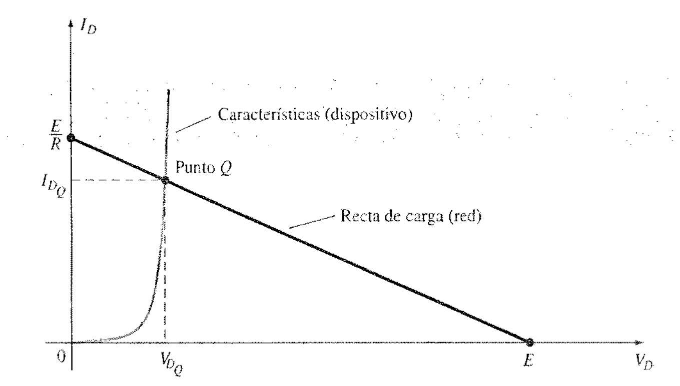


Figura 2.2 Dibujo de la recta de carga para encontrar el punto de operación.

circuito. Al dibujar simplemente una línea recta hacia abajo en dirección al eje horizontal, puede determinarse el voltaje del diodo V_{D_Q}, mientras que una línea horizontal proveniente del punto de intersección hacia el eje vertical proporcionará el nivel de I_{D_Q}. La corriente I_D es en realidad la corriente a través de toda la configuración en serie de la figura 2.1a. Por lo general, el punto de operación se denomina *punto de operación estable* ("Q-pt", abreviación derivada de su nombre en inglés *Quiescent point*) debido a las cualidades de "estabilidad e inmovilidad", según lo definido por una red de dc.

La solución que se obtiene en la intersección de las dos curvas es la misma que se podría obtener por una solución matemática simultánea de las ecuaciones (2.1) y (1.4) [$I_D = I_S(e^{kV_D/T_K} - 1)$] como se demuestra posteriormente en esta sección en un ejemplo de Mathcad. Dado que la curva para un diodo tiene características no lineales, las matemáticas involucradas requerirán del uso de técnicas no lineales que están fuera de las necesidades y alcance de este libro. El análisis por medio de la recta de carga que se describió anteriormente, provee una solución con un esfuerzo mínimo, y una descripción "pictórica" de cómo se obtuvieron los niveles de solución para V_{D_Q} e I_{D_Q}. Los siguientes dos ejemplos demostrarán las técnicas que se presentaron previamente, y también la facilidad relativa con la que puede dibujarse la recta de carga mediante el uso de las ecuaciones (2.2) y (2.3).

EJEMPLO 2.1

Para la configuración del diodo en serie de la figura 2.3a y utilizando las características del diodo de la figura 2.3b determine:

(a) V_{D_Q} e I_{D_Q}.
(b) V_R.

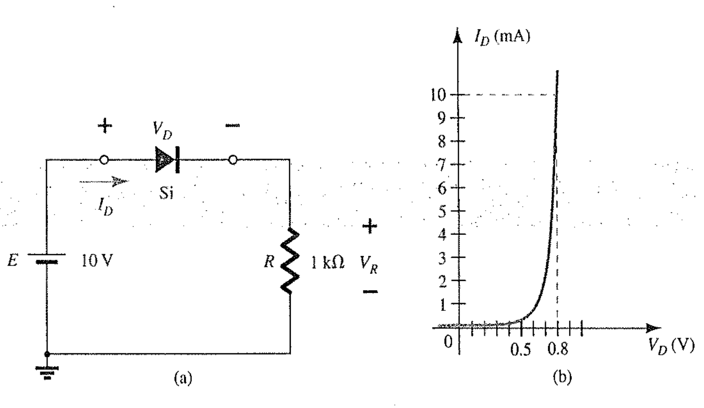


Figura 2.3 (a) Circuito; (b) características.

Solución

(a) Ecuación (2.2): $I_D = \left.\frac{E}{R}\right|_{V_D = 0\text{ V}} = \frac{10\text{ V}}{1\text{ k}\Omega} = 10\text{ mA}$

Ecuación (2.3): $V_D = E|_{I_D = 0\text{ A}} = 10\text{ V}$

La recta de carga resultante aparece en la figura 2.4. La intersección entre la recta de carga y la curva característica define el punto Q como

$$V_{D_Q} \cong \mathbf{0.78\ V}$$
$$I_{D_Q} \cong \mathbf{9.25\ mA}$$

El nivel de V_D es ciertamente un estimado, y la precisión de I_D está limitada por la escala seleccionada. Un nivel más alto de precisión requeriría de una gráfica mucho más larga y más ancha.

(b) $V_R = I_R R = I_{D_Q} R = (9.25\text{ mA})(1\text{ k}\Omega) = \mathbf{9.25\ V}$

o $V_R = E - V_D = 10\text{ V} - 0.78\text{ V} = \mathbf{9.22\ V}$

La diferencia en los resultados se debe a la precisión con la cual se puede leer la gráfica. Idealmente, los resultados que se obtienen de una forma o de otra deberían ser los mismos.

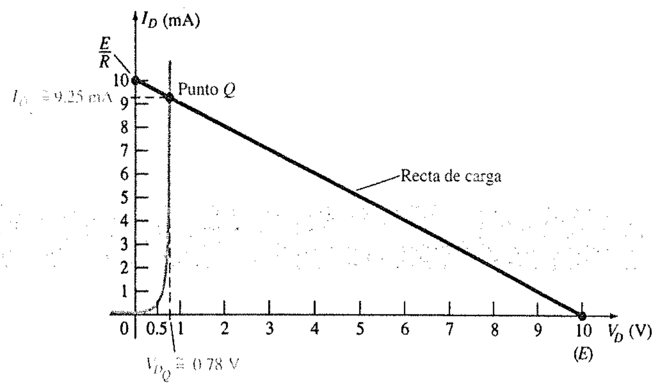


Figura 2.4 Solución al ejemplo 2.1.

EJEMPLO 2.2

Repita el análisis del ejemplo 2.1 con $R = 2\text{ k}\Omega$.

Solución

(a) Ecuación (2.2): $I_D = \left.\frac{E}{R}\right|_{V_D = 0\text{ V}} = \frac{10\text{ V}}{2\text{ k}\Omega} = 5\text{ mA}$

Ecuación (2.3): $V_D = E|_{I_D = 0\text{ A}} = 10\text{ V}$

La recta de carga resultante aparece en la figura 2.5. Observe la pendiente reducida y los niveles de corriente del diodo ante las cargas crecientes. El punto Q resultante está definido por

$$V_{D_Q} \cong \mathbf{0.7\ V}$$
$$I_{D_Q} \cong \mathbf{4.6\ mA}$$

(b) $V_R = I_R R = I_{D_Q} R = (4.6\text{ mA})(2\text{ k}\Omega) = \mathbf{9.2\ V}$

con $V_R = E - V_D = 10\text{ V} - 0.7\text{ V} = \mathbf{9.3\ V}$

La diferencia en los niveles se debe, nuevamente, a la precisión con la que se puede leer la gráfica. Sin embargo, los resultados proporcionan una magnitud esperada para el voltaje V_R.

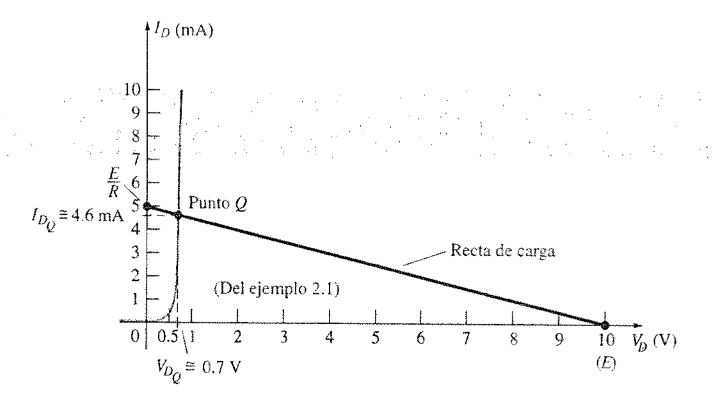


Figura 2.5 Solución al ejemplo 2.2.

Como se observó en los ejemplos anteriores, la recta de carga está determinada únicamente por la red aplicada, mientras que las características están definidas por el dispositivo seleccionado. Si recurrimos a nuestro modelo aproximado para el diodo y no se modifica la red, la recta de carga será exactamente la misma que la que se obtuvo en los ejemplos anteriores. De hecho, los siguientes dos ejemplos repiten el análisis de los ejemplos 2.1 y 2.2 mediante el modelo aproximado para permitir una comparación de resultados.

EJEMPLO 2.3

Repita el ejemplo 2.1 utilizando el modelo equivalente del diodo semiconductor de silicio.

Solución

La recta de carga se vuelve a dibujar según se muestra en la figura 2.6, con las mismas intersecciones como se definió en el ejemplo 2.1. Las características del circuito equivalente aproximado para el diodo también se han trazado en la misma gráfica. El punto Q resultante:

$$V_{D_Q} = \mathbf{0.7\ V}$$
$$I_{D_Q} = \mathbf{9.25\ mA}$$

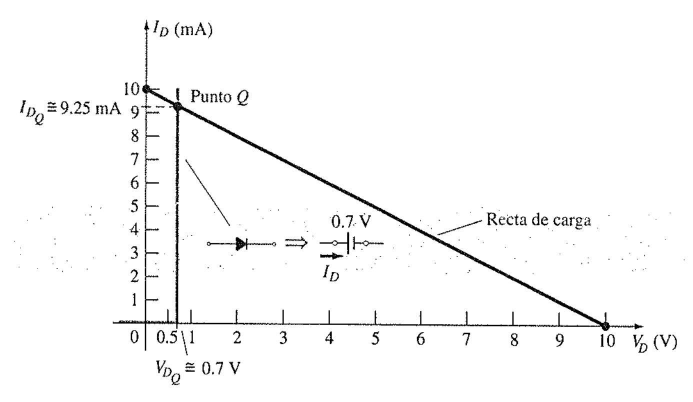


Figura 2.6 Solución al ejemplo 2.1 con el empleo del modelo aproximado del diodo.

Los resultados obtenidos en el ejemplo 2.3 son muy interesantes. El nivel de I_{D_Q} es exactamente el mismo que el obtenido en el ejemplo 2.1 por medio del uso de una curva característica que resulta mucho más fácil de dibujar que la que aparece en la figura 2.4. El nivel de $V_D = 0.7$ V contra el 0.78 V del ejemplo 2.1 tiene una diferencia en magnitud del orden de las centésimas, pero ciertamente se encuentran en la misma vecindad, si se comparan sus magnitudes con las de los otros voltajes en la red.

EJEMPLO 2.4 Repita el ejemplo 2.2 empleando el modelo equivalente aproximado para el diodo semiconductor de silicio.

Solución

La recta de carga se vuelve a dibujar como se muestra en la figura 2.7, con las mismas intersecciones definidas en el ejemplo 2.2. Las características del circuito equivalente aproximado para el diodo también se dibujaron en la misma gráfica. El punto Q resultante:

$$V_{D_Q} = \mathbf{0.7\ V}$$

$$I_{D_Q} = \mathbf{4.6\ mA}$$

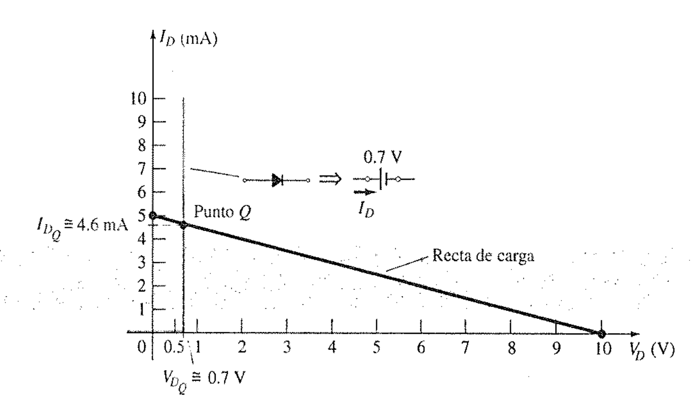


Figura 2.7 Solución al ejemplo 2.2 mediante el empleo del modelo aproximado del diodo.

En el ejemplo 2.4 los resultados que se obtienen para V_{D_Q} e I_{D_Q} son los mismos que los que resultaron al utilizar las características completas del ejemplo 2.2. Los ejemplos anteriores han demostrado que los niveles de corriente y voltaje que se obtuvieron al usar el modelo aproximado, son muy cercanos a los que resultaron al utilizar las características completas. Esto sugiere, como se aplicará en las secciones subsiguientes, que el uso de aproximaciones apropiadas puede dar como resultado la obtención de soluciones que son muy cercanas a la respuesta real con un nivel reducido de incertidumbre acerca de la reproducción adecuada de las características y de la elección de una escala lo suficientemente grande. En el ejemplo siguiente vamos un paso adelante y sustituiremos el modelo ideal. Los resultados revelarán las condiciones que se deben satisfacer para aplicar el equivalente ideal de forma adecuada.

EJEMPLO 2.5 Repita el ejemplo 2.1 utilizando el modelo del diodo ideal.

Solución

Como se muestra en la figura 2.8 la recta de carga continúa siendo la misma, pero las características ideales ahora intersectan a la recta de carga en el eje vertical. Por lo tanto, el punto Q está definido por

$$V_{D_Q} = \mathbf{0\ V}$$

$$I_{D_Q} = \mathbf{10\ mA}$$

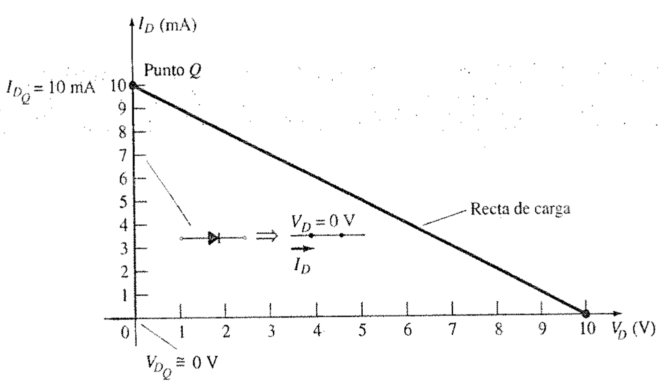
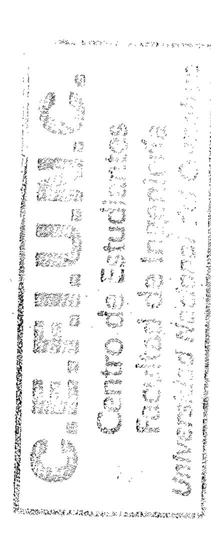


Figura 2.8 Solución al ejemplo 2.1 mediante el uso del modelo del diodo ideal.



Los resultados para las soluciones del ejemplo 2.1 difieren lo suficiente como para causar preocupación acerca de su precisión. Ciertamente, éstos ofrecen algún indicio del nivel de voltaje y de corriente que deberán esperarse en relación con otros niveles de voltaje de la red, pero el esfuerzo adicional de simplemente incluir la diferencia de 0.7 V, muestra que el enfoque del ejemplo 2.3 es más apropiado.

El uso del modelo de diodo ideal, por tanto, debe reservarse para aquellas ocasiones en que la función del diodo sea más importante que los niveles de voltaje que difieran por décimas de volt, y en aquellas situaciones en que los voltajes aplicados sean considerablemente mayores que el voltaje de umbral V_T. En las siguientes secciones se empleará exclusivamente el modelo aproximado, debido a que los niveles de voltaje obtenidos serán sensibles a las variaciones que se aproximen a V_T. En secciones posteriores se empleará el modelo ideal con mayor frecuencia debido a que los voltajes aplicados serán con frecuencia un poco más altos que V_T y los autores desean asegurarse de que el papel del diodo quede comprendido correcta y claramente.

Mathcad

El Mathcad ahora se empleará para encontrar la solución de dos ecuaciones simultáneas definidas por el diodo y la red de la figura 2.9.

Las características del diodo están definidas por

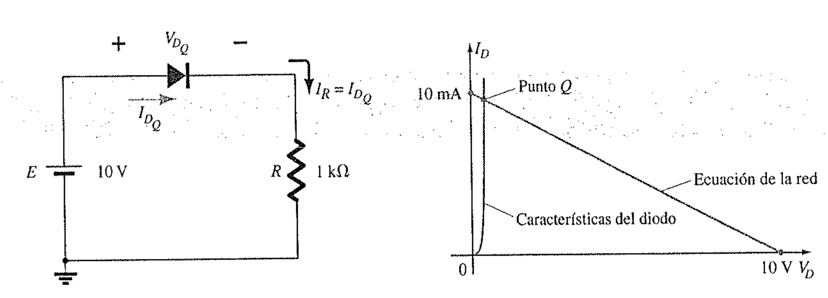


Figura 2.9 Localización del punto de operación definido por las características del diodo y de la red.

$$I_D = I_s(e^{kV_D/T_K} - 1) = 50\ \text{mA}(e^{19.33V_D} - 1)$$

Al aplicar de la ley de voltaje Kirchhoff alrededor del lazo cerrado, tenemos

$$E - V_D - V_R = 0 \Rightarrow E - V_D = I_R R \Rightarrow E - V_D = I_D R$$

y resolviendo para la corriente del diodo tendremos

$$I_D = \frac{E - V_D}{R} = \frac{E}{R} - \frac{V_D}{R}$$

$$I_D = \frac{10\ \text{V}}{1\ \text{k}} - \frac{V_D}{1\ \text{k}} = 10\ \text{mA} - 1 \cdot 10^{-3} V_D$$

$ID := 9 \cdot 10^{-3}$

$VD := 0.7$

Given

$ID = 10 \cdot 10^{-3} - 1 \cdot 10^{-3} \cdot VD$

$ID = 50 \cdot 10^{-9} \cdot \left(e^{19.33 \cdot VD} - 1\right)$

$\text{Find}(ID, VD) = \begin{bmatrix} 9.372 \cdot 10^{-3} \\ 0.628 \end{bmatrix}$

Figura 2.10 Definición del procedimiento en el uso del Mathcad para encontrar la solución de dos ecuaciones simultáneas.

Debido a que ahora tenemos dos ecuaciones y dos incógnitas (I_D y V_D), podemos resolver cada incógnita mediante el Mathcad de la manera siguiente:

Cuando se utiliza el Mathcad para resolver ecuaciones simultáneas, se debe **estimar** un valor de cada cantidad para dar a la computadora alguna pista o dirección en su **proceso iterativo**. En otras palabras, la computadora probará las soluciones y trabajará de esta forma hasta encontrar la solución real respondiendo a los resultados obtenidos.

Para nuestra situación las suposiciones iniciales para **ID** y **VD** fueron 9 mA y 0.7 V como se muestra en la parte superior de la figura 2.10. Posteriormente, siguiendo la palabra **Given** (la cual es requerida), las dos ecuaciones se ingresan usando el signo de igual obtenido con **Ctrl =**. Luego, teclear **Find (ID, VD)** para decir a la computadora qué es lo que se necesita determinar. Una vez de que el signo de igual se ha ingresado, los resultados aparecerán como se muestra en la figura 2.10. Como se indica en la figura 2.10 y en la figura 2.9, los resultados son $I_D = 9.372$ mA y $V_D = 0.628$ V.

2.3 APROXIMACIONES DE DIODOS

En la sección 2.2 se indicó que los resultados obtenidos al emplear el modelo equivalente aproximado de segmentos lineales fueron muy cercanos, si no es que iguales, a la respuesta obtenida al utilizar las características completas. De hecho, si se consideran todas las variaciones posibles debidas a las tolerancias, temperaturas, etcétera, se podría considerar que una solución es "tan precisa" como la otra. Dado que el uso del modelo aproximado normalmente origina un gasto reducido de tiempo y esfuerzo para obtener los resultados deseados, éste es el enfoque que se empleará en este libro, a menos que se especifique otra cosa. Recuerde lo siguiente:

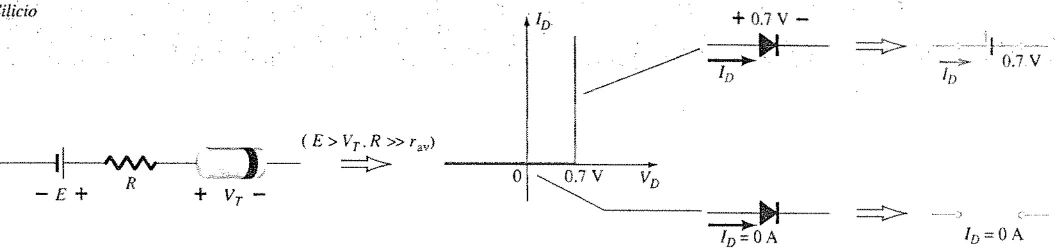
El propósito principal de este libro es el desarrollo de un conocimiento general del comportamiento, capacidades y áreas posibles de aplicación de un dispositivo, de manera que minimice la necesidad de desarrollos matemáticos extensos.

El modelo equivalente completo de segmentos lineales que se presentó en el capítulo 1, no se utilizó en el análisis de la recta de carga debido a que r_{av} es típicamente mucho menor que los otros elementos en serie de la red. Si r_{av} fuera cercana, en cuanto a magnitud, a los otros elementos en serie de la red, el modelo equivalente completo se puede aplicar de la misma forma a la descrita en la sección 2.2.

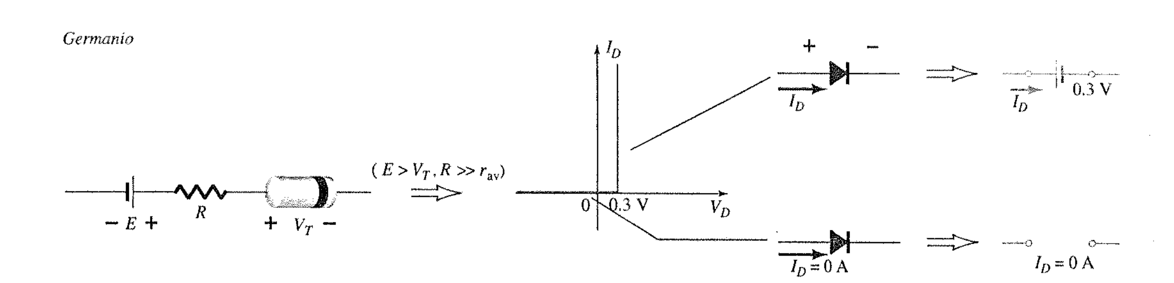
Con el objeto de preparar el análisis siguiente, se desarrolló la tabla 2.1 para revisar las características, modelos y condiciones de aplicación más importantes para el modelo aproximado e ideal de los diodos. A pesar de que el diodo de silicio se utiliza casi exclusivamente debido a sus características de temperatura, el diodo de germanio todavía se emplea y por ello se incluye en la tabla 2.1. El diodo de germanio, de la misma forma que el diodo de silicio, se aproxima por medio de un equivalente de circuito abierto para voltajes menores a V_T. Entrará al estado "encendido" cuando $V_D \geq V_T = 0.3$ V.

TABLA 2.1 Modelos aproximado e ideal del diodo semiconductor

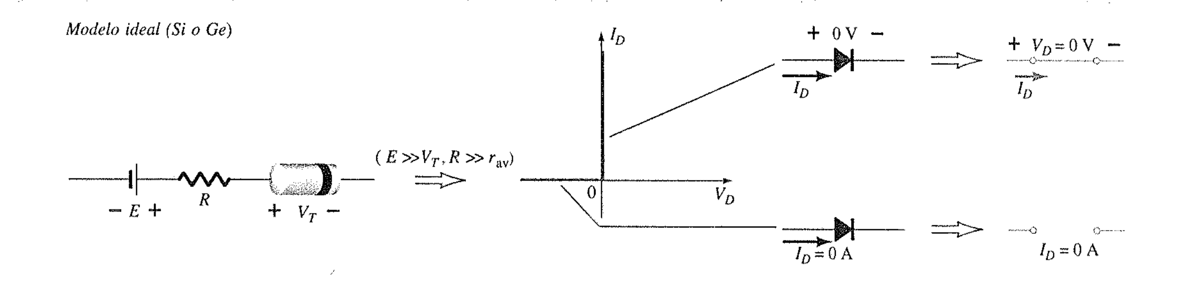
Silicio



Germanio



Modelo ideal (Si o Ge)



Tenga en mente que el 0.7 y el 0.3 V en los circuitos equivalentes no son fuentes *independientes* de energía, sino que están ahí para recordarnos que hay un "precio que pagar" a cambio de encender un diodo. Un diodo particular en la mesa de laboratorio no indicará 0.7 o 0.3 V si se coloca un voltímetro a través de sus terminales. Las fuentes especifican la caída de voltaje a través de cada una cuando el dispositivo está en "encendido" y especifican que el voltaje del diodo debe ser, por lo menos, del nivel indicado antes de que la conducción pueda establecerse.

En las siguientes secciones demostramos el impacto de los modelos de la tabla 2.1 sobre el análisis de las configuraciones de diodos. Para aquellas situaciones donde se emplee el circuito equivalente aproximado, el símbolo del diodo aparecerá como se señala en la figura 2.11a para los diodos de silicio y de germanio. Si las condiciones son tales que el modelo del diodo ideal se pueda emplear, el símbolo del diodo aparecerá como se muestra en la figura 2.11b.

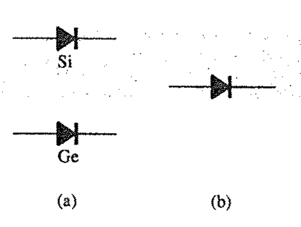


Figura 2.11 (a) Notación de modelo aproximado; (b) notación de modelo ideal.

2.4 CONFIGURACIONES DE DIODOS EN SERIE CON ENTRADAS DE DC

En esta sección se utiliza el modelo aproximado para investigar una variedad de configuraciones de diodos en serie con entradas de dc. El contenido establecerá los fundamentos para el análisis de diodos que se revisará en las secciones de los capítulos subsiguientes. De hecho, el procedimiento descrito se puede aplicar a las redes con cualquier número de diodos dentro de una amplia gama de configuraciones.

Para cada configuración debe determinarse, en primer lugar, el estado de cada diodo. ¿Cuáles diodos están en "encendido" y cuáles en "apagado"? Una vez que se determina esto, el equivalente apropiado, como se muestra en la sección 2.3, puede sustituirse y pueden determinarse los parámetros restantes de la red.

En general, un diodo se encuentra en el estado "encendido" si la corriente establecida por las fuentes aplicadas es tal que su dirección concuerda con la de la flecha en el símbolo del diodo, y $V_D \geq 0.7$ V para el silicio y $V_D \geq 0.3$ V para el germanio.

Para cada configuración, se reemplazarán *mentalmente* los diodos con elementos resistivos y se observará la dirección de la corriente resultante como la establecen los voltajes aplicados ("presión"). Si la dirección resultante "coincide" con la flecha del símbolo del diodo, la conducción a través del diodo ocurrirá y el dispositivo estará en el estado "encendido". La descripción anterior es, por supuesto, dependiente de que la fuente proporcione un voltaje mayor que el voltaje de "encendido" (V_T) de cada diodo.

Si el diodo se encuentra en el estado "encendido", se puede colocar la caída de 0.7 V a través del elemento, o se puede dibujar nuevamente la red con el circuito equivalente V_T como se definió en la tabla 2.1. Con el tiempo probablemente se preferirá simplemente incluir la caída de 0.7 V a través de cada diodo "encendido" y dibujar una línea a través de cada diodo en el estado "apagado" o abierto. Sin embargo, al principio, el método de sustitución se utilizará para asegurar que se determinen los niveles de voltaje y de corriente correctos.

El circuito en serie de la figura 2.12 que se describe con mayor detalle en la sección 2.2 se utilizará para demostrar el enfoque descrito en párrafos anteriores. El estado del diodo se determina primero por el reemplazo mental del diodo con un elemento resistivo como lo demuestra la figura 2.13. La dirección resultante de I coincide con la flecha en el símbolo del diodo, y dado que $E > V_T$ el diodo se encuentra en el estado "encendido". La red entonces se dibuja nuevamente como se demuestra en la figura 2.14 con el modelo equivalente apropiado para el diodo de silicio en polarización directa. Para referencia futura, observe que la polaridad de V_D es la misma que resultaría si el diodo, de hecho, fuera un elemento resistivo. El voltaje y los niveles de corriente resultantes son los siguientes:

Figura 2.12 Configuración de diodo en serie.

Figura 2.13 Determinación del estado del diodo de la figura 2.12.

Figura 2.14 Sustitución del modelo equivalente para el diodo "encendido" de la figura 2.12.

$$\boxed{V_D = V_T} \quad (2.4)$$

$$\boxed{V_R = E - V_T} \quad (2.5)$$

$$\boxed{I_D = I_R = \frac{V_R}{R}} \quad (2.6)$$

En la figura 2.15 el diodo de la figura 2.12 se invirtió. Mentalmente, el reemplazo del diodo por un elemento resistivo, como lo muestra la figura 2.16, revelará que la dirección de la corriente resultante no coincide con la flecha en el símbolo del diodo. El diodo está en el estado "apagado", lo que da como resultado el circuito equivalente de la figura 2.17. Debido al circuito abierto, la corriente del diodo es 0 A y el voltaje a través de la resistencia R es el siguiente:

$$V_R = I_R R = I_D R = (0 \text{ A})R = \mathbf{0\ V}$$

El hecho de que $V_R = 0$ V establecerá E volts a través del circuito abierto como lo define la ley

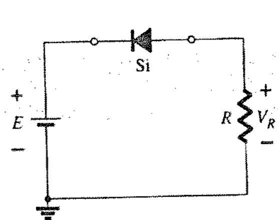


Figura 2.15 Inversión del diodo de la figura 2.12.

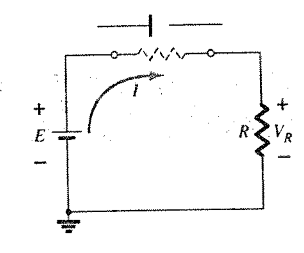


Figura 2.16 Determinación del estado del diodo de la figura 2.15.

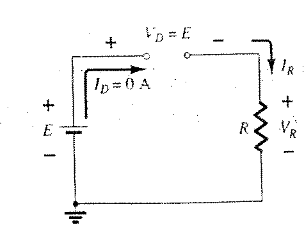


Figura 2.17 Sustitución del modelo equivalente para el diodo "apagado" de la figura 2.15.

de voltaje de Kirchhoff. Tener en cuenta siempre que bajo cualquier circunstancia (valores instantáneos de dc, de ac, pulsos, etcétera), ¡deberá satisfacerse la ley de voltaje de Kirchhoff!

EJEMPLO 2.6

Para la configuración de diodos en serie de la figura 2.18, determine V_D, V_R e I_D.

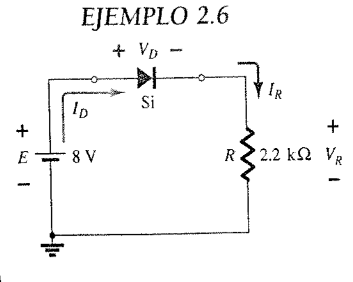


Figura 2.18 Circuito del ejemplo 2.6.

Solución

Dado que el voltaje aplicado establece una corriente en dirección de las manecillas del reloj para coincidir con la flecha del símbolo y que el diodo está en el estado "encendido",

$$V_D = \mathbf{0.7\ V}$$

$$V_R = E - V_D = 8\text{ V} - 0.7\text{ V} = \mathbf{7.3\ V}$$

$$I_D = I_R = \frac{V_R}{R} = \frac{7.3\text{ V}}{2.2\text{ k}\Omega} \cong \mathbf{3.32\ mA}$$

EJEMPLO 2.7

Repita el ejemplo 2.6 con el diodo invertido.

Solución

Al remover el diodo, encontramos que la dirección de I es opuesta a la flecha en el símbolo del diodo y que el equivalente del diodo es el circuito abierto sin importar cuál es el modelo que se utilizó. El resultado es la red de la figura 2.19, donde $I_D = \mathbf{0\ A}$ debido al circuito abierto. Dado que $V_R = I_R R$, $V_R = (0)R = 0$ V. Al aplicar la ley de voltaje de Kirchhoff alrededor del lazo cerrado resulta:

$$E - V_D - V_R = 0$$

y

$$V_D = E - V_R = E - 0 = E = \mathbf{8\ V}$$

Figura 2.19 Determinación de las cantidades desconocidas para el ejemplo 2.7.

Observe, particularmente en el ejemplo 2.7, el alto voltaje a través del diodo a pesar de que se encuentra en estado "apagado". La corriente es cero, pero el voltaje es significativo. Con propósitos de repaso, tenga en cuenta el análisis siguiente:

1. Un circuito abierto puede tener cualquier voltaje a través de sus terminales, pero la corriente es siempre 0 A.
2. Un circuito cerrado tiene una caída de 0 V a través de sus terminales, pero la corriente estará limitada únicamente por la red que la rodea.

En el siguiente ejemplo la notación de la figura 2.20 se empleará para el voltaje aplicado. Ésta es una notación común en la industria, con la que el lector debe familiarizarse. Tal notación y otros niveles definidos de voltaje se tratarán con mayor profundidad en el capítulo 4.

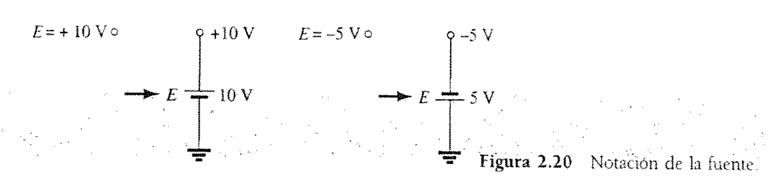


Figura 2.20 Notación de la fuente.

EJEMPLO 2.8

Para la configuración de diodos en serie de la figura 2.21, determine V_D, V_R e I_D.

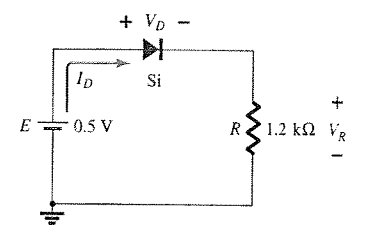


Figura 2.21 Circuito del diodo en serie para el ejemplo 2.8.

Solución

A pesar de que la "presión" establece una corriente con la misma dirección que la del símbolo de la flecha, el nivel de voltaje aplicado resulta insuficiente para "encender" el diodo de silicio. El punto de operación sobre las características se muestra en la figura 2.22 y establece el equivalente del circuito abierto como la aproximación apropiada. Por lo tanto, el voltaje y los niveles de corriente resultantes son los siguientes:

$$I_D = \mathbf{0\ A}$$

$$V_R = I_R R = I_D R = (0\text{ A})1.2\text{ k}\Omega = \mathbf{0\ V}$$

y

$$V_D = E = \mathbf{0.5\ V}$$

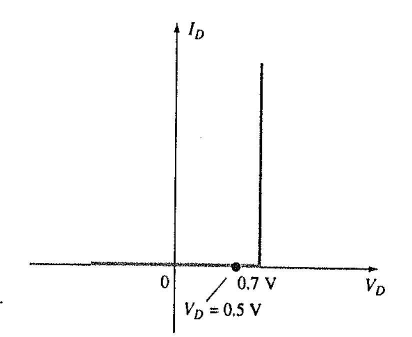


Figura 2.22 Punto de operación con E = 0.5 V.

EJEMPLO 2.9

Determine V_o e I_D para el circuito en serie de la figura 2.23.

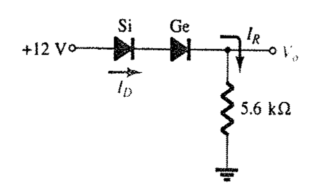


Figura 2.23 Circuito para el ejemplo 2.9.

Solución

Un procedimiento similar al que se aplicó en el ejemplo 2.6 revelará que la corriente resultante tiene la misma dirección que las puntas de flechas de los símbolos de ambos diodos y que la red de la figura 2.24 es el resultado debido a que $E = 12\text{ V} > (0.7\text{ V} + 0.3\text{ V}) = 1\text{ V}$. Observe que la fuente dibujada nuevamente es de 12 V y la polaridad es de V_0 a través de la resistencia de 5.6 kΩ. El voltaje resultante

$$V_o = E - V_{T_1} - V_{T_2} = 12\text{ V} - 0.7\text{ V} - 0.3\text{ V} = \mathbf{11\ V}$$

e

$$I_D = I_R = \frac{V_R}{R} = \frac{V_o}{R} = \frac{11\text{ V}}{5.6\text{ k}\Omega} \cong \mathbf{1.96\ mA}$$

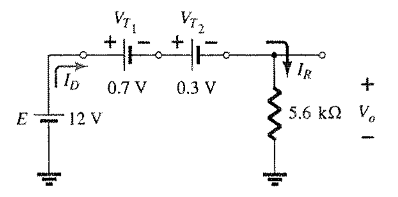


Figura 2.24 Determinación de las cantidades desconocidas para el ejemplo 2.9.

EJEMPLO 2.10

Determine I_D, V_{D_2} y V_0 para el circuito de la figura 2.25.

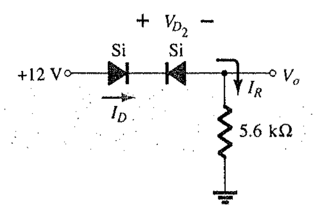


Figura 2.25 Circuito del ejemplo 2.10.

Solución

Al eliminar los diodos y al determinar la dirección de la corriente resultante I el resultado será el circuito de la figura 2.26. Existe una coincidencia en la dirección de la corriente para el diodo de silicio, mas no para el de germanio. La combinación de un circuito cerrado en serie con un circuito abierto siempre dará como resultado un circuito abierto e $I_D = \mathbf{0\ A}$, como lo muestra la figura 2.27.

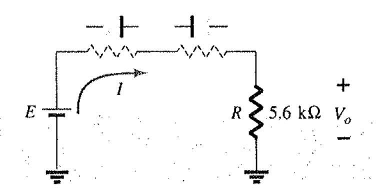


Figura 2.26 Determinación del estado de los diodos de la figura 2.25.

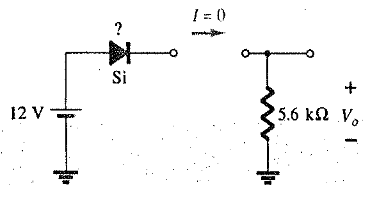


Figura 2.27 Sustitución del estado equivalente para el diodo abierto.

La pregunta que queda por contestar es, ¿qué sustituir en lugar del diodo de silicio? Para el análisis siguiente, tanto en éste como en los capítulos subsiguientes, simplemente se tienen que recordar, para el diodo práctico real que cuando $I_D = 0$ A, $V_D = 0$ V (y viceversa), como

se describió para la situación de no polarización en el capítulo 1. Las condiciones descritas por $I_D = 0$ A y $V_{D_1} = 0$ V se indican en la figura 2.28.

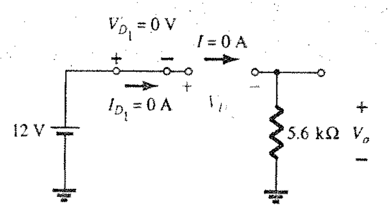


Figura 2.28 Determinación de las cantidades desconocidas del circuito del ejemplo 2.10.

$$V_o = I_R R = I_D R = (0\ \text{A})R = 0\ \text{V}$$

y $$V_{D_2} = V_{\text{circuito abierto}} = E = \mathbf{12\ V}$$

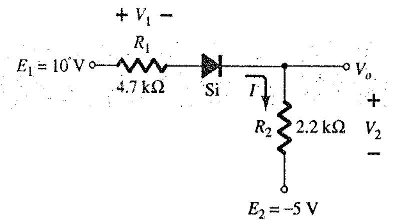
Al aplicar la ley de voltaje de Kirchhoff en la dirección de las manecillas del reloj resulta

$$E - V_{D_1} - V_{D_2} - V_o = 0$$

y $$V_{D_2} = E - V_{D_1} - V_o = 12\ \text{V} - 0 - 0 = \mathbf{12\ V}$$

con $$V_o = \mathbf{0\ V}$$

EJEMPLO 2.11 Determine I, V_1, V_2 y V_0 para la configuración de dc en serie de la figura 2.29.



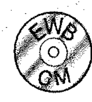


Figura 2.29 Circuito para el ejemplo 2.11.

Solución

Las fuentes se dibujan y la dirección de la corriente se indica en la figura 2.30. El diodo se encuentra en el estado "encendido" y la notación que aparece en la figura 2.31 se incluye para indicar este estado. Observe que el estado "encendido" se identifica mediante el $V_D = 0.7$ V adicional en la figura. Esto elimina la necesidad de volver a dibujar la red y evita cualquier confusión que pueda resultar debido a la aparición de otra fuente. Como se indicó en la introducción a esta sección, éste será probablemente el camino y la notación que se tomará cuan-

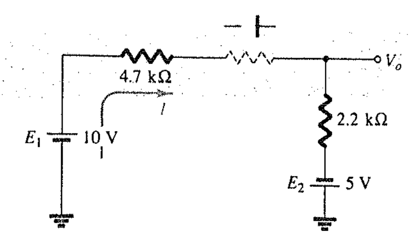


Figura 2.30 Determinación del estado del diodo de la figura 2.29.

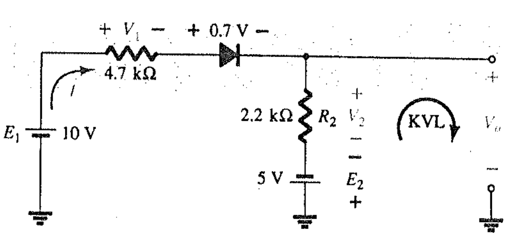


Figura 2.31 Determinación de las cantidades desconocidas para la red de la figura 2.29.

do se tenga un nivel de confianza mayor en el análisis de configuraciones del diodo. Con el tiempo, el análisis completo se desarrollará simplemente mediante la referencia a la red original. Recuerde que un diodo con polarización inversa puede ser simplemente indicado mediante una línea a través del dispositivo.

La corriente resultante a través del circuito es,

$$I = \frac{E_1 + E_2 - V_D}{R_1 + R_2} = \frac{10\ \text{V} + 5\ \text{V} - 0.7\ \text{V}}{4.7\ \text{k}\Omega + 2.2\ \text{k}\Omega} = \frac{14.3\ \text{V}}{6.9\ \text{k}\Omega} \cong \mathbf{2.072\ mA}$$

y los voltajes son

$$V_1 = IR_1 = (2.072\ \text{mA})(4.7\ \text{k}\Omega) = \mathbf{9.74\ V}$$

$$V_2 = IR_2 = (2.072\ \text{mA})(2.2\ \text{k}\Omega) = \mathbf{4.56\ V}$$

Mediante la aplicación de la ley de voltaje de Kirchhoff a la sección de salida en dirección de las manecillas del reloj, resultará

$$-E_2 + V_2 - V_o = 0$$

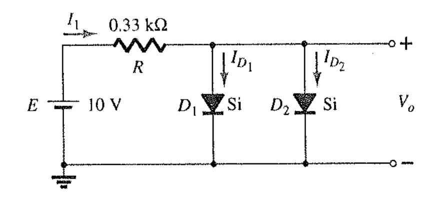
y $$V_o = V_2 - E_2 = 4.56\ \text{V} - 5\ \text{V} = \mathbf{-0.44\ V}$$

El signo de menos indica que V_0 tiene una polaridad opuesta a la que aparece en la figura 2.29.

2.5 CONFIGURACIONES EN PARALELO Y EN SERIE-PARALELO

Los métodos aplicados en la sección 2.4 se pueden extender al análisis de las configuraciones en paralelo y en serie-paralelo. Para cada área de aplicación, simplemente se hacen coincidir las series secuenciales de pasos aplicados con las configuraciones de diodos en serie.

EJEMPLO 2.12 Determine V_0, I_1, I_{D_1} e I_{D_2} para la configuración del diodo en paralelo de la figura 2.32.



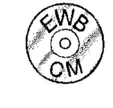


Figura 2.32 Red para el ejemplo 2.12.

Solución

Para el voltaje aplicado la "presión" de la fuente es para establecer una corriente a través de cada diodo en la misma dirección que la que se muestra en la figura 2.33. Dado que la dirección de la corriente resultante coincide con la flecha de cada símbolo del diodo y que el voltaje aplicado es mayor que 0.7 V, ambos diodos se encuentran en el estado "encendido". El voltaje a través de los elementos en paralelo es siempre el mismo y

$$V_o = \mathbf{0.7\ V}$$

La corriente

$$I_1 = \frac{V_R}{R} = \frac{E - V_D}{R} = \frac{10\ \text{V} - 0.7\ \text{V}}{0.33\ \text{k}\Omega} = \mathbf{28.18\ mA}$$

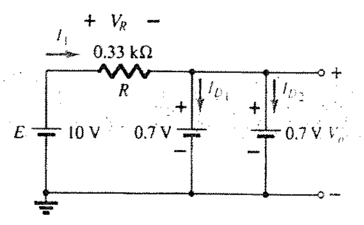


Figura 2.33 Determinación de las cantidades desconocidas para la red del ejemplo 2.12.

Si suponemos diodos de características similares, tenemos

$$I_{D_1} = I_{D_2} = \frac{I_1}{2} = \frac{28.18 \text{ mA}}{2} = \mathbf{14.09 \text{ mA}}$$

El ejemplo 2.12 demostró una razón para colocar diodos en paralelo. Si la corriente nominal de los diodos de la figura 2.32 es sólo de 20 mA, una corriente de 28.18 mA dañaría a un solo dispositivo en la figura 2.32. Mediante la colocación de dos en paralelo, la corriente está limitada a un valor seguro de 14.09 mA con el mismo voltaje en las terminales.

EJEMPLO 2.13

Determine la corriente I para la red de la figura 2.34.

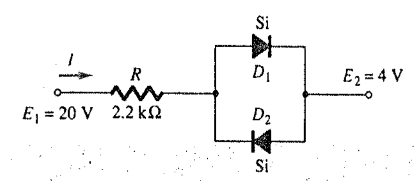


Figura 2.34 Red para el ejemplo 2.13.

Solución

Al dibujar de nueva cuenta la red como se señala en la figura 2.35, se demuestra que la dirección de corriente resultante es tal que puede encender el diodo D_1 y apagar el diodo D_2. La corriente resultante I es entonces

$$I = \frac{E_1 - E_2 - V_D}{R} = \frac{20 \text{ V} - 4 \text{ V} - 0.7 \text{ V}}{2.2 \text{ k}\Omega} \cong \mathbf{6.95 \text{ mA}}$$

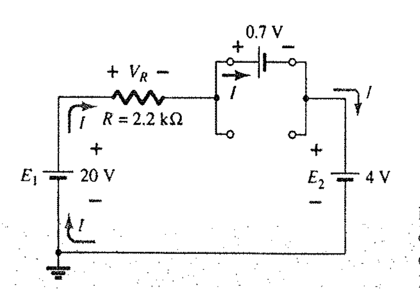


Figura 2.35 Determinación de las cantidades desconocidas para la red del ejemplo 2.13.

EJEMPLO 2.14

Determine el voltaje de V_O para la red de la figura de 2.36.

Solución

Inicialmente parecería que el voltaje aplicado "encendería" a ambos diodos. Sin embargo, si ambos estuvieran "encendidos", la caída de 0.7 V a través del diodo de silicio no coincidiría

con los 0.3 V a través del diodo de germanio como se requiere por el hecho de que el voltaje a través de los elementos en paralelo debe ser el mismo. La acción resultante se puede explicar sólo con notar que cuando la fuente se enciende se incrementará de 0 V a 12 V en un instante, aunque éste quizá pueda medirse en milisegundos. En el instante durante el incremento en que se establece 0.3 V a través del diodo de germanio, éste "prenderá" y mantendrá un nivel de 0.3 V. El diodo de silicio nunca tendrá la oportunidad de capturar sus 0.7 V requeridos, y por tanto permanecerá en su estado de circuito abierto como se muestra en la figura 2.37. El resultado:

$$V_o = 12 \text{ V} - 0.3 \text{ V} = \mathbf{11.7 \text{ V}}$$

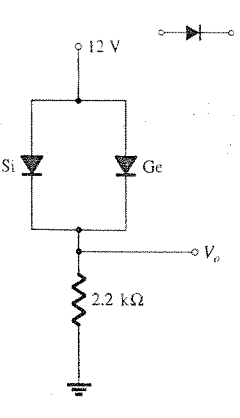


Figura 2.36 Red del ejemplo 2.14.

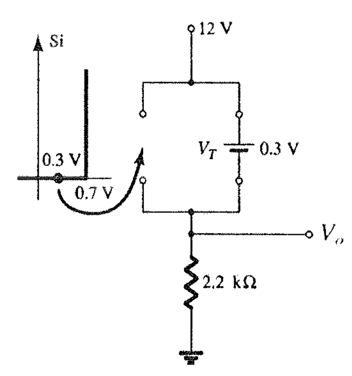


Figura 2.37 Determinación de V_O para la red de la figura 2.36.

EJEMPLO 2.15

Determine las corrientes I_1, I_2 e I_{D_2}, para la red de la figura 2.38.

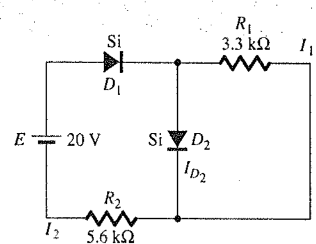


Figura 2.38 Red para el ejemplo 2.15.

Solución

El voltaje aplicado (presión) es tal que enciende a ambos diodos, como se observó por las direcciones de corriente resultantes en la red de la figura 2.39. Observe que el uso de la notación abreviada para los diodos "encendido" y la solución, se obtienen a través de una aplicación de las técnicas aplicadas para las redes de dc en serie–paralelo.

$$I_1 = \frac{V_{T_2}}{R_1} = \frac{0.7 \text{ V}}{3.3 \text{ k}\Omega} = \mathbf{0.212 \text{ mA}}$$

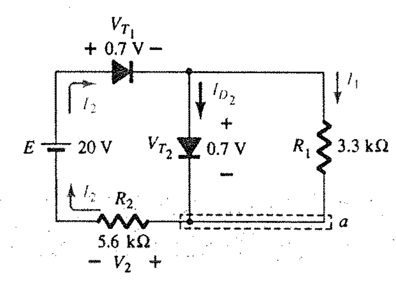


Figura 2.39 Determinación de las cantidades desconocidas del ejemplo 2.15.

Al aplicar la ley de voltaje de Kirchhoff alrededor de la malla indicada en dirección del sentido de las manecillas del reloj resulta:

$$-V_2 + E - V_{T_1} - V_{T_2} = 0$$

y

$$V_2 = E - V_{T_1} - V_{T_2} = 20 \text{ V} - 0.7 \text{ V} - 0.7 \text{ V} = 18.6 \text{ V}$$

con $I_2 = \frac{V_2}{R_2} = \frac{18.6 \text{ V}}{5.6 \text{ k}\Omega} = \mathbf{3.32 \text{ mA}}$

En la parte inferior del nodo (*a*),

$$I_{D_2} + I_1 = I_2$$

e $I_{D_2} = I_2 - I_1 = 3.32 \text{ mA} - 0.212 \text{ mA} = \mathbf{3.108 \text{ mA}}$

2.6 COMPUERTAS AND/OR

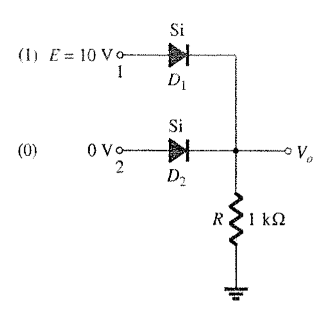
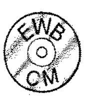


Figura 2.40 Compuerta OR de lógica positiva.



Las herramientas para el análisis están ahora a nuestra disposición, y la oportunidad de investigar una configuración de computadora es una de las que nos demostrarán la gama de aplicaciones de este dispositivo relativamente sencillo. Este análisis estará limitado a determinar los niveles de voltaje y no incluirá una discusión detallada acerca del álgebra booleana o de la lógica positiva y la negativa.

La red que se analizará en el ejemplo 2.16 es una compuerta OR de lógica positiva. Es to es, que el nivel 10 V de la figura 2.40 se asigna al "1" del álgebra booleana mientras que la entrada 0 V se asigna al "0". Una compuerta OR es tal que el nivel de voltaje de salida será de 1 si alguna *o* ambas entradas es un 1. La salida es un 0 si ambas entradas están en el nivel 0.

El análisis de las compuertas AND/OR se lleva a cabo de forma más fácil, en cuanto a mediciones se refiere, mediante el empleo del equivalente aproximado para un diodo, en lugar del ideal, debido a que puede estipularse que el voltaje a través del diodo debe ser de 0.7 V positivo para el diodo de silicio (0.3 V para Ge) para cambiar al estado de "encendido".

En general, el mejor enfoque es simplemente el de establecer un sentido "intuitivo" para el estado de los diodos mediante la observación de la dirección y de la "presión" establecidas por los potenciales aplicados. El análisis entonces verificará o negará los supuestos iniciales.

EJEMPLO 2.16

Determine V_O para la red de la figura 2.40.

Solución

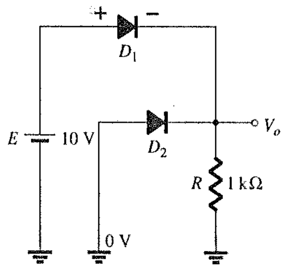


Figura 2.41 Red redibujada de la figura 2.40.

Observe en primer lugar que existe sólo un potencial aplicado; 10 V en la terminal 1. La terminal 2 con una entrada de 0-V es esencialmente un potencial de tierra, como se muestra en la red nuevamente dibujada de la figura 2.41. La figura 2.41 "sugiere" que D_1 está probablemente en el estado "encendido" debido al 10 V aplicado, mientras que de D_2 con su lado "positivo" en 0 V está posiblemente en "apagado". La suposición de estos dos estados dará por resultado la configuración de la figura 2.42.

El siguiente paso es sólo para verificar que no existe contradicción en nuestras suposiciones. Esto es, observe que la polaridad a través de D_1 es suficiente como para encenderlo y que la polaridad a través de D_2 es suficiente como para apagarlo. Para D_1 el estado "encendido" establece V_O cuando $V_O = E - V_D = 10 \text{ V} - 0.7 \text{ V} = \mathbf{9.3 \text{ V}}$. Con 9.3 V en el lado del cátodo (−) de D_2 y con 0 V en el lado del ánodo (+), D_2 se encuentra definitivamente en el estado "apagado". La dirección de la corriente y la trayectoria continua resultante para la conducción, confirma nuestro supuesto de que D_1 está conduciendo. Nuestras suposiciones parecen confirmarse con la corriente y los voltajes resultantes y puede asumirse que nuestro análisis inicial es correcto. El nivel de voltaje de salida no es de 10 V como se definió para la entrada de 1, pero 9.3 V es suficientemente grande como para ser considerado nivel 1. La salida, por tanto, se encuentra en el nivel 1 con sólo una entrada, lo que sugiere que la compuerta es una compuerta OR. Un análisis de la misma red con dos entradas 10 V dará como resultado que ambos diodos se encuentren en el estado "encendido" y que la salida sea de 9.3 V. Una entrada de 0 V en ambas entradas no proporcionará el nivel 0.7 V que se requiere para encender los diodos, y la salida será de 0 debido al nivel de salida 0 V. Para la red de la figura 2.42 el nivel de corriente está determinado por

$$I = \frac{E - V_D}{R} = \frac{10 \text{ V} - 0.7 \text{ V}}{1 \text{ k}\Omega} = \mathbf{9.3 \text{ mA}}$$

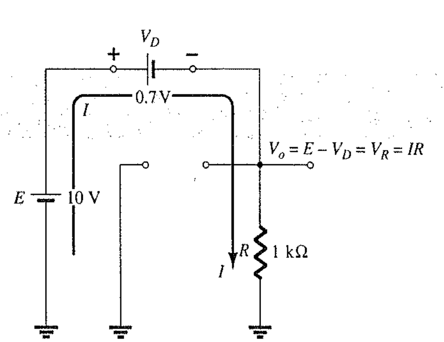


Figura 2.42 Estados supuestos del diodo para la figura 2.40.

EJEMPLO 2.17

Determine el nivel de salida para la compuerta lógica AND positiva de la figura 2.43.

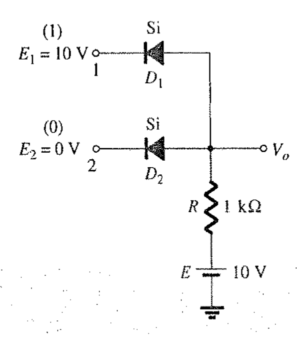
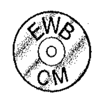


Figura 2.43 Compuerta lógica AND positiva.



Solución

Observe que en este caso una fuente independiente aparece en la terminal conectada a tierra de la red. Debido a las razones que pronto serán obvias, se elige en el mismo nivel que el del nivel lógico de entrada. La red se vuelve a dibujar en la figura 2.44 con las suposiciones iniciales relacionadas con el estado de los diodos. Con 10 V en el lado del cátodo de D_1 se asume que D_1 se encuentra en el estado de "apagado" a pesar de que haya una fuente de 10 V conectada al ánodo de D_1 a través de la resistencia. Sin embargo, hay que recordar lo que se mencionó en la introducción de esta sección en lo referente a que el uso del modelo aproximado sería una ayuda en el análisis. Para D_1, ¿de dónde provendrán los 0.7 V si los voltajes de entrada y la fuente se encuentran en el mismo nivel y crean "presiones" opuestas? Se asume que D_2 se encuentra en el estado "encendido" debido al bajo voltaje en el lado del cátodo y la disponibilidad de la fuente de 10 V a través de la resistencia de 1 kΩ.

Para la red de la figura 2.44 el voltaje en V_O es de 0.7 V debido al diodo D_2 que está polarizado directamente. Con 0.7 V en el ánodo de D_1 y 10 V en el cátodo, D_1 está definitivamente en el estado de "apagado". La corriente I tendrá la dirección indicada en la figura 2.44 y una magnitud igual a

$$I = \frac{E - V_D}{R} = \frac{10 \text{ V} - 0.7 \text{ V}}{1 \text{ k}\Omega} = \mathbf{9.3 \text{ mA}}$$

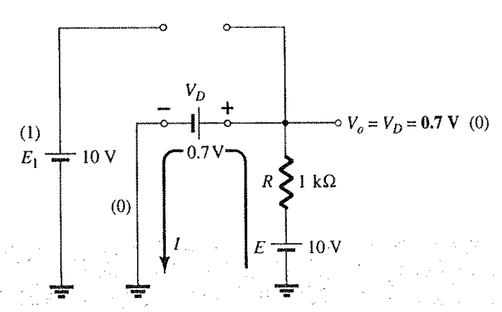


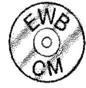
Figura 2.44 Sustitución de los estados supuestos para los diodos de la figura 2.43.

Por lo tanto, el estado de los diodos se confirma y nuestro análisis anterior fue correcto. Aunque no existieron 0 V como se definió anticipadamente para el nivel 0, el voltaje de salida es suficientemente pequeño como para ser considerado un nivel 0. Para la compuerta AND, por tanto, una sola entrada resultará en un nivel 0 de salida. Los estados restantes de los diodos para las posibilidades de dos entradas y ninguna entrada se examinarán en los problemas al final del capítulo.

2.7 ENTRADAS SENOIDALES; RECTIFICACIÓN DE MEDIA ONDA

El análisis del diodo se ampliará para incluir funciones con variación en el tiempo, tales como la forma de onda senoidal y la onda cuadrada. No hay duda de que el grado de dificultad se incrementará, pero una vez que algunas maniobras fundamentales se entiendan, el análisis será francamente directo y seguirá un procedimiento común.

Las redes más sencillas para examinar bajo una señal con variación en el tiempo aparecen en la figura 2.45. Por el momento usaremos el modelo ideal (obsérvese la ausencia de la etiqueta del Si o del Ge para denotar al diodo ideal) para asegurar que el enfoque no se empañe debido a la complejidad matemática adicional.



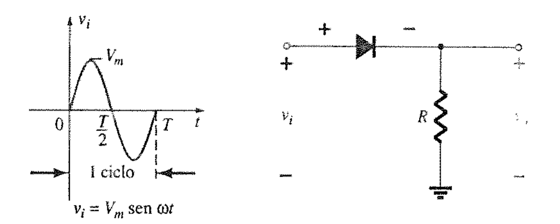


Figura 2.45 Rectificador de media onda.

Sobre un ciclo completo, definido por el periodo T en la figura 2.45, el valor promedio (la suma algebraica de las áreas por encima y por debajo del eje) es cero. El circuito de la figura 2.45, llamado *rectificador de media onda*, generará una forma de onda v_o que tendrá un valor promedio de uso particular para el proceso de conversión de ac a dc. Cuando un diodo se emplea en el proceso de rectificación, es común referirse a él como *rectificador*. Sus valores nominales de potencia y corriente son, por lo común, mucho más altos que aquellos diodos empleados en otras aplicaciones, tales como los sistemas de cómputo y de comunicación.

Durante el intervalo $t = 0 \rightarrow T/2$ de la figura 2.45 la polaridad del voltaje aplicado v_i es tal como para establecer "presión" en la dirección indicada y encender el diodo con la polaridad que aparece arriba de él. Al sustituir el diodo ideal por la equivalencia de circuito cerrado dará como resultado el circuito equivalente de la figura 2.46, donde es muy obvio que la señal de salida es una réplica exacta de la señal aplicada. Las dos terminales definen el voltaje de salida y están conectadas directamente a la señal aplicada mediante la equivalencia de circuito cerrado del diodo.

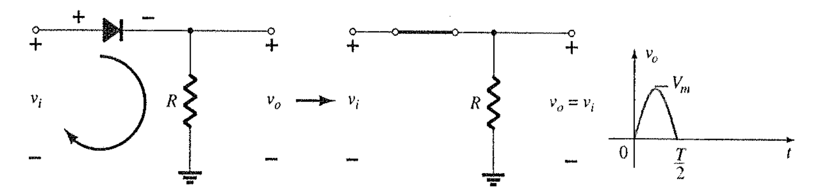


Figura 2.46 Región de conducción ($0 \rightarrow T/2$).

Para el periodo $T/2 \rightarrow T$, la polaridad de la entrada v_i es como lo demuestra la figura 2.47 y la polaridad resultante a través del diodo ideal produce un estado "apagado" con un equivalente de circuito abierto. El resultado es la ausencia de una trayectoria para el flujo de carga y que $v_o = iR = (0)R = 0$ V para el periodo $T/2 \rightarrow T$. La entrada v_i y la salida v_o se dibujaron juntas en la figura 2.48 con el propósito de establecer una comparación. Ahora, la señal de salida v_o tiene un área neta positiva arriba del eje y durante un periodo completo, y un valor promedio determinado por

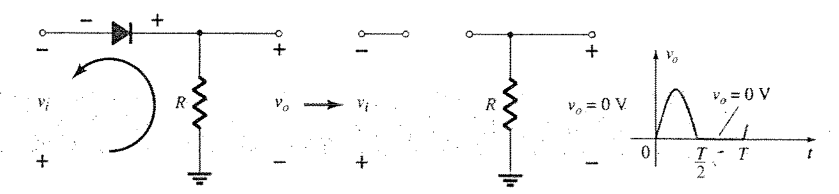


Figura 2.47 Región de no conducción ($T/2 \rightarrow T$).

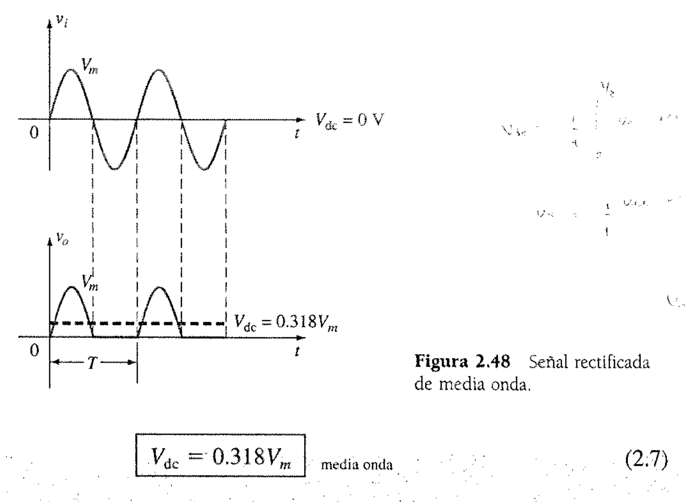


Figura 2.48 Señal rectificada de media onda.

$$\boxed{V_{dc} = 0.318V_m} \quad \text{media onda} \tag{2.7}$$

El proceso de eliminación de un medio de la señal de entrada para establecer un nivel de dc tiene el nombre idóneo de *rectificación de media onda.*

El efecto del uso del diodo de silicio con $V_T = 0.7$ V se demuestra en la figura 2.49 para la región de polarización directa. La señal aplicada debe ser ahora al menos de 0.7 V antes de que el diodo pueda "encenderse". Para niveles de v_i menores que 0.7 V, el diodo aún se encuentra en un estado de circuito abierto y $v_o = 0$ V como se muestra en la misma figura. Cuando se encuentran en estado de conducción, la diferencia entre v_o y v_i es un nivel fijo de $V_T = 0.7$ V y $v_o = v_i - V_T$ como se muestra en la figura. El efecto neto es una reducción en el área por encima del eje, lo cual reduce naturalmente el nivel de voltaje dc resultante. Para las situaciones en donde $V_m \gg V_T$, la ecuación 2.8 puede aplicarse para determinar el valor promedio con un nivel relativamente alto de precisión.

$$\boxed{V_{dc} \cong 0.318(V_m - V_T)} \tag{2.8}$$

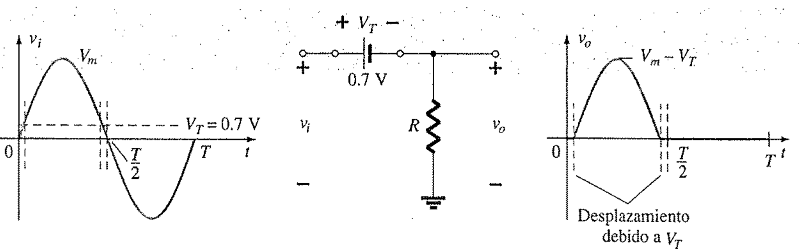


Figura 2.49 Efecto de V_T sobre la señal rectificada de media onda.

De hecho, si V_m fuera suficientemente mayor que V_T, la ecuación 2.7 se aplicaría más frecuentemente como primera aproximación a V_{dc}.

EJEMPLO 2.18

(a) Dibuje la salida v_o y determine el nivel de dc de la salida para la red de la figura 2.50.
(b) Repita el inciso (*a*) si el diodo ideal se reemplaza por un diodo de silicio.
(c) Repita los incisos (*a*) y (*b*) si V_m se incrementa a 200 V y compare las soluciones mediante las ecuaciones (2.7) y (2.8).

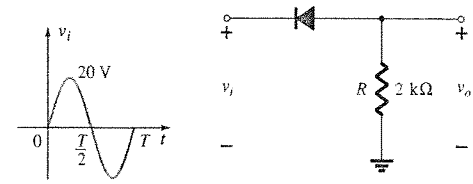


Figura 2.50 Red del ejemplo 2.18.

Solución

(a) En esta situación el diodo conducirá durante la parte negativa de la entrada como lo muestra la figura 2.51, y v_o aparecerá como también lo señala la misma figura. Para el periodo completo, el nivel de dc es

$$V_{dc} = -0.318V_m = -0.318(20\text{ V}) = \mathbf{-6.36\text{ V}}$$

El signo negativo indica que la polaridad de la salida es opuesta a la polaridad definida de la figura 2.50.

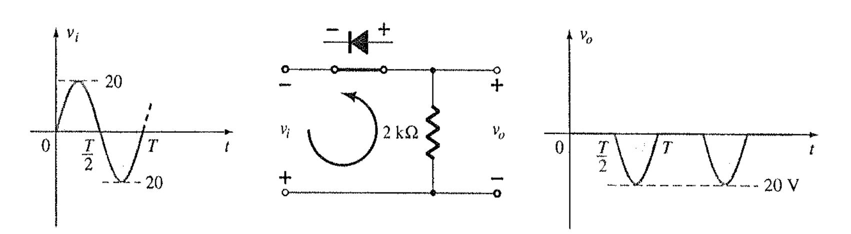


Figura 2.51 v_o resultante para el circuito del ejemplo 2.18.

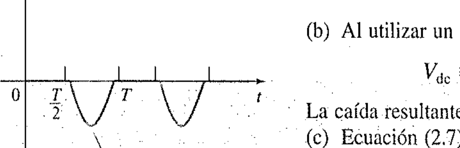


Figura 2.52 Efecto de V_T en la salida de la figura 2.51.

(b) Al utilizar un diodo de silicio, la salida tiene el aspecto de la figura 2.52 y

$$V_{dc} \cong -0.318(V_m - 0.7\text{ V}) = -0.318(19.3\text{ V}) \cong \mathbf{-6.14\text{ V}}$$

La caída resultante en el nivel de dc es de 0.22 V o aproximadamente 3.5%.

(c) Ecuación (2.7): $V_{dc} = -0.318V_m = -0.318(200\text{ V}) = \mathbf{-63.6\text{ V}}$

Ecuación (2.8): $V_{dc} = -0.318(V_m - V_T) = -0.318(200\text{ V} - 0.7\text{ V})$
$= -(0.318)(199.3\text{ V}) = \mathbf{-63.38\text{ V}}$

Lo cual es una diferencia que puede ser ignorada para la mayoría de las aplicaciones. Para la parte c, la caída y el desplazamiento en la amplitud debido a V_T no sería discernible en un osciloscopio típico si el patrón completo se desplegara.

PIV (PRV)

El valor nominal del voltaje pico inverso (PIV)[o PRV (voltaje pico en reversa)] del diodo tiene una importancia primordial en el diseño de sistemas de rectificación. Es indispensable recordar que éste es el valor nominal del voltaje que no deberá excederse en la región de polarización inversa o el diodo entraría en la región de avalancha Zener. El valor nominal que se requiere de PIV para el rectificador de media onda se puede determinar según la figura 2.53, la cual muestra el diodo con polarización inversa de la figura 2.45 con el voltaje máximo aplicado. Al aplicar la ley de voltaje de Kirchhoff, es obvio que el valor nominal del PIV del diodo debe igualar o exceder el valor pico del voltaje aplicado. Por tanto,

$$\text{valor nominal PIV} \geqq V_m \quad \text{rectificador de media onda} \tag{2.9}$$

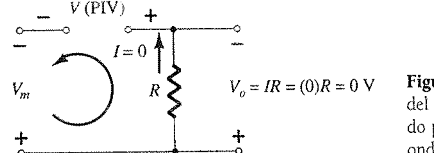


Figura 2.53 Determinación del valor nominal del PIV requerido para el rectificador de media onda.

2.8 RECTIFICACIÓN DE ONDA COMPLETA

Puente de diodos

El nivel de dc obtenido de una entrada senoidal se puede mejorar un 100% mediante la utilización de un proceso llamado *rectificación de onda completa.* La red más familiar para desarrollar tal función aparece en la figura 2.54 con sus cuatro diodos en una configuración de *puente*. Durante el periodo $t = 0$ a $T/2$, la polaridad de la entrada es la que muestra la figura 2.55. Las polaridades resultantes a través de los diodos ideales también se muestran en la figura 2.55 para demostrar que D_2 y D_3 están conduciendo, mientras que D_1 y D_4 se encuentran en el estado "apagado". El resultado neto es la configuración de la figura 2.56, con su corriente y polaridad indicadas a través de R. Dado que los diodos son ideales, el voltaje de carga es $v_o = v_i$ como se muestra en la misma figura.

Para la región negativa de la entrada, los diodos conductores son D_1 y D_4, con lo que se produce la configuración de la figura 2.57. El resultado importante es que la polaridad a tra-

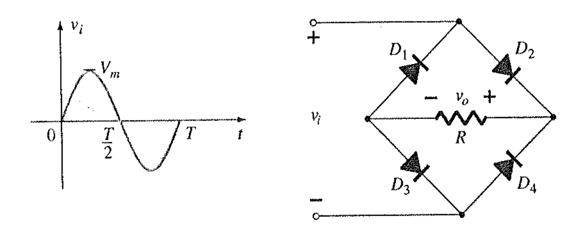


Figura 2.54 Puente rectificador de onda completa.

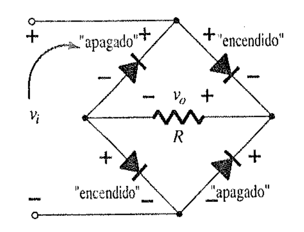


Figura 2.55 Red de la figura 2.54 para el periodo $0 \rightarrow T/2$ del voltaje de entrada v_i.

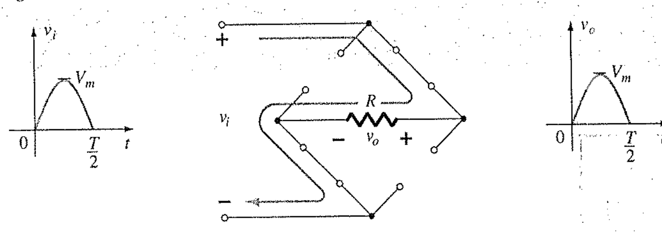


Figura 2.56 Trayectoria de conducción para la región positiva de v_i.

vés de la resistencia de carga R es la misma que en la figura 2.55, al establecer un segundo pulso positivo como lo señala la figura 2.57. Sobre un ciclo completo los voltajes de entrada y de salida aparecerán como lo muestra la figura 2.58.

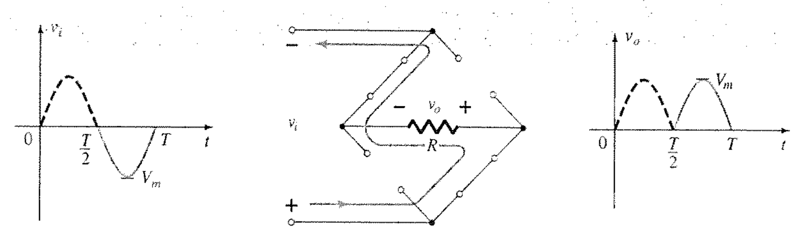


Figura 2.57 Trayectoria de conducción para la región negativa de v_i.

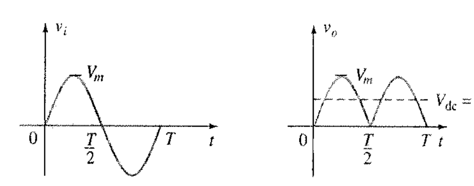


Figura 2.58 Formas en onda de entrada y de salida para un rectificador de onda completa.

Dado que el área por encima del eje para un ciclo completo es ahora el doble de lo obtenido para un sistema de media onda, el nivel de dc se ha duplicado también y

$$V_{dc} = 2(\text{ecuación } 2.7) = 2(0.318V_m)$$

o

$$\boxed{V_{dc} = 0.636V_m} \quad \text{onda completa} \qquad (2.10)$$

Si en lugar de los diodos ideales se emplean de silicio como lo muestra la figura 2.59, la aplicación de la ley de voltaje de Kirchhoff daría como resultado

$$v_i - V_T - v_o - V_T = 0$$

y

$$v_o = v_i - 2V_T$$

el valor del pico del voltaje de salida v_o es por tanto:

$$V_{o_{máx}} = V_m - 2V_T$$

Para situaciones donde $V_m \gg 2V_T$, puede aplicarse la ecuación (2.11) para el valor promedio con un nivel relativamente alto de precisión.

$$\boxed{V_{dc} \cong 0.636(V_m - 2V_T)} \qquad (2.11)$$

De nuevo, si V_m es suficientemente mayor que $2V_T$, entonces la ecuación (2.10) se aplica de manera frecuente como una primera aproximación para V_{dc}.

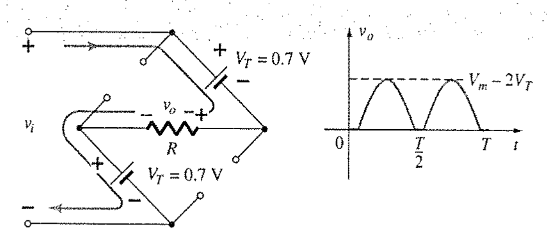


Figura 2.59 Determinación de $V_{o_{máx}}$ para diodos de silicio en la configuración de puente.

PIV

El PIV requerido para cada diodo (ideal) puede determinarse por medio de la figura 2.60 obtenida en el pico de la región positiva de la señal de entrada. El voltaje máximo para la malla indicada a través de R es V_m y el valor nominal de PIV se define por

$$\boxed{\text{PIV} \geqq V_m} \quad \text{Puente rectificador de onda completa} \qquad (2.12)$$

Figura 2.60 Determinación del PIV requerido para la configuración de puente rectificador.

Transformador con derivación central

Un segundo rectificador popular de onda completa aparece en la figura 2.61 con únicamente dos diodos pero con el requerimiento de un transformador con derivación central (CT del inglés *center-tapped*) para establecer la señal de entrada a través de cada sección del secundario del transformador. Durante la parte positiva de v_i aplicada al primario del transformador, la red aparecería como se señala en la figura 2.62. D_1 asume el equivalente de circuito cerrado y D_2 el equivalente de circuito abierto, como lo determinan los voltajes secundarios y las direcciones de corriente resultantes. El voltaje de salida aparece como se muestra en la figura 2.62.

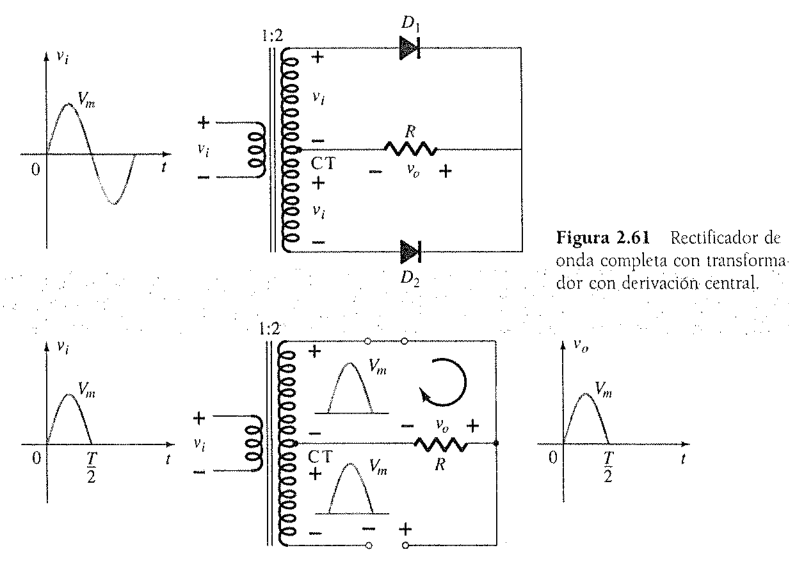


Figura 2.61 Rectificador de onda completa con transformador con derivación central.

Figura 2.62 Condiciones de red para la región positiva de v_i.

Durante la parte negativa de la entrada, la red aparece como se muestra en la figura 2.63, al invertir las funciones de los diodos pero manteniendo la misma polaridad para el voltaje a través de la resistencia de carga R. El efecto neto es la misma salida que aparece en la figura 2.58 con los mismos niveles de dc.

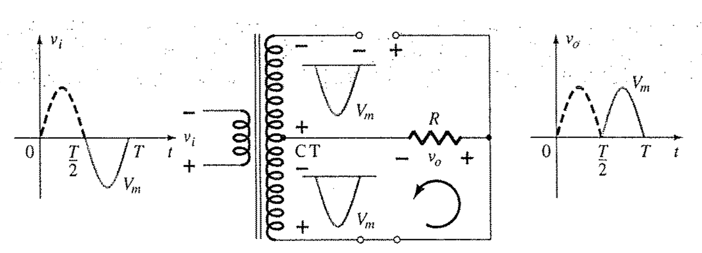


Figura 2.63 Condiciones de la red para la región negativa de v_i.

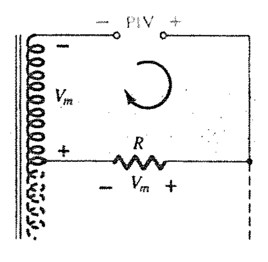


Figura 2.64 Determinación del nivel del PIV para los diodos del transformador con derivación central rectificador de onda completa.

PIV

La red de la figura 2.64 nos ayudará a determinar el PIV neto para cada diodo de este rectificador de onda completa. Al aplicar el voltaje máximo para el voltaje secundario y para V_m como lo establece la malla adjunta, dará como resultado:

$$PIV = V_{\text{secundario}} + V_R$$
$$= V_m + V_m$$

y

$$\boxed{PIV \geq 2V_m} \quad \text{transformador CT, rectificador de onda completa} \tag{2.13}$$

EJEMPLO 2.19

Determine la forma de onda de salida para la red de la figura 2.65 y calcule el nivel de dc de la salida y el PIV requerido para cada diodo.

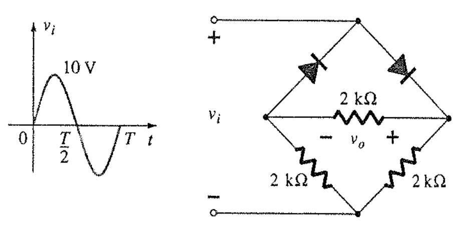


Figura 2.65 Red de puente para el ejemplo 2.19.

Solución

La red aparecerá como lo señala la figura 2.66 para la región positiva del voltaje de entrada. Al dibujar de nuevo la red el resultado será la configuración de la figura 2.67, donde $v_o = \frac{1}{2}v_i$ o $V_{o_{máx}} = \frac{1}{2}V_{i_{máx}} = \frac{1}{2}(10\text{ V}) = 5\text{ V}$, como lo muestra la figura 2.67. Para la parte negativa de la entrada, las funciones de los diodos se intercambiarán y v_o aparecerá como lo muestra la figura 2.68.

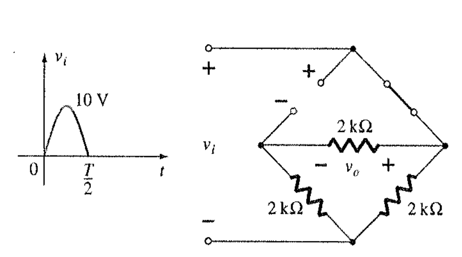


Figura 2.66 Red de la figura 2.65 para la región positiva de v_i.

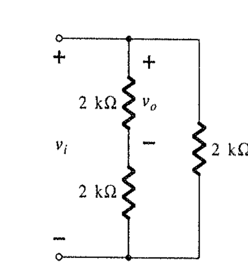


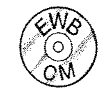
Figura 2.67 Redibujo de la red de la figura 2.66.

Figura 2.68 Salida resultante para el ejemplo 2.19.

El efecto de la eliminación de dos diodos de la configuración de puente fue la reducción del nivel de dc disponible al siguiente:

$$V_{dc} = 0.636(5\text{ V}) = \mathbf{3.18\text{ V}}$$

o el disponible de un rectificador de media onda con la misma entrada. Sin embargo, el PIV como se deriva de la figura 2.60, es igual al voltaje máximo a través de R, el cual es de 5 V, o la mitad de lo requerido para un rectificador de media onda con la misma entrada.



2.9 RECORTADORES

Existe una gran variedad de redes de diodos llamadas *recortadores* que tienen la habilidad de "recortar" una porción de la señal de entrada sin distorsionar la parte restante de la forma de onda alternante. El rectificador de media onda de la sección 2.7 es un ejemplo de la forma más simple de recortador de diodo (una resistencia y un diodo). Dependiendo de la orientación del diodo, la región positiva o negativa de la señal de entrada es "recortada".

Existen dos categorías generales de recortadores: en *serie* y en *paralelo*. La configuración en serie se define como una donde el diodo está en serie con la carga, mientras que la variedad en paralelo tiene el diodo en una rama paralela a la carga.

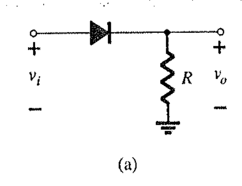
En series

La respuesta de las configuraciones en serie de la figura 2.69a ante una variedad de formas de onda alternantes la proporciona la figura 2.69b. Aunque primero se introdujo como rectificador de media onda (para formas de onda senoidales), no hay límites en el tipo de señales que se pueden aplicar a un recortador. La adición de una fuente de dc tal como la que se muestra en la figura 2.70 puede tener un gran efecto sobre la salida de un recortador. Nuestra discusión inicial estará limitada a los diodos ideales, con el efecto de V_T reservado para un ejemplo concluyente.

No hay un procedimiento general para analizar las redes como las del tipo de la figura 2.70, pero hay algunos aspectos para tener en mente conforme usted trabaja en busca de una solución.

1. ***Haga un esquema mental de la respuesta de la red basado en la dirección del diodo y de los niveles aplicados de voltaje.***

Para la red de la figura 2.70, la dirección del diodo sugiere que la señal v_i debe ser positiva para encenderlo. La fuente de dc además requiere que el voltaje v_i sea mayor que V volts para encender el diodo. La región negativa de la señal de entrada está "presionando" al diodo hacia el estado de "apagado", apoyado además por la fuente de dc. En general, por lo tanto, podemos estar seguros de que el diodo es un circuito abierto (estado "apagado") por la región negativa de la señal de entrada.



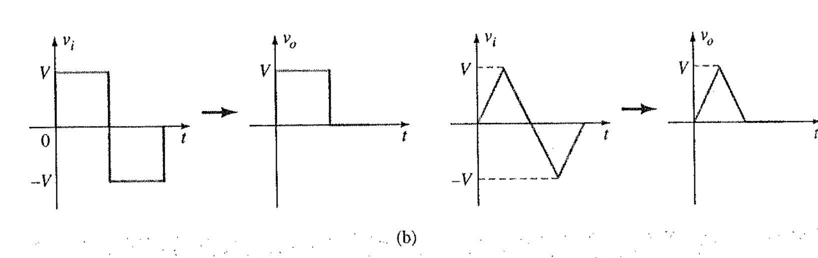


Figura 2.69 Recortador en serie.

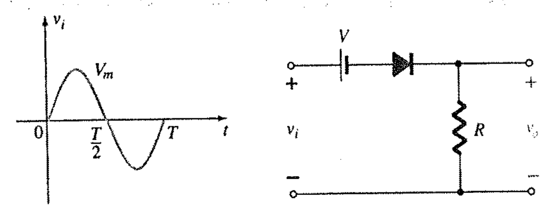
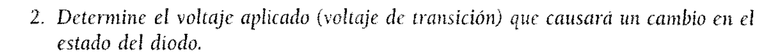


Figura 2.70 Recortador en serie con una fuente de dc.



2. *Determine el voltaje aplicado (voltaje de transición) que causará un cambio en el estado del diodo.*

Para el diodo ideal la transición entre los estados ocurrirá en el punto sobre las características donde $v_d = 0$ V e $i_d = 0$ A. Al aplicar la condición $i_d = 0$ y $v_d = 0$ a la red de la figura 2.70 dará como resultado la configuración de la figura 2.71, donde se reconoce que el nivel de v_i que causará una transición en el estado es:

$$v_i = V \tag{2.14}$$

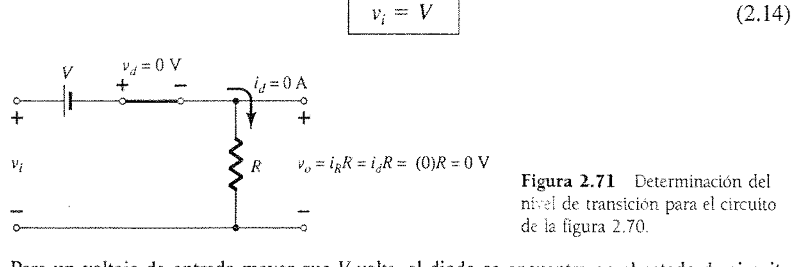


Figura 2.71 Determinación del nivel de transición para el circuito de la figura 2.70.

Figura 2.72 Determinación de v_o.

Figura 2.73 Determinación de los niveles de v_o.

Para un voltaje de entrada mayor que V volts, el diodo se encuentra en el estado de circuito cerrado, mientras que para los voltajes de entrada menores que V volts éste está en el estado "apagado" o de circuito abierto.

3. *Estar concientes continuamente de las terminales definidas y de la polaridad de* v_o.

Cuando el diodo está en el estado de circuito cerrado, como lo muestra la figura 2.72, el voltaje de salida v_o se puede determinar mediante la aplicación de la ley de voltaje de Kirchhoff en la dirección de las manecillas del reloj:

$$v_i - V - v_o = 0 \text{ (dirección de las manecillas del reloj)}$$

y

$$v_o = v_i - V \tag{2.15}$$

4. *Puede ser útil dibujar la señal de entrada por encima de la de salida y determinar la salida a valores instantáneos de la entrada.*

Es entonces posible que el voltaje de salida pueda dibujarse con base en los puntos de datos resultantes de v_o como se demuestra en la figura 2.73. Tener en mente que para un valor instantáneo de v_i, la entrada puede tratarse como una fuente de dc de aquel valor y el correspondiente valor de dc (el valor instantáneo) de la salida determinada. Por ejemplo, en $v_i = V_m$ para la red de la figura 2.70, la red a analizar aparece en la figura 2.74. Para $V_m > V$ el diodo se encuentra en el estado de circuito cerrado y $v_o = V_m - V$, como lo demuestra la figura 2.73.

En $v_i = V$ los diodos cambian de estado; en $v_i = -V_m$, $v_o = 0$ V; y la curva completa para v_o puede dibujarse como lo demuestra la figura 2.75.

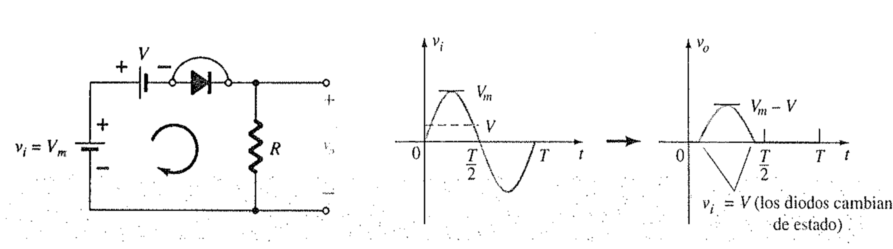


Figura 2.74 Determinación de v_o cuando $v_i = V_m$. **Figura 2.75** Dibujo de v_o.

EJEMPLO 2.20 Determine la forma de onda de salida de la red de la figura 2.76.

Solución

La experiencia pasada sugiere que el diodo se encontrará en el estado "encendido" para la región positiva de v_i especialmente cuando notamos el efecto de ayuda de $V = 5$ V. La red en-

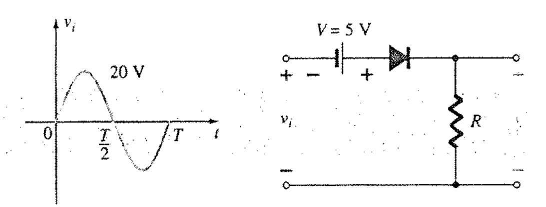


Figura 2.76 Recortadores en serie para el ejemplo 2.20.

tonces aparecerá como se muestra en la figura 2.77 y $v_o = v_i + 5$ V. Al sustituir $i_d = 0$ en $v_d = 0$ para los niveles de transición, obtenemos la red de la figura 2.78 y $v_i = -5$ V.

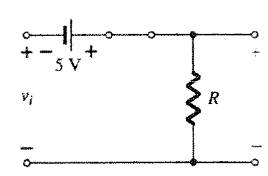


Figura 2.77 v_o con el diodo en el estado "encendido".

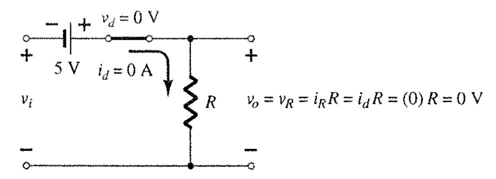


Figura 2.78 Determinación del nivel de transición para el recortador de la figura 2.76.

Para v_i más negativos que –5 V el diodo entrará en su estado de circuito abierto, mientras que para voltajes más positivos que –5 V, el diodo se encontrará en el estado de circuito cerrado. Los voltajes de entrada y de salida aparecen en la figura 2.79.

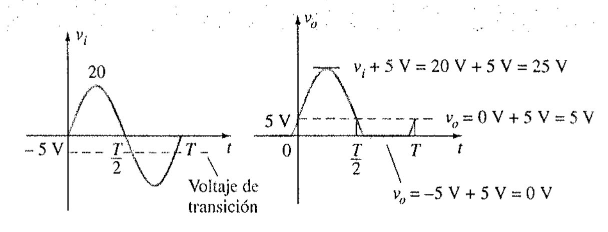


Figura 2.79 Dibujo de v_o para el ejemplo 2.20.

El análisis de las redes recortadoras con entradas de onda cuadrada, es realmente más fácil que para entradas senoidales debido a que sólo se deben considerar dos niveles de voltaje. En otras palabras, la red se puede analizar como si tuviera dos entradas de dc con la salida resultante v_o graficada dentro el marco apropiado de tiempo.

EJEMPLO 2.21 Repita el ejemplo 2.20 para la entrada de onda cuadrada de la figura 2.80.

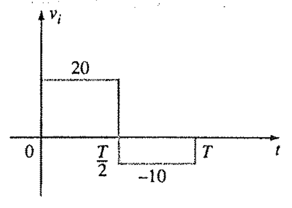


Figura 2.80 Señal aplicada para el ejemplo 2.21.

Solución

Para v_i = 20 V (0 ⟶ $T/2$) resultará la red de la figura 2.81. El diodo se encuentra en el estado de circuito cerrado y v_o = 20 V + 5 V = 25 V. Para v_i = −10 V resultará la red de la figura 2.82, mediante la colocación del diodo en el estado "apagado" y $v_o = i_R R = (0)R$ = 0 V. El voltaje de salida resultante aparece en la figura 2.83.

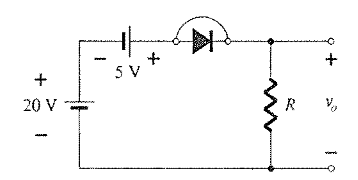


Figura 2.81 v_o cuando v_i = +20 V.

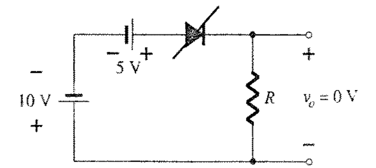


Figura 2.82 v_o cuando v_i = −10 V.

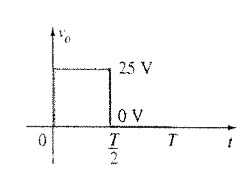
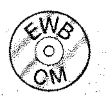


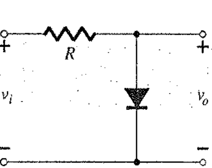
Figura 2.83 Esquematización de v_o para el ejemplo 2.21.

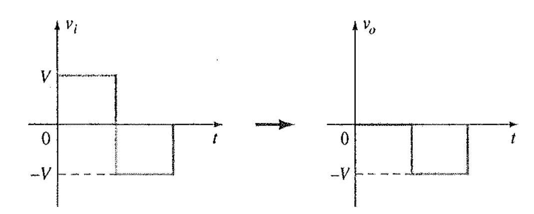
Observe en el ejemplo 2.21 que el recortador no sólo recorta 5 V de la amplitud total sino que levanta el nivel de dc de la señal por 5 V.

En paralelo

La red de la figura 2.84 es la más simple de las configuraciones de diodos en paralelo con las salidas para las mismas entradas de la figura 2.69. El análisis de las configuraciones en paralelo es muy similar a las aplicadas a las configuraciones en serie, como lo demuestra el siguiente ejemplo.







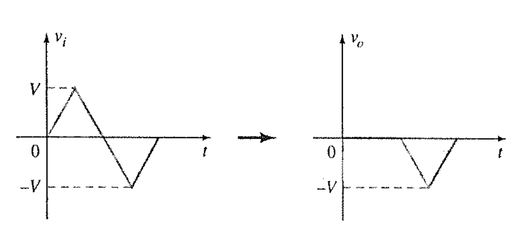
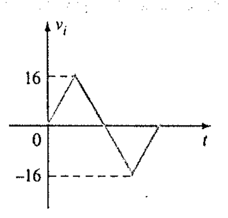


Figura 2.84 Respuesta de un recortador en paralelo.

EJEMPLO 2.22 Determine v_o para la red de la figura 2.85.



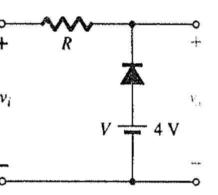


Figura 2.85 Ejemplo 2.22.

Solución

La polaridad de la fuente de dc y la dirección del diodo sugieren fuertemente que el diodo estará en el estado "encendido" para la región negativa de la señal de salida. Para esta región la red aparecerá como se señala en la figura 2.86, donde las terminales definidas para v_o requieren que $v_o = V$ = 4 V.

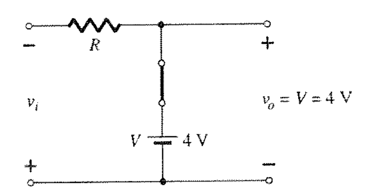


Figura 2.86 v_o para la región negativa de v_i.

El estado de transición se puede determinar a partir de la figura 2.87, donde la condición i_d = 0 A cuando v_d = 0 V ha sido impuesta. El resultado es v_i (transición) = V = 4 V.

Dado que la fuente de dc obviamente se encuentra "presionando" al diodo para permanecer en el estado de circuito cerrado, el voltaje de entrada debe ser mayor que 4 V para que el diodo se encuentre en el estado de "apagado". Cualquier voltaje de entrada menor que 4 V dará como resultado un diodo en circuito cerrado.

Para el estado de circuito abierto, la red aparecerá como se muestra en la figura 2.88, donde $v_o = v_i$. Al completar el dibujo de v_o resulta la forma de onda de la figura 2.89.

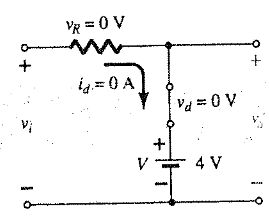


Figura 2.87 Determinación del nivel de transición para el ejemplo 2.22.

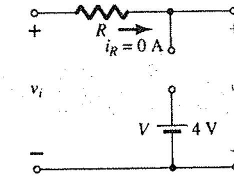


Figura 2.88 Determinación de v_o para el estado abierto del diodo.

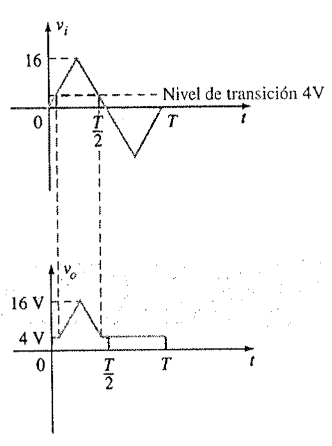


Figura 2.89 Dibujo de v_o para el ejemplo 2.22

Para examinar los efectos de V_T en el voltaje de salida, el siguiente ejemplo especificará, en lugar de un diodo ideal equivalente, un diodo de silicio.

EJEMPLO 2.23

Repita el ejemplo 2.22 empleando un diodo de silicio con $V_T = 0.7$ V.

Solución

El voltaje de transición se puede determinar primero aplicando la condición $i_d = 0$ A cuando $v_d = V_D = 0.7$ V y obteniendo la red de la figura 2.90. Al aplicar la ley de voltaje de Kirchhoff alrededor de la malla de salida en dirección de las manecillas del reloj, encontramos que:

$$v_i + V_T - V = 0$$

y

$$v_i = V - V_T = 4 \text{ V} - 0.7 \text{ V} = \mathbf{3.3 \text{ V}}$$

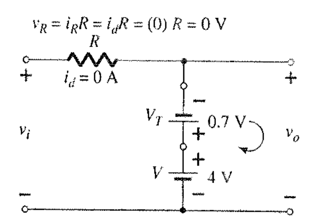


Figura 2.90 Determinación del nivel de transición para la red de la figura 2.85.

Para los voltajes de entrada mayores que 3.3 V, el diodo será un circuito abierto y $v_o = v_i$. Para los voltajes de entrada menores que 3.3 V, el diodo estará en estado "encendido" y dará como resultado la red de la figura 2.91, donde

$$v_o = 4 \text{ V} - 0.7 \text{ V} = \mathbf{3.3 \text{ V}}$$

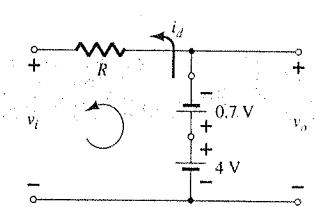


Figura 2.91 Determinación de v_o para el diodo de la figura 2.85 en el estado "encendido".

La forma de onda de salida resultante está en la figura 2.92. Observe que el único efecto de V_T fue el de la caída del nivel de transición de 4 V a 3.3.

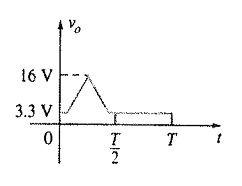


Figura 2.92 Dibujo de v_o para el ejemplo 2.23.

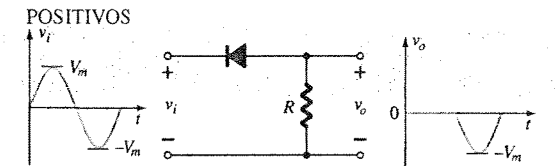
No hay duda de que al incluir los efectos de V_T complicaríamos un poco el análisis, pero una vez que el análisis se ha entendido con el diodo ideal, el procedimiento, incluyendo los efectos de V_T, no habrá tal dificultad.

Resumen

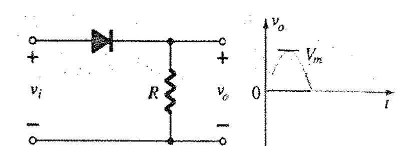
Una variedad de recortadores en serie y en paralelo, con la salida resultante para la entrada senoidal se proporciona en la figura 2.93. En particular, observen la respuesta de la última configuración, con su habilidad para recortar una sección positiva y una negativa como lo determina la magnitud de las fuentes de dc.

Recortadores simples en serie (diodos ideales)

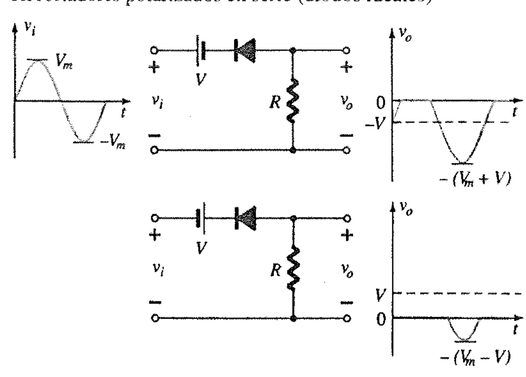
POSITIVOS

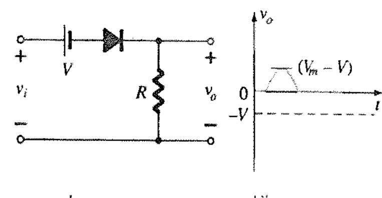


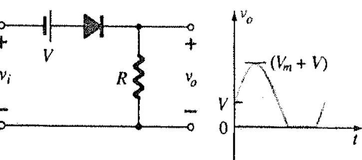
NEGATIVOS



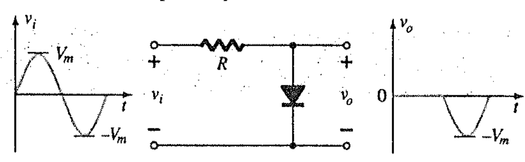
Recortadores polarizados en serie (diodos ideales)

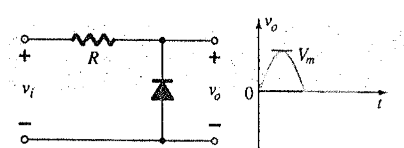




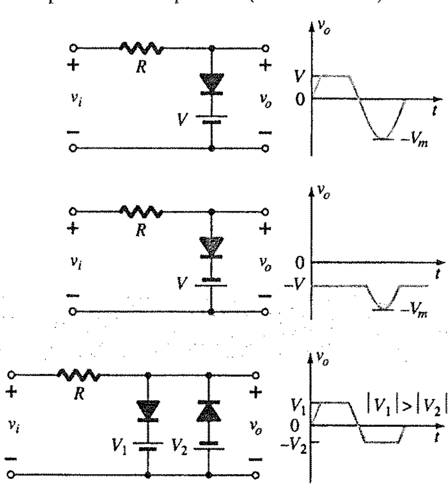


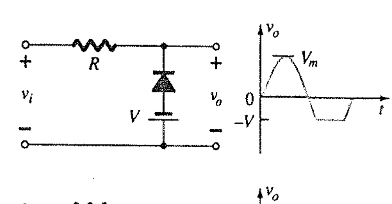
Recortadores simples en paralelo (diodos ideales)





Recortadores polarizados en paralelo (diodos ideales)





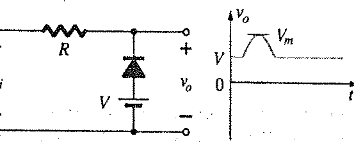


Figura 2.93 Circuitos recortadores.

2.10 CAMBIADORES DE NIVEL

La red *cambiadora de nivel* es aquella que "cambia" una señal a un nivel diferente de dc. La red debe tener un capacitor, un diodo y un elemento resistivo, pero ésta puede también emplear una fuente independiente de dc para introducir un desplazamiento adicional. La magnitud de R y C debe elegirse de tal modo que la constante de tiempo $\tau = RC$ sea lo suficientemente grande como para asegurar que el voltaje a través del capacitor no se descargue significativamente durante el intervalo en que el diodo no está conduciendo. A través del análisis supondremos que para todos los propósitos prácticos el capacitor cargará o descargará completamente en cinco constantes de tiempo.

La red de la figura 2.94 cambiará de nivel la señal de entrada al nivel cero (para diodos ideales). La resistencia R puede ser la resistencia de carga o una combinación en paralelo de la resistencia de carga y una resistencia diseñada para proporcionar el nivel deseado de R.

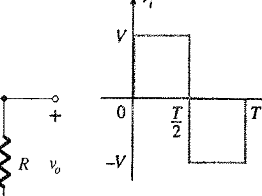


Figura 2.94 Cambiador de nivel.

Figura 2.95 Diodo "encendido" y el capacitor cargando a V volts.

Figura 2.96 Determinación de v_o con el diodo "apagado".

Durante el intervalo $0 \rightarrow T/2$ la red aparecerá como lo muestra la figura 2.95, con el diodo en el estado "encendido" efectivamente pone en "corto circuito" la resistencia R. La constante de tiempo RC resultante es tan pequeña (R se determina por la resistencia inherente de la red) que el capacitor cargará a V volts rápidamente. Durante este intervalo el voltaje de salida está directamente a través del corto circuito y $v_o = 0$ V.

Cuando la entrada cambia al estado $-V$, la red será la de la figura 2.96, con el equivalente de circuito abierto para el diodo determinado por la señal aplicada y el voltaje almacenado a través del capacitor –ambos– "presionando" la corriente a través del diodo del cátodo al ánodo. Ahora que R regresó a la red la constante de tiempo determinada por el producto RC es suficientemente grande como para establecer un periodo de descarga 5τ mucho mayor que el periodo $T/2 \rightarrow T$, y puede asumirse sobre una base aproximada que el capacitor mantiene toda su carga y, por tanto, al voltaje (dado que $V = Q/C$) durante este periodo.

Debido a que v_o está en paralelo con el diodo y con la resistencia, también se puede dibujar en una posición alternativa como lo muestra la figura 2.96. Al aplicar la ley de voltaje de Kirchhoff alrededor de la malla de entrada dará como resultado:

$$-V - V - v_o = 0$$

y

$$v_o = -2V$$

El signo negativo resulta del hecho de que la polaridad de $2V$ es opuesta a la polaridad definida para v_o. La forma en onda de resultante en la salida aparece en la figura 2.97 junto con la señal de entrada. La señal de salida se cambia de nivel a 0 V para el intervalo 0 a $T/2$ pero mantiene la misma excursión de voltaje total ($2V$) de la misma forma que la entrada.

Para la red cambiadora de nivel:

La excursión total de la salida es igual a la excursión total de la señal de entrada.

Este hecho es una herramienta excelente de verificación del resultado obtenido.

En general, los pasos siguientes pueden ser útiles cuando se analizan redes cambiadoras de nivel:

1. *Comenzar el análisis de redes cambiadoras de nivel considerando la parte de la señal de entrada que polarizará directamente al diodo.*

El enunciado anterior puede requerir del saltarse un intervalo de la señal de entrada (como se demuestra en el ejemplo siguiente), pero el análisis no se extenderá mediante una medida innecesaria de investigación.

Figura 2.97 Dibujo de v_o para la red de la figura 2.94.

2. *Durante el periodo en que el diodo esté en el estado "encendido", suponer que el capacitor cargará instantáneamente al nivel de voltaje determinado por la red.*
3. *Suponer que durante el periodo en que el diodo está en el estado "apagado" el capacitor mantendrá su nivel de voltaje establecido.*
4. *A través del análisis mantener una conciencia continua de la localización y de la polaridad de referencia para v_o para asegurar que los niveles apropiados para v_o se obtienen.*
5. *Tener en mente la regla general de que la amplitud de la salida total debe coincidir con la amplitud de la señal de entrada.*

EJEMPLO 2.24

Determine v_o para la red de la figura 2.98 para la entrada indicada.

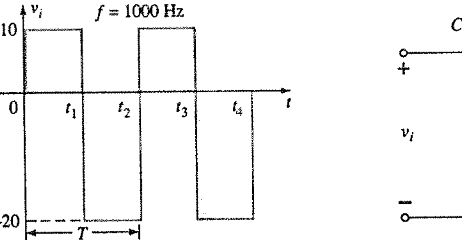


Figura 2.98 Señal aplicada y red del ejemplo 2.24.

Solución

Observe que la frecuencia es de 1000 Hz, con lo que se provoca un periodo de 1 ms y un intervalo de 0.5 ms entre niveles. El análisis empezará con el periodo $t_1 \rightarrow t_2$ de la señal de entrada, dado que el diodo está en su estado de circuito cerrado como lo recomendó el comentario 1. Para este intervalo la red aparecerá como se muestra en la figura 2.99. La salida está a través de R, pero ésta se encuentra también directamente a través de la batería de 5 V si usted sigue la conexión directa entre las terminales definidas para v_o y las terminales de la batería. El resultado es $v_o = 5$ V para este intervalo. Al aplicar la ley de voltaje de Kirchhoff alrededor de la malla de entrada dará como resultado:

$$-20 \text{ V} + V_C - 5 \text{ V} = 0$$

y

$$V_C = 25 \text{ V}$$

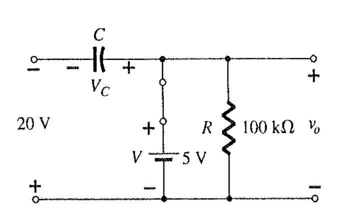


Figura 2.99 Determinación de v_o y V_C con el diodo en el estado "encendido".

El capacitor, por tanto, cargará a 25 V, como lo afirma el comentario 2. En este caso la resistencia R no se encontrará en corto circuito a causa del diodo, pero un circuito Thévenin equivalente de tal porción de la red que incluye la batería y la resistencia resultará en $R_{Th} = 0\ \Omega$ con $E_{Th} = V = 5$ V. Para el periodo $t_2 \rightarrow t_3$ la red aparecerá como lo muestra la figura 2.100.

El equivalente de circuito abierto para el diodo evitará que la batería de 5 V ejerza algún efecto sobre v_o. Al aplicar la ley de voltaje de Kirchhoff alrededor de la malla exterior de la red resultará en

$$+10 \text{ V} + 25 \text{ V} - v_o = 0$$

y

$$v_o = 35 \text{ V}$$

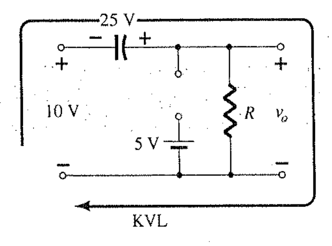


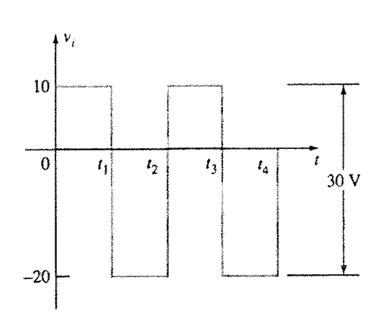
Figura 2.100 Determinación de v_o con el diodo en el estado "apagado".

La constante de tiempo de la red de descarga de la figura 2.100 se determina por el producto RC y tiene la magnitud:

$$\tau = RC = (100 \text{ k}\Omega)(0.1\ \mu\text{F}) = 0.01 \text{ s} = 10 \text{ ms}$$

El tiempo total de descarga es por lo tanto $5\tau = 5(10 \text{ ms}) = 50$ ms.

Dado que el intervalo $t_2 \rightarrow t_3$ sólo durará 0.5 ms, éste es ciertamente una buena aproximación de que el capacitor mantendrá su voltaje durante el periodo de descarga entre los pulsos de la señal de entrada. La salida resultante aparece en la figura 2.101 con la señal de entrada. Observe que la amplitud de salida de 30 V coincide con la amplitud de entrada como se advierte en el paso 5.



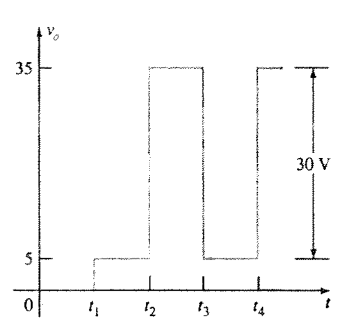


Figura 2.101 v_i y v_o para el cambiador de nivel de la figura 2.98.

EJEMPLO 2.25

Repita el ejemplo 2.24 empleando un diodo de silicio con $V_T = 0.7$ V.

Solución

Para el estado de circuito cerrado la red ahora toma el aspecto de la figura 2.102 y v_o se podrá determinar por la ley de voltaje de Kirchhoff en la sección de salida.

$$+5\text{ V} - 0.7\text{ V} - v_o = 0$$

y

$$v_o = 5\text{ V} - 0.7\text{ V} = 4.3\text{ V}$$

Para la sección de entrada, la ley de voltaje de Kirchhoff dará como resultado:

$$-20\text{ V} + V_C + 0.7\text{ V} - 5\text{ V} = 0$$

y

$$V_C = 25\text{ V} - 0.7\text{ V} = 24.3\text{ V}$$

Figura 2.102 Determinación de v_o y V_C con el diodo en el estado "encendido".

Para el periodo $t_2 \rightarrow t_3$ la red ahora tendrá el aspecto de la figura 2.103, con el único cambio del voltaje a través del capacitor. Al aplicar la ley de voltaje de Kirchhoff resulta:

$$+10\text{ V} + 24.3\text{ V} - v_o = 0$$

y

$$v_o = 34.3\text{ V}$$

La salida resultante aparece en la figura 2.104, con lo que se confirma el enunciado de que la amplitud de salida y de entrada son las mismas.

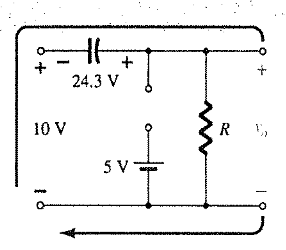


Figura 2.103 Determinación de v_o con el diodo en estado abierto.

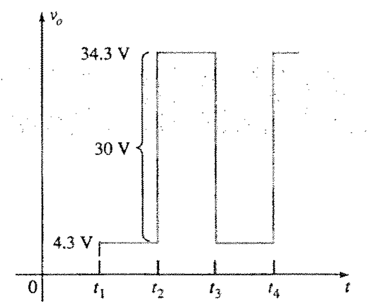


Figura 2.104 Dibujo de v_o para el cambiador de nivel de la figura 2.98 con un diodo de silicio.

Un gran número de circuitos cambiadores de nivel y su efecto sobre la señal de entrada se muestran en la figura 2.105. A pesar de que todas las formas de onda que aparecen en la figura 2.105 son ondas cuadradas, las redes cambiadoras de nivel trabajarán igualmente bien para las señales senoidales. De hecho, un enfoque del análisis de las redes cambiadoras de nivel con entradas senoidales es el de reemplazar la señal senoidal por una onda cuadrada de los mismos valores pico. La salida resultante tendrá una forma envolvente para la respuesta senoidal como lo muestra la figura 2.106 para una red que aparece en la parte inferior derecha de la figura 2.105.

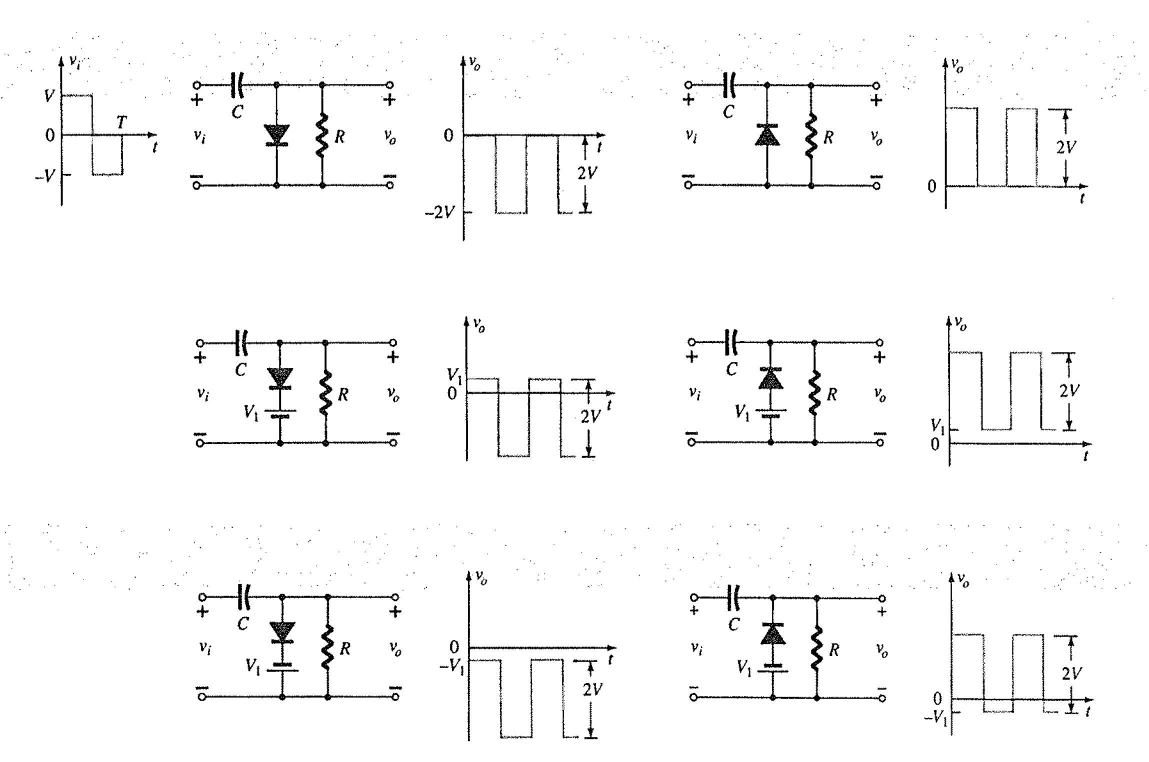
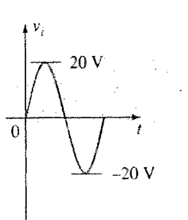
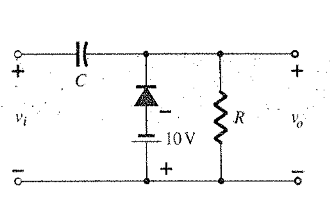


Figura 2.105 Circuitos cambiadores de nivel con diodos ideales ($5\tau = 5RC \gg T/2$).





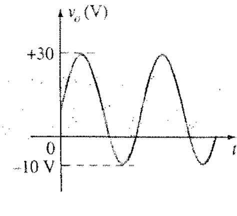


Figura 2.106 Red cambiadora de nivel con una entrada senoidal.

2.11 DIODOS ZENER

El análisis de las redes que emplean los diodos Zener es muy similar a aquel que se aplicó al análisis de los diodos semiconductores en las secciones previas. En primer lugar, el estado del diodo debe determinarse seguido por una sustitución del modelo apropiado y una determinación de las demás cantidades desconocidas de la red. A menos que otra cosa se especifique, el modelo Zener a emplearse en el estado "encendido" será como el que muestra la figura 2.107a. Para el estado "apagado" como lo define un voltaje menor que V_Z pero mayor que 0 V con la polaridad indicada en la figura 2.107b, el equivalente del Zener es el circuito abierto que aparece en la misma figura.

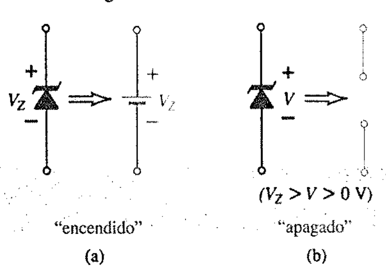


Figura 2.107 Equivalentes del diodo Zener para el estado (a) "encendido" y el (b) "apagado".

V_i y R fijas

Las redes más simples con diodo Zener aparecen en la figura 2.108. El voltaje de dc aplicado es fijo, como lo es la resistencia de carga. El análisis puede fundamentalmente dividirse en dos etapas.

1. *Determinar el estado del diodo Zener mediante su eliminación de la red y por medio del cálculo del voltaje a través del circuito abierto resultante.*

Al aplicar el paso 1 a la red de la figura 2.108 dará como resultado la red de la figura 2.109, donde una aplicación de la regla del divisor de voltaje resultará en:

$$V = V_L = \frac{R_L V_i}{R + R_L} \tag{2.16}$$

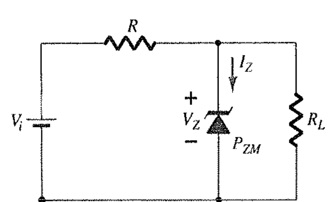


Figura 2.108 Regulador básico Zener.

Si $V \geq V_Z$, el diodo Zener está en "encendido" y el modelo equivalente de la figura 2.107a puede sustituirse. Si $V < V_Z$, el diodo está en "apagado" y la equivalencia de circuito abierto de la figura 2.107b es sustituida.

2. *Sustituir el circuito equivalente apropiado y resolver para las incógnitas deseadas.*

Para la red de la figura 2.108, el estado "encendido" dará como resultado la red equivalente de la figura 2.110. Dado que los voltajes a través de los elementos paralelos deben ser los mismos, encontramos que:

$$V_L = V_Z \tag{2.17}$$

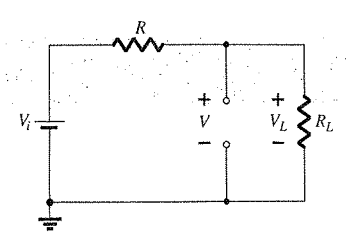


Figura 2.109 Determinación del estado del diodo Zener.

La corriente del diodo Zener se debe determinar por una aplicación de la ley de corriente de Kirchhoff, como sigue:

$$I_R = I_Z + I_L$$

e

$$I_Z = I_R - I_L \tag{2.18}$$

donde

$$I_L = \frac{V_L}{R_L} \quad \text{e} \quad I_R = \frac{V_R}{R} = \frac{V_i - V_L}{R}$$

Figura 2.110 Sustitución del equivalente Zener para la situación de "encendido".

La potencia disipada por el diodo Zener se determina por:

$$P_Z = V_Z I_Z \tag{2.19}$$

la cual debe ser menor que la P_{ZM} especificada para el dispositivo.

Antes de continuar es particularmente importante notar que el primer paso se empleó sólo para determinar el *estado del diodo Zener.* Si el diodo Zener está en el estado "encendido", el voltaje a través del diodo no es de V volts. Cuando el sistema se enciende, el diodo Zener "encenderá" tan pronto como el voltaje a través del diodo Zener sea de V_Z volts. Éste entonces "se bloqueará" en este nivel y nunca alcanzará el nivel más alto de V volts.

Los diodos Zener se utilizan más frecuentemente en redes *reguladoras* o como un voltaje de *referencia.* En la figura 2.108 aparece un regulador sencillo diseñado para mantener un nivel de voltaje fijo a través de la carga R_L. Para valores del voltaje aplicado mayores que los requeridos para "encender" el diodo Zener, el voltaje a través de la carga se mantendrá en V_Z volts. Si el diodo Zener se emplea como un voltaje de referencia, éste proporcionará un nivel para comparación contra otros voltajes.

EJEMPLO 2.26

(a) Para la red de diodo Zener de la figura 2.111, determine V_L, V_R, I_Z y P_Z.
(b) Repita el inciso (*a*) con $R_L = 3$ kΩ.

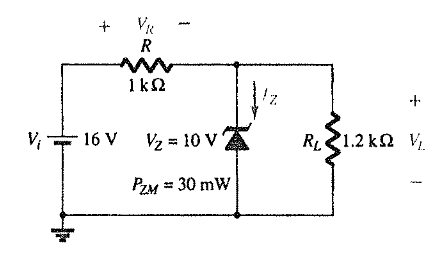
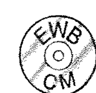


Figura 2.111 Regulador del diodo Zener para el ejemplo 2.26.



Solución

(a) Siguiendo el procedimiento sugerido, la red se vuelve a dibujar como lo muestra la figura 2.112.

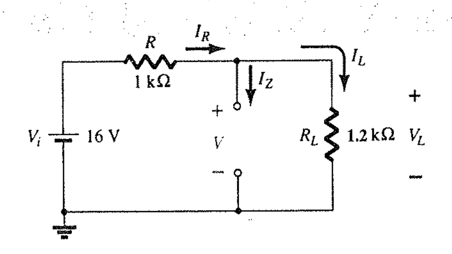


Figura 2.112 Determinación de V para el regulador de la figura 2.111.

Aplicando la ecuación (2.16) resulta

$$V = \frac{R_L V_i}{R + R_L} = \frac{1.2\text{ k}\Omega(16\text{ V})}{1\text{ k}\Omega + 1.2\text{ k}\Omega} = 8.73\text{ V}$$

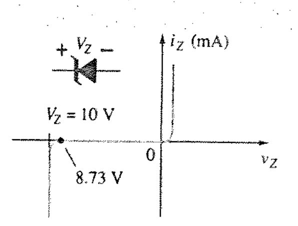


Figura 2.113 Punto de operación resultante para la red de la figura 2.111.

Dado que $V = 8.73$ V es menor que $V_Z = 10$ V, el diodo está en el estado "apagado" como lo muestran las características de la figura 2.113. Al sustituir el equivalente de circuito abierto dará como resultado la misma red de la figura 2.112, donde encontramos que:

$$V_L = V = \mathbf{8.73\ V}$$

$$V_R = V_i - V_L = 16\text{ V} - 8.73\text{ V} = \mathbf{7.27\ V}$$

$$I_Z = \mathbf{0\ A}$$

y

$$P_Z = V_Z I_Z = V_Z(0\text{ A}) = \mathbf{0\ W}$$

(b) Aplicando la ecuación (2.16) ahora resultará en:

$$V = \frac{R_L V_i}{R + R_L} = \frac{3\text{ k}\Omega(16\text{ V})}{1\text{ k}\Omega + 3\text{ k}\Omega} = 12\text{ V}$$

Dado que $V = 12$ V es mayor que $V_Z = 10$ V, el diodo está en estado "encendido" y resultará la red de la figura 2.114. Aplicando la ecuación (2.17) resulta:

$$V_L = V_Z = \mathbf{10\ V}$$

y

$$V_R = V_i - V_L = 16\text{ V} - 10\text{ V} = \mathbf{6\ V}$$

con

$$I_L = \frac{V_L}{R_L} = \frac{10\text{ V}}{3\text{ k}\Omega} = 3.33\text{ mA}$$

e

$$I_R = \frac{V_R}{R} = \frac{6\text{ V}}{1\text{ k}\Omega} = 6\text{ mA}$$

así que

$$I_Z = I_R - I_L\ [\text{Ecuación (2.18)}]$$

$$= 6\text{ mA} - 3.33\text{ mA}$$

$$= \mathbf{2.67\ mA}$$

Potencia disipada,

$$P_Z = V_Z I_Z = (10\text{ V})(2.67\text{ mA}) = \mathbf{26.7\ mW}$$

lo cual es menor que la especificación $P_{ZM} = 30$ mW.

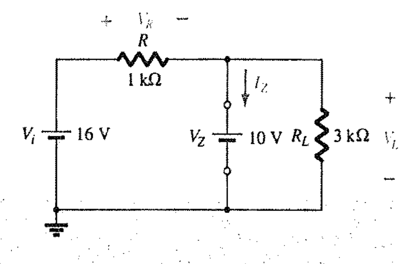


Figura 2.114 Red de la figura 2.111 en el estado "encendido".

V_i fija, R_L variable

Debido al voltaje V_Z, existe un rango específico de valores de resistencia (y por tanto de corriente de carga) que asegurará que el Zener se encuentre en el estado "encendido". Una resistencia de carga R_L demasiado pequeña ocasionará un voltaje V_L a través de la resistencia de carga menor que V_Z, y el dispositivo Zener estará en el estado "apagado".

Para determinar la resistencia mínima de carga de la figura 2.108 que encenderá el diodo Zener, simplemente se calcula el valor de R_L que ocasionará un voltaje de carga $V_L = V_Z$. Esto es,

$$V_L = V_Z = \frac{R_L V_i}{R_L + R}$$

Resolviendo para R_L, tenemos

$$\boxed{R_{L_{\text{mín}}} = \frac{R V_Z}{V_i - V_Z}} \qquad (2.20)$$

Cualquier valor de resistencia de carga mayor que R_L obtenido de la ecuación (2.20) asegurará que el diodo Zener se encuentre en el estado "encendido" y que el diodo se pueda reemplazar por su fuente V_Z equivalente.

La condición definida por la ecuación (2.20) establece la R_L mínima pero a cambio especifica la I_L máxima como

$$\boxed{I_{L_{\text{máx}}} = \frac{V_L}{R_L} = \frac{V_Z}{R_{L_{\text{mín}}}}} \qquad (2.21)$$

Una vez que el diodo se encuentra en el estado "encendido", el voltaje a través de R permanece fijo en

$$\boxed{V_R = V_i - V_Z} \qquad (2.22)$$

e I_R permanece fijo en

$$\boxed{I_R = \frac{V_R}{R}} \qquad (2.23)$$

La corriente Zener

$$\boxed{I_Z = I_R - I_L} \qquad (2.24)$$

dando como resultado un I_Z mínimo cuando I_L es un máximo y un I_Z máximo cuando I_L es un valor mínimo dado que I_R es constante.

Dado que I_Z está limitado a I_{ZM} como se proporciona en la hoja de datos, afectará el rango de R_L y por tanto I_L. Sustituyendo I_{ZM} por I_Z se establece la I_L mínima como

$$\boxed{I_{L_{\text{mín}}} = I_R - I_{ZM}} \qquad (2.25)$$

y la resistencia de carga máxima es

$$\boxed{R_{L_{\text{máx}}} = \frac{V_Z}{I_{L_{\text{mín}}}}} \qquad (2.26)$$

EJEMPLO 2.27

(a) Para la red de la figura 2.115, determine el rango de R_L y de I_L que ocasionan que V_{RL} se mantenga en 10 V.
(b) Determine el valor nominal máximo de la potencia en watts del diodo.

Solución

(a) Para determinar el valor de R_L que encenderá el diodo Zener, se aplica la ecuación (2.20):

$$R_{L_{\text{mín}}} = \frac{R V_Z}{V_i - V_Z} = \frac{(1\text{ k}\Omega)(10\text{ V})}{50\text{ V} - 10\text{ V}} = \frac{10\text{ k}\Omega}{40} = \mathbf{250\ \Omega}$$

Figura 2.115 Regulador de voltaje para el ejemplo 2.27.

El voltaje a través de la resistencia R está entonces determinado por la ecuación (2.22):

$$V_R = V_i - V_Z = 50 \text{ V} - 10 \text{ V} = \mathbf{40 \text{ V}}$$

y la ecuación (2.23) proporciona la magnitud de I_R:

$$I_R = \frac{V_R}{R} = \frac{40 \text{ V}}{1 \text{ k}\Omega} = \mathbf{40 \text{ mA}}$$

El nivel mínimo de I_L está determinado entonces por la ecuación (2.25):

$$I_{L_{mín}} = I_R - I_{ZM} = 40 \text{ mA} - 32 \text{ mA} = \mathbf{8 \text{ mA}}$$

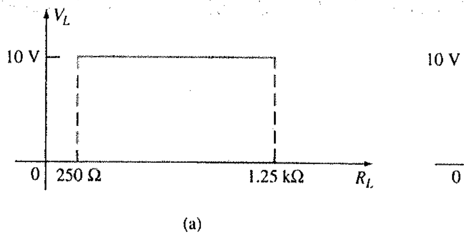
con la ecuación (2.26) se determina el valor máximo de R_L:

$$R_{L_{máx}} = \frac{V_Z}{I_{L_{mín}}} = \frac{10 \text{ V}}{8 \text{ mA}} = \mathbf{1.25 \text{ k}\Omega}$$

Una gráfica de V_L *en función de* R_L aparece en la figura 2.116a y una para V_L *en función de* I_L en la figura 2.116b.

(b) $P_{máx} = V_Z I_{ZM}$

$= (10 \text{ V})(32 \text{ mA}) = \mathbf{320 \text{ mW}}$



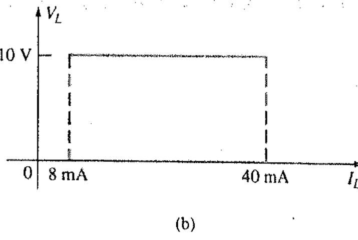


Figura 2.116 V_L *en función de* R_L e I_L para el regulador de la figura 2.115.

R_L fija y V_i variable

Para los valores fijos de R_L en la figura 2.108, el voltaje V_i debe ser suficientemente grande como para encender el diodo Zener. El voltaje mínimo de encendido $V_i = V_{i\,mín}$ se determina por

$$V_L = V_Z = \frac{R_L V_i}{R_L + R}$$

y

$$V_{i_{mín}} = \frac{(R_L + R)V_Z}{R_L} \tag{2.27}$$

El valor máximo de V_i está limitado por la corriente Zener máxima I_{ZM}. Dado que $I_{ZM} = I_R - I_L$,

$$I_{R_{máx}} = I_{ZM} + I_L \tag{2.28}$$

Dado que I_L está fija en V_Z/R_L e I_{ZM} es el valor máximo de I_Z, la V_i máxima se define por

$$V_{i_{máx}} = V_{R_{máx}} + V_Z$$

$$V_{i_{máx}} = I_{R_{máx}} R + V_Z \tag{2.29}$$

EJEMPLO 2.28

Determine el rango de valores de V_i que mantendrá el diodo Zener de la figura 2.117 en el estado "encendido".

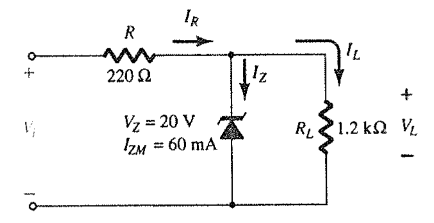


Figura 2.117 Regulador para el ejemplo 2.28.

Solución

Ecuación (2.27): $$V_{i_{mín}} = \frac{(R_L + R)V_Z}{R_L} = \frac{(1200\ \Omega + 220\ \Omega)(20 \text{ V})}{1200\ \Omega} = \mathbf{23.67 \text{ V}}$$

$$I_L = \frac{V_L}{R_L} = \frac{V_Z}{R_L} = \frac{20 \text{ V}}{1.2 \text{ k}\Omega} = 16.67 \text{ mA}$$

Ecuación (2.28): $$I_{R_{máx}} = I_{ZM} + I_L = 60 \text{ mA} + 16.67 \text{ mA} = 76.67 \text{ mA}$$

Ecuación (2.29): $$V_{i_{máx}} = I_{R_{máx}} R + V_Z = (76.67 \text{ mA})(0.22 \text{ k}\Omega) + 20 \text{ V} = 16.87 \text{ V} + 20 \text{ V} = \mathbf{36.87 \text{ V}}$$

En la figura 2.118 se proporciona una gráfica de V_L en función de V_i.

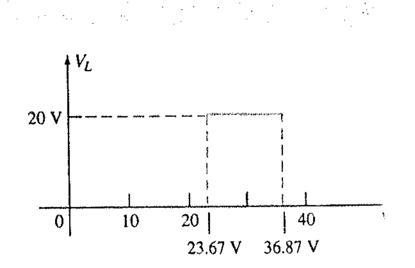


Figura 2.118 V_L *en función* de V_i para el regulador de la figura 2.117.

Los resultados del ejemplo 2.28 revelan que para la red de la figura 2.117 con una R_L fija, el voltaje de salida permanecería fijo en 20 V para un rango del voltaje de entrada que se extienda de 23.67 a 36.87 V.

De hecho, la entrada podría aparecer como se muestra en la figura 2.119 y la salida debería permanecer constante a 20 V, como lo demuestra la figura 2.118. La forma de onda que aparece en la figura 2.119 se obtiene al *filtrar* una salida de media onda o de onda completa rectificada; un proceso descrito a detalle en el siguiente capítulo. El efecto neto, sin embargo, es el establecimiento de un voltaje de dc estable (para un rango definido de V_i) tal como lo muestra la figura 2.118 de una fuente senoidal con un valor promedio de 0.

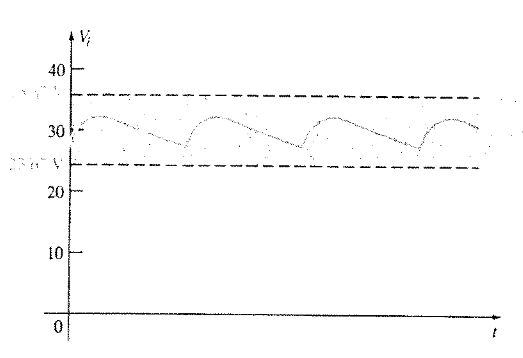


Figura 2.119 Forma de onda generada por una señal rectificada y filtrada.

2.12 CIRCUITOS MULTIPLICADORES DE VOLTAJE

Los circuitos multiplicadores de voltaje se emplean para mantener el voltaje pico de un transformador relativamente bajo, mientras se eleva el voltaje de salida pico hasta dos, tres, cuatro, o más veces el voltaje pico rectificado.

Doblador de voltaje

La red de la figura 2.120 es un doblador de voltaje de media onda. Durante el medio ciclo de voltaje positivo a través del transformador, el diodo del secundario D_1 conduce (y el diodo D_2 está en corte), mientras carga al capacitor C_1 hasta el voltaje pico rectificado (V_m). El diodo D_1 es idealmente un circuito cerrado, corto, durante este medio ciclo, y el voltaje de entrada carga al capacitor C_1 hasta V_m con la polaridad que se muestra en la figura 2.121a. Durante el medio ciclo negativo del voltaje secundario, el diodo D_1 está en corte y el diodo D_2 se encuentra conduciendo y cargando al capacitor C_2. Dado que el diodo D_2 actúa como un circuito cerrado durante el medio ciclo negativo (y el diodo D_1 está abierto), podemos sumar los voltajes alrededor de la malla exterior (ver figura 2.121b):

$$-V_m - V_{C_1} + V_{C_2} = 0$$

$$-V_m - V_m + V_{C_2} = 0$$

de la cual

$$V_{C_2} = 2V_m$$

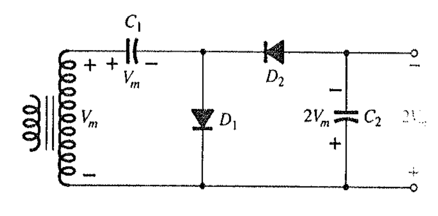
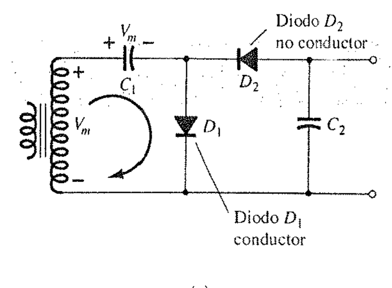


Figura 2.120 Doblador de voltaje de media onda.



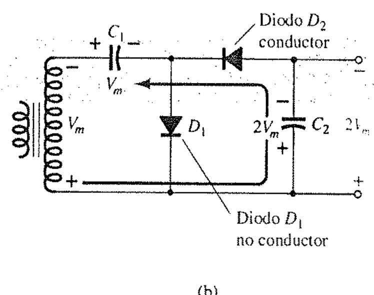


Figura 2.121 Operación doble, indicando cada medio ciclo de operación (a) medio ciclo positivo; (b) medio ciclo negativo.

En el siguiente medio ciclo positivo, el diodo D_2 no está conduciendo y el capacitor C_2 descargará a través de la carga. Si ninguna carga está conectada a través del capacitor C_2, ambos capacitores permanecerán cargados: C_1 a V_m y C_2 a $2V_m$. Si, como se pudiera esperar, hay una carga conectada a la salida del doblador de voltaje, el voltaje a través del capacitor C_2 caerá durante el medio ciclo positivo (a la entrada) y el capacitor se recargará hasta $2V_m$ durante el medio ciclo negativo. La forma de onda de salida a través del capacitor C_2 es la de una señal de media onda filtrada por un filtro capacitor. El voltaje de pico inverso a través de cada diodo es $2V_m$.

Otro circuito doblador es el doblador de onda completa de la figura 2.122. Durante el medio ciclo positivo del voltaje del secundario del transformador (ver figura 2.123a) el diodo D_1 conduce cargando al capacitor C_1 hasta un voltaje pico V_m. El diodo D_2 no está conduciendo en este momento.

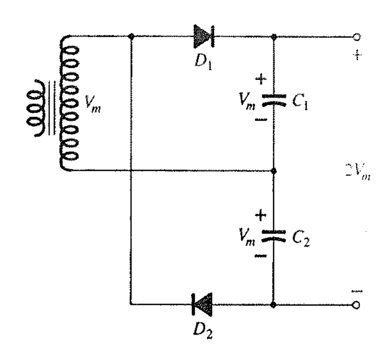


Figura 2.122 Doblador de voltaje de onda completa.

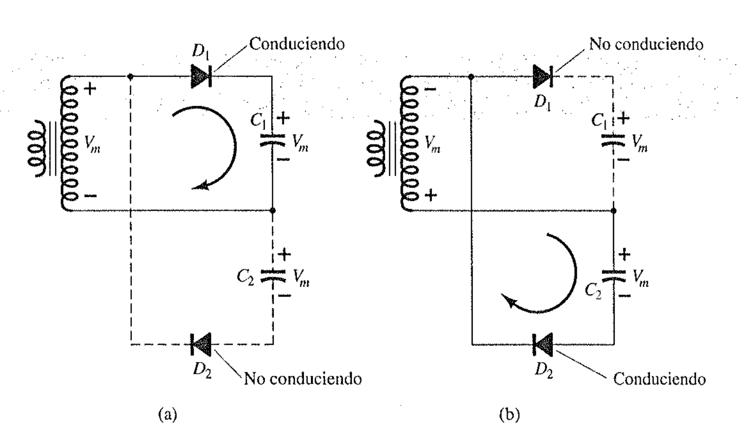


Figura 2.123 Medios ciclos alternos de operación para el doblador de voltaje de onda completa.

Durante el medio ciclo negativo (ver figura 2.123b) el diodo D_2 conduce, cargando al capacitor C_2, mientras que el diodo D_1 no está conduciendo. Si la carga no consume corriente del circuito, el voltaje a través de los capacitores C_1 y C_2 es de $2V_m$. Si la carga consume corriente del circuito, el voltaje a través de los capacitores C_1 y C_2 es el mismo que a través de un capacitor alimentado por un circuito rectificador de onda completa. Una diferencia es que la capacitancia efectiva será la de C_1 y C_2 en serie, que es menor a la capacitancia de C_1 y C_2 independientes. El valor menor del capacitor ofrecerá una acción de filtrado más pobre que el circuito de filtro con un solo capacitor.

El voltaje pico inverso a través de cada diodo es de $2V_m$ así como lo es para el circuito de filtro de capacitor. En resumen, los circuitos dobladores de voltaje de media onda o de onda completa proporcionan a su salida el doble del voltaje pico del transformador secundario, y no se requiere de un transformador con derivación central sino únicamente un valor nominal PIV de $2V_m$ para los diodos.

Triplicador y cuadriplicador de voltaje

La figura 2.124 muestra una extensión del doblador de voltaje de media onda, el cual desarrolla tres o cuatro veces el voltaje pico de entrada. Resultará obvio a partir del patrón de la conexión del circuito, la forma en que diodos y capacitores adicionales se pueden conectar de tal forma que el voltaje de salida puede ser de cinco, seis, siete, y así sucesivamente, veces el voltaje pico básico (V_m).

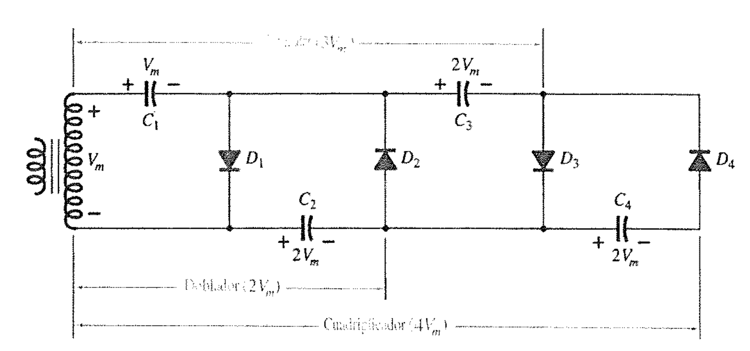


Figura 2.124 Triplicador y cuadriplicador de voltaje.

Durante la operación el capacitor C_1 se carga a través del diodo D_1 hasta un voltaje pico V_m durante el medio ciclo positivo del voltaje secundario del transformador. El capacitor C_2 se carga hasta el doble del voltaje pico $2V_m$ desarrollado por la suma de los voltajes a través del capacitor C_1 y del transformador, durante el medio ciclo negativo del voltaje secundario del transformador.

Durante el medio ciclo positivo, el diodo D_3 conduce y el voltaje a través del capacitor C_2 carga al capacitor C_3 al mismo voltaje pico de $2V_m$. En el medio ciclo negativo, los diodos D_2 y D_4 conducen con el capacitor C_3, cargando C_4 a $2V_m$.

El voltaje a través del capacitor C_2 es $2V_m$, a través de C_1 y C_3 es de $3V_m$, y a través de C_2 y C_4 es de $4V_m$. Si se utilizan secciones adicionales de diodo y de capacitor, cada capacitor estará cargado a $2V_m$. La medición desde la parte superior del devanado del transformador (figura 2.124) proporcionará múltiplos impares de V_m a la salida, mientras que la medición del voltaje de salida desde la parte inferior del transformador ofrecerá múltiplos pares del voltaje pico V_m.

El valor nominal del voltaje de salida del transformador es solamente V_m, a lo máximo, y cada diodo en el circuito debe tener un valor nominal de $2V_m$ PIV. Si la carga es pequeña y los capacitores tienen poca fuga, pueden desarrollarse voltajes de dc extremadamente altos mediante este tipo de circuito, utilizando muchas secciones con el fin de incrementar el voltaje de dc.

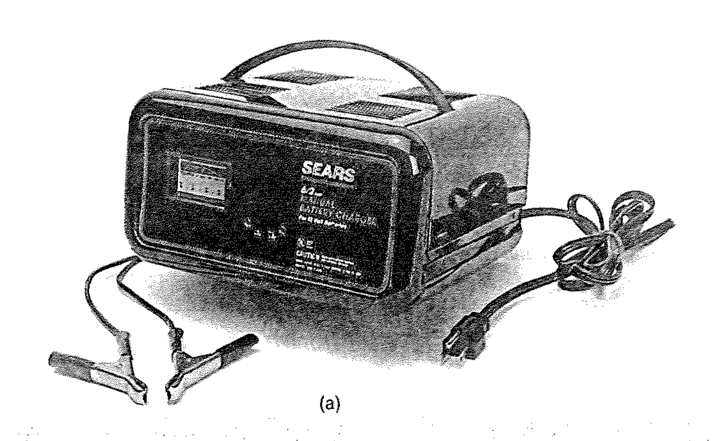
2.13 APLICACIONES PRÁCTICAS

La gama de aplicaciones prácticas para los diodos es tan amplia que sería virtualmente imposible considerar todas las opciones en una sección. Sin embargo, para desarrollar algún interés por el uso del dispositivo en redes cotidianas, se presentan algunas de las áreas más comunes de aplicación. En particular, observe que el uso de los diodos se extiende mucho más allá de la importante característica de conmutación que fue introducida anteriormente en este capítulo.

Rectificación

Los cargadores de batería son una parte de equipo doméstico común utilizado para cargar todo tipo de artículos desde baterías para linternas pequeñas hasta las baterías marinas de larga duración. Dado que todas ellas se conectan a una salida de ac de 120 V como las encontradas en el hogar, la construcción básica de cada una ellas es muy similar. En cualquier sistema de carga se debe incluir un *transformador* para reducir el voltaje de ac a un nivel apropiado para el nivel de dc que se requiere. Un arreglo de *diodos* (también llamado *rectificador*) debe incluirse para convertir el voltaje de ac, que varía con el tiempo a un nivel fijo de dc como el que se describió en este capítulo. Algunos cargadores de dc incluirán también un *regulador* para proporcionar un nivel de dc más adecuado (que varíe menos con el tiempo o la carga). Dado que el cargador de batería de un auto es uno de los más comunes, será descrito en los siguientes párrafos.

El aspecto externo y la construcción interna del Cargador de Batería Manual Sears 6/2 AMP se muestra en la figura 2.125. Observe que en la figura 2.125 el transformador (como en la mayoría de los cargadores) ocupa la mayor parte del espacio interno. El espacio libre adicional y los huecos en la cubierta son para asegurar la disipación del calor que se desarrollará debido a los niveles de corriente resultantes.



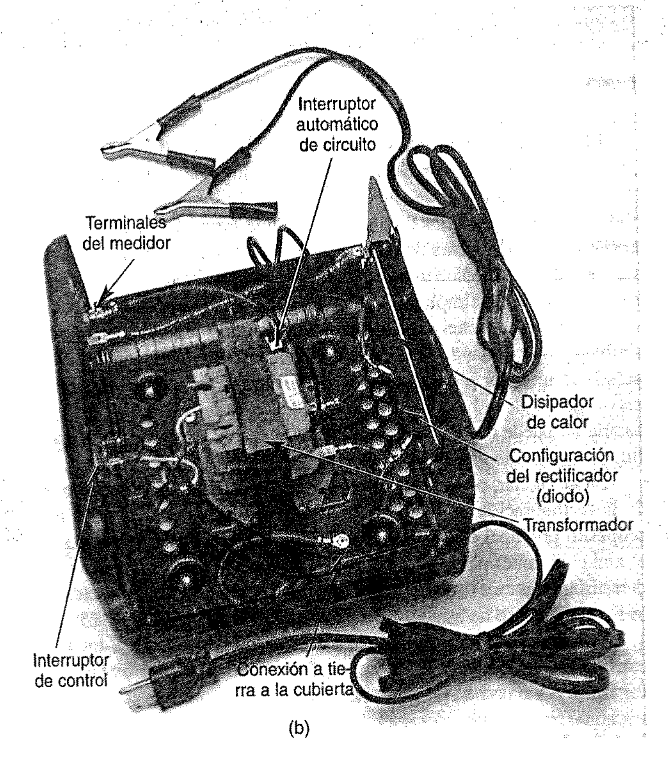


Figura 2.125 Cargador de batería: (a) aspecto externo; (b) construcción interna.

El esquema de la figura 2.126 incluye todos los componentes básicos del cargador. Observe primero que los 120 V del enchufe se aplican directamente a través del primario del transformador. Un valor de carga de 6 A o de 2 A se selecciona por medio de un interruptor, que simplemente controla cuántos devanados del primario habrá en el circuito para el valor de carga seleccionado. Si la batería se encuentra cargando al nivel de 2 A, el primario completo se conectará en el circuito y la relación de las vueltas en el primario a las vueltas del secundario será máxima. Si ésta se encuentra cargando al nivel 6 A, menos vueltas del primario se conectarán en el circuito, y la proporción caerá. Cuando se estudian los transformadores, se encuentra que el voltaje en el primario y en el secundario está relacionado directamente con la *relación de vueltas*. Si la proporción del primario al secundario se reduce, entonces el voltaje también. El efecto inverso ocurre si las vueltas en el secundario exceden a las del primario.

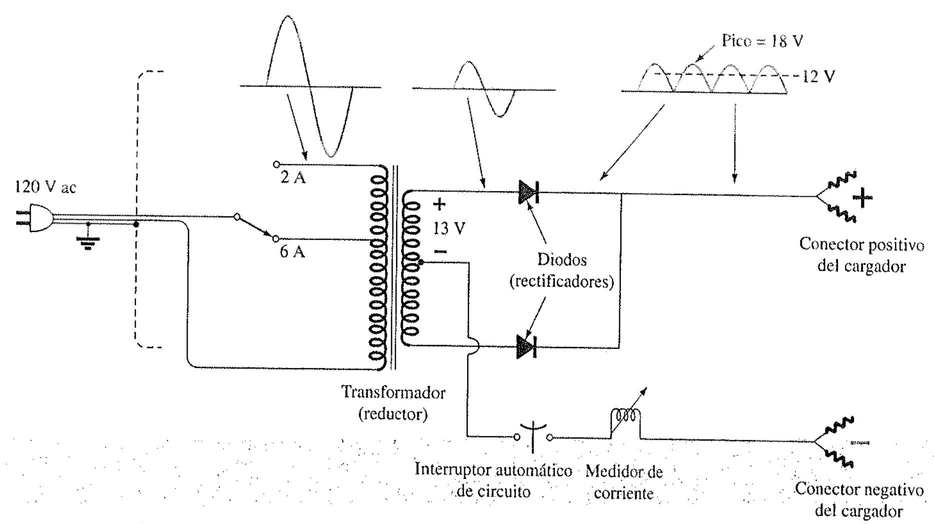


Figura 2.126 Esquema eléctrico del cargador de baterías de la figura 2.125.

El aspecto general de las formas de onda se muestran en la figura 2.126 para el nivel de carga de 6 A. Observe que hasta ahora el voltaje de ac mantiene la misma forma de onda a través del primario y el secundario. La única diferencia está en el valor pico de las formas en onda. A continuación, los diodos convierten la forma de onda de ac, la cual tiene un valor promedio de cero (la forma de onda superior es igual a la forma de onda inferior), a una que posee un valor promedio (todo sobre el eje) como lo muestra la misma figura. Por el momento hay que reconocer simplemente que los diodos son dispositivos electrónicos que permiten que sólo corriente convencional fluya a través de ellos en la dirección indicada por la flecha en el símbolo. Aunque las formas de onda resultantes de la acción del diodo tienen un aspecto de pulso con un valor pico de cerca de 18 V, éste cargará la batería de 12 V mientras su voltaje sea mayor que el de la batería, como lo muestra el área sombreada. Por debajo del nivel de 12 V la batería no puede descargarse a través de la red de carga debido a que los diodos permiten el flujo de corriente en una sola dirección.

En particular, observe en la figura 2.215b la gran placa metálica que conduce la corriente de la configuración de rectificación (diodos) a la terminal positiva de carga de la batería. Su propósito principal es proporcionar un *disipador de calor* (concentra el calor y lo disipa hacia el aire circulante) para la configuración de diodos. De otra forma los diodos eventualmente se derretirían y autodestruirían debido a los niveles de corriente resultantes. Cada componente de la figura 2.126 se ha etiquetado cuidadosamente en la figura 2.125b para referencia.

Cuando primeramente se aplica corriente a una batería a una carga nominal de 6 A, el consumo de corriente como lo indica el medidor en la parte frontal del cargador se puede elevar hasta 7 A o casi 8 A. Sin embargo, el nivel de corriente se reducirá a medida que la batería se cargue hasta llegar a un nivel de 2 A o de 3 A. Para unidades como ésta que no cuentan con un apagador automático, es importante desconectar el cargador cuando se llega al nivel de carga completo; de otra forma, la batería se podría sobrecargar y dañar. Una batería que se encuentra en un nivel de carga de 50% puede tomar hasta 10 horas para cargarse, así que no espere que sea una operación de 10 minutos. Además, si la batería se encuentra en muy malas condiciones presentando un voltaje más bajo que el normal, la corriente inicial de carga podría ser demasiado alta para el diseño. Como protección para tales situaciones, el interruptor automático de circuito se abrirá y detendrá el proceso de carga. Debido a los altos niveles de corriente, es importante que las instrucciones proporcionadas con el cargador se lean y apliquen cuidadosamente.

En un esfuerzo por comparar el mundo teórico con el mundo real, se aplicó una carga (un reflector) al cargador para poder observar la forma de onda real del voltaje de salida. Es importante observar y recordar que **un diodo a través del cual no circula corriente no mostrará sus capacidades rectificadoras.** En otras palabras, la salida del cargador de la figura 2.125 no será una señal rectificada a menos que se aplique una carga al sistema, para que circule una corriente a través de los diodos. Recordar de las características del diodo que cuando $I_D = 0$ A, $V_D = 0$ V.

Sin embargo, al aplicar el reflector como una carga, una corriente suficiente circula a través del diodo, para que se comporte como un interruptor y convierta a la forma de onda de ac a una de dc pulsante como se muestra en la figura 2.127 para la opción de 6 A. Observe que la forma de onda está ligeramente distorsionada por las características no lineales del transformador y por las características no lineales que presenta el diodo a corrientes bajas. La forma de onda, sin embargo, está cercana a lo que se espera cuando la comparamos con los patrones teóricos de la figura 2.125. El valor pico se determina a partir de la sensibilidad vertical como

$$V_{\text{pico}} = (3.3 \text{ divisiones})(5 \text{ V/divisiones}) = 16.5 \text{ V}$$

con un nivel de dc de

$$V_{\text{dc}} = 0.636V_{\text{pico}} = 0.636(16.5 \text{ V}) = 10.49 \text{ V}$$

Un medidor de dc conectado a través de la carga registra 10.41 V, lo que es muy cercano al nivel promedio teórico (dc) de 10.49 V.

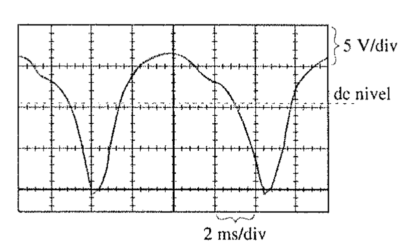


Figura 2.127 Respuesta pulso del cargador de la figura 2.126 ante la aplicación de un reflector como una carga.

Se puede especular a cerca de cómo un cargador que tiene un nivel de dc de 10.49 V puede cargar una batería de 12 V a un nivel típico de 14 V. Es simplemente cuestión de darse cuenta de que (como lo muestra la figura 2.127) durante la mayor parte de cada pulso, el voltaje a través de la batería será mayor que 12 V y que la batería estará cargando —un proceso llamado **carga lenta.** En otras palabras, la carga no ocurre durante el ciclo completo, sólo cuando el voltaje de carga es mayor que el voltaje de la batería.

Configuraciones para protección

Los diodos se usan en una gran variedad de formas para proteger elementos y sistemas de voltajes o corrientes excesivos, inversiones de polaridad, formaciones de arco y cortos circuitos, por mencionar algunos. En la figura 2.128a, el interruptor de un circuito simple *R-L* se ha cerrado, y la corriente se elevará a un nivel determinado por el voltaje aplicado y por la resistencia en serie *R* como lo muestra la gráfica. Los problemas pueden surgir cuando el interruptor se abre rápidamente como en la figura 2.128b para "decir" esencialmente al circuito que la corriente debe caer a cero casi instantáneamente. Sin embargo, usted recordará de sus cursos básicos de circui-

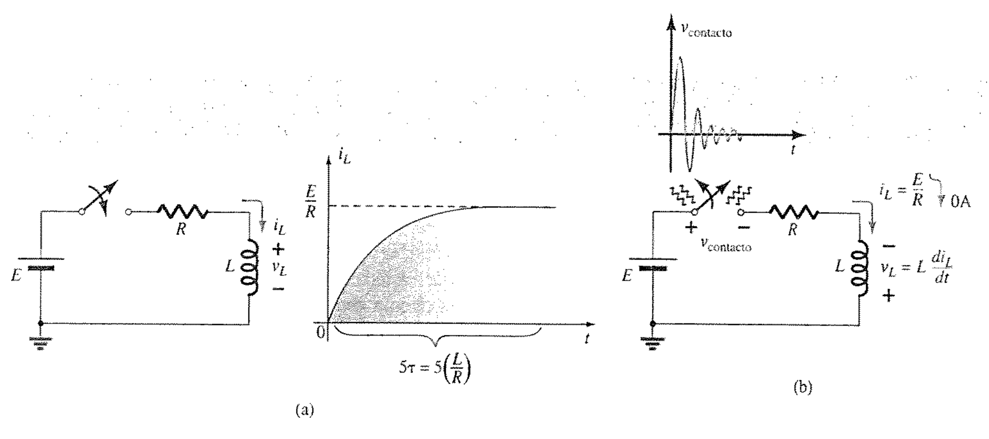


Figura 2.128 (a) Fase transitoria de un circuito *R-L* simple, (b) arco que resulta a través del interruptor cuando está abierto en serie con un circuito *R-L*.

tos que la bobina, el inductor, no permitirá un cambio instantáneo en la corriente. Por lo tanto, resultará un conflicto en la forma de un arco a través de los contactos del interruptor cuando la bobina trata de encontrar una trayectoria de descarga. También recuerde que el voltaje a través del inductor está directamente relacionado a la tasa de cambio en la corriente a través del devanado ($v_L = L\ di_L/dt$). Cuando el interruptor se abre trata de hacer que la corriente cambie casi instantáneamente, causando que se desarrolle un voltaje muy alto a través de la bobina que después aparecerá a través de los contactos para establecer el arco. Ya que se pueden desarrollar niveles de voltaje en magnitudes de millares de volts a través de los contactos del interruptor, estos serán muy pronto, si no inmediatamente, dañados y por lo tanto también el interruptor. El efecto se conoce como "impulso inductivo". Observe también que la polaridad del voltaje a través de la bobina durante la fase de "construcción" es opuesta a la que existe durante la fase de "liberación". Esto se debe al hecho de que la corriente debe mantener la misma dirección antes y después de que el interruptor se abre. Durante la fase de "construcción", la bobina aparece como una carga, mientras que durante la fase de liberación, ésta tiene las características de una fuente. En general, por lo tanto, siempre hay que tener en mente que

tratar de cambiar la corriente a través de un elemento inductivo demasiado rápido puede dar como resultado un impulso inductivo y esto puede dañar a los elementos circundantes o al sistema mismo.

En la figura 2.129a la red simple anterior puede estar controlando la acción de un relevador. Cuando el interruptor se cierra, la bobina se energizará, y el nivel de corriente en estado de equilibrio se establecerá. Sin embargo, cuando el interruptor se abre para apagar la red, tenemos el problema que se presentó anteriormente debido a que el electromagneto que controla la acción del relevador aparecerá como un devanado para la red. Una de las formas más económicas pero más efectivas de proteger el sistema de interrupción es la de colocar un capacitor (llamado "amortiguador") a través de las terminales de la bobina. Cuando el interruptor se abre, el capacitor inicialmente aparecerá como un corto para la bobina y proporciona una trayectoria de "desvío" para la corriente de la bobina, la fuente de dc y el interruptor. El capacitor tiene las características de un corto (muy baja resistencia) debido a las características de alta frecuencia del voltaje de sobrecarga como lo muestra la figura 2.128b. Recuerde que la reactancia de un capacitor se determina por $X_C = 1/2\ \pi fC$, de forma que entre mayor es la frecuencia, menor es la resistencia. Normalmente, debido a los altos voltajes de sobrecarga y a su relativo bajo costo, se utilizan los capacitores de cerámica de cerca de 0.01 μF. Usted no deseará utilizar grandes capacitores debido a que el voltaje a través del capacitor se acumularía muy lentamente y retrasaría esencialmente el desempeño del sistema. La resistencia de 100 Ω en serie con el capacitor se introduce solamente para limitar la corriente de sobrecarga que resulta cuando un cambio de estado la demanda. Muchas veces, la resistencia no aparece debido a la resistencia interna de la bobina que se establece mediante muchas vueltas de alambre fino. En ocasiones, usted puede encontrar el capacitor a través del interruptor como se muestra en la figura 2.129c. En este caso, las características de corto del capacitor a altas frecuencias librarán de la corriente a los contactos del interruptor lo que extenderá su vida. Recuerde que el voltaje a través del capacitor no puede cambiar instantáneamente.

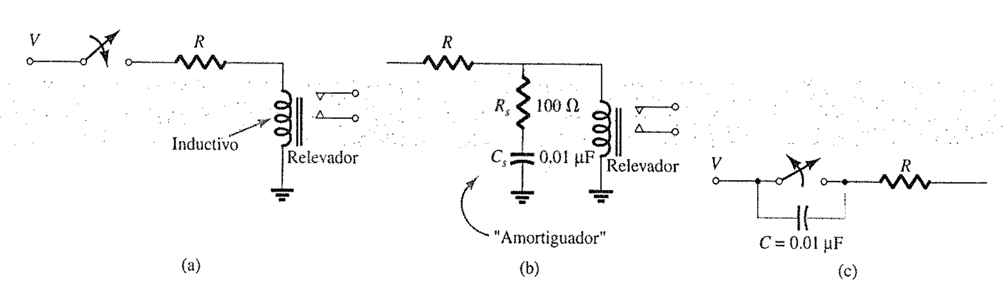


Figura 2.129 (a) Características inductivas de un relevador; (b) protección de amortiguador para la configuración de la figura 2.129 a; (c) protección capacitiva para un interruptor.

En general, por tanto, **los capacitores en paralelo con elementos inductivos o a través de interruptores están generalmente ahí para actuar como elementos de protección, no como unos elementos capacitivos típicos de red.**

Finalmente, el diodo se usa muchas veces como un dispositivo de protección para situaciones como las anteriores. En la figura 2.130, un diodo se ha colocado en paralelo con el elemento inductivo de un relevador. Cuando el interruptor se abre o la fuente de voltaje se desacopla rápidamente, la polaridad del voltaje a través de la bobina es tal que encenderá el diodo y conducirá en la dirección indicada. El inductor tiene ahora un camino de conducción a través del diodo en lugar de a través de la fuente y del interruptor, protegiendo por tanto a ambos. Dado que la corriente que se estableció a través de la bobina ahora debe circular directamente a través del diodo, éste debe ser capaz de soportar **el mismo nivel de corriente** que circulaba a través de la bobina antes de que el interruptor se abriera. El ritmo al cual la corriente se colapsa la controlarán la resistencia de la bobina y el diodo. Éste puede reducirse si se coloca una resistencia adicional con el diodo. La ventaja de la configuración del diodo sobre la del amortiguador es que la reacción y el comportamiento del diodo no son dependientes de la frecuencia. Sin embargo, la protección ofrecida por el diodo no funcionará si el voltaje aplicado es alterno como el caso de ac o el de una onda cuadrada, debido a que el diodo sólo conducirá para una de las polaridades aplicadas. Para tales sistemas alternantes, el arreglo del "amortiguador" podría ser la mejor opción.

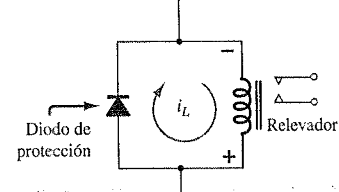


Figura 2.130 Protección por diodo para un circuito *R-L*.

En el capítulo siguiente encontraremos que la unión base-a-emisor de un transistor está polarizada directamente. Esto es, el voltaje V_{BE} de la figura 2.131a será de cerca de 0.7 V positivo. Para prevenir una situación en la que la terminal del emisor pudiera hacerse más positiva que la terminal de la base por un voltaje que podría dañar al transistor, se añade el diodo mostrado en la figura 2.131a. El diodo evitará que el voltaje de polarización inverso V_{EB} exceda a 0.7 V. Ocasionalmente, usted podrá encontrar también un diodo en serie con la terminal del colector de un transistor como lo muestra la figura 2.131b. La acción normal del tran-

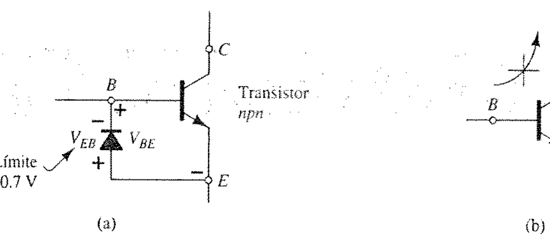


Figura 2.131 (a) Protección por diodo para limitar el voltaje de emisor-a-base de un transistor; (b) protección por diodo para prevenir una inversión de la corriente colectora.

sistor requiere que el colector sea más positivo que la terminal de la base o del emisor para poder establecer una corriente de colector en la dirección mostrada. Sin embargo, si se presenta una situación donde la terminal del emisor o de la base se encuentren a un potencial mayor que el de la terminal del colector, el diodo evitará la conducción en la dirección opuesta. En general, por tanto,

los diodos se utilizan muchas veces para evitar que el voltaje entre dos puntos exceda a 0.7 V o para impedir la conducción en una dirección en particular.

Como se muestra en la figura 2.132, los diodos son frecuentemente utilizados en las terminales de entrada de sistemas tales como amplificadores operacionales (capítulo 14) para limitar la amplitud del voltaje aplicado. Para el nivel de 400 mV la señal pasará sin problema a las terminales de entrada del amplificador operacional. Sin embargo, si el voltaje salta a un nivel de 1 V, los picos positivos y negativos serán recortados antes de que se presenten en las terminales de entrada del amplificador operacional. Cualquier voltaje recortado se presentará a través de la resistencia en serie R_1.

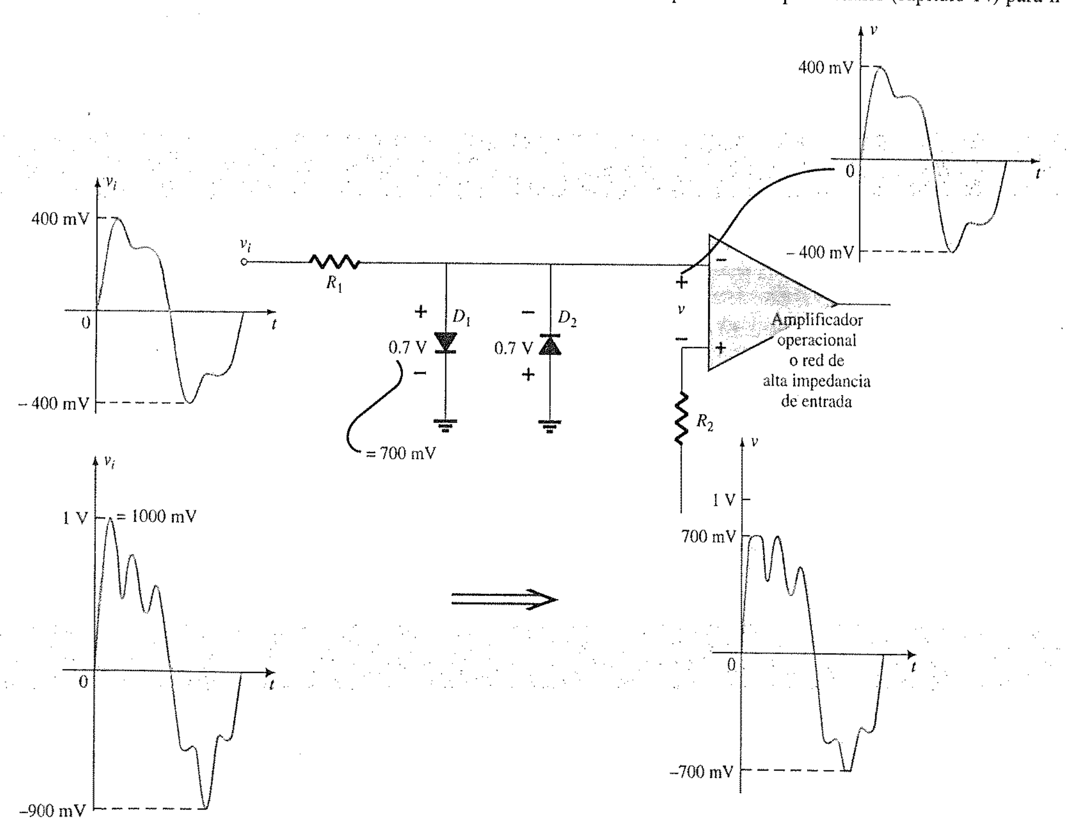


Figura 2.132 Control por diodo de la amplitud de entrada para un amplificador operacional o para una red de alta impedancia de entrada.

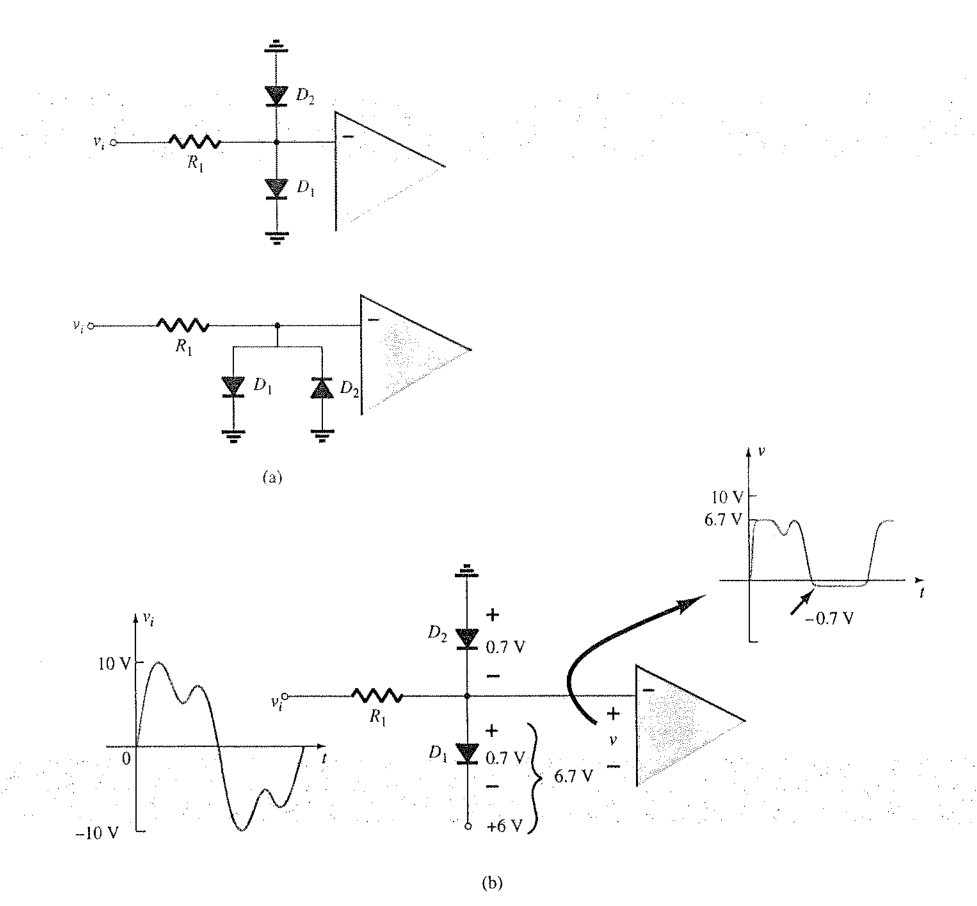


Figura 2.133 (a) Aspectos alternativos para la red de la figura 2.132; (b) fijación de niveles aleatorios de control por medio de fuentes de dc separadas.

Los diodos para control de la figura 2.132 se pueden dibujar también como lo muestra la figura 2.133 para controlar la señal que aparece en las terminales de entrada del amplificador operacional. En este ejemplo los diodos actúan más como elementos conformadores que como limitadores como lo muestra la figura 2.132. Sin embargo, el punto es que

la colocación de los elementos puede cambiar, pero su función puede seguir siendo la misma. No espere que todas las redes se presenten exactamente como usted las estudió por primera vez.

En general, por tanto, no asuma simplemente que siempre los diodos se utilizan como interruptores. Existe una amplia variedad de usos para el diodo ya sea como dispositivo de protección o como limitador.

Aseguramiento de polaridad

Existen numerosos sistemas que son muy sensibles a la polaridad del voltaje aplicado. Por ejemplo, en la figura 2.134a, se asume por el momento que existe un pieza de equipo muy

cara que podría dañarse si se aplica una polaridad incorrecta. En la figura 2.34b se muestra la aplicación correcta de la polaridad a la izquierda. Como resultado de esto, el diodo está en polaridad inversa, y el sistema trabaja bien —el diodo no tiene efecto. Sin embargo, si la polaridad incorrecta se aplica como se muestra en la figura 2.134c, el diodo conducirá y asegurará que no se presentarán más de 0.7 V a través de las terminales del sistema— protegiéndolo de los voltajes excesivos de una polaridad incorrecta. Para cualquier polaridad, la diferencia entre el voltaje aplicado y el voltaje de la carga o del diodo, aparecerá a través de la fuente en serie o de la resistencia de la red.

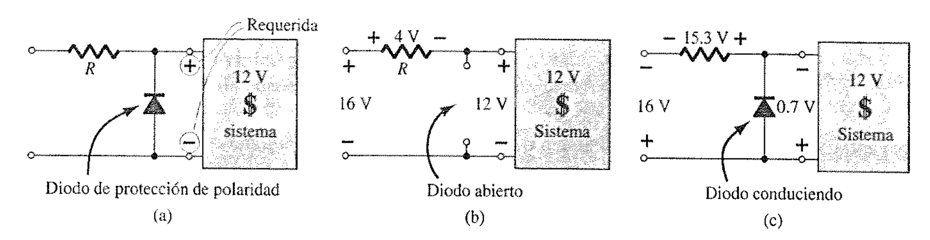


Figura 2.134 (a) Protección de polaridad para una pieza de equipo sensible y cara; (b) polaridad correctamente aplicada; (c) aplicación de la polaridad incorrecta.

En la figura 2.135 un medidor sensible de movimiento no puede soportar voltajes de polaridad errónea mayores a 1 V. Con este simple diseño el dispositivo sensible de movimiento está protegido de los voltajes en polaridad errónea de más de 0.7 V.

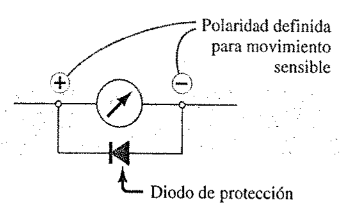


Figura 2.135 Protección para un medidor sensible de movimiento.

Respaldo de baterías controlado

En numerosas situaciones un sistema debe tener una fuente de alimentación de respaldo para asegurar que el sistema seguirá operando en caso de pérdida de potencia. Esto es especialmente cierto para sistemas de seguridad y sistemas de iluminación que deben encenderse durante una falla del suministro. Es también importante para cuando un sistema como una computadora o un radio se desconectan de su fuente de conversión de potencia de ac-a-dc para lograr una forma portátil. En la figura 2.136 el radio de automóvil de 12 V que opera a partir de la fuente de alimentación de 12 V, tiene un sistema de respaldo con una batería de 9 V en un pequeño compartimiento en la parte trasera de la radio, listo para tomar la función de guardar el modo del reloj y los canales almacenados en las memorias cuando el radio se retira del carro. Con los 12 V disponibles del carro, D_1 se encuentra conduciendo, y el voltaje en el radio será aproximadamente de 11.3 V. D_2 está en polaridad inversa (circuito abierto), y la batería de respaldo de 9-V dentro del radio está desconectada. Sin embargo, cuando el radio se

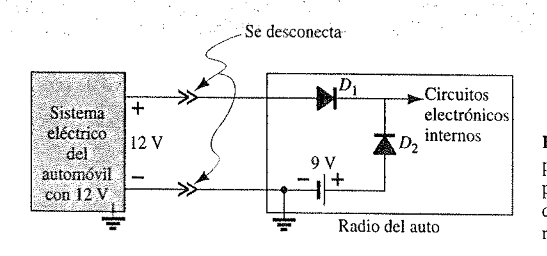


Figura 2.136 Sistema de respaldo diseñado para prevenir la pérdida de memoria en un radio de automóvil cuando el radio se retira del auto.

retira del carro, D_1 ya no conducirá más, debido a que la fuente de 12 V ya no está disponible para polarizar directamente al diodo. No obstante, D_2 se encontrará polarizado directamente por la batería de 9 V, y el radio continuará recibiendo cerca de 8.3 V para mantener la memoria que almacena los modos del reloj y la selección de canales.

Detector de polaridad

A través del uso de LEDs de diferentes colores, la red sencilla de la figura 2.137 puede utilizarse para verificar la polaridad en cualquier punto de una red de dc. Cuando la polaridad es como la indicada para los 6 V aplicados, la terminal superior es positiva, D_1 conducirá a través del LED1, y encenderá una luz verde. Tanto D_2 como el LED2 se encontrarán en polarización inversa para la polaridad anterior. Sin embargo, si la polaridad en la entrada se invierte, D_2 y el LED2 conducirán y encenderá una luz roja, definiendo a la terminal superior como la terminal con el potencial negativo. Parecería que la red trabajaría sin los diodos D_1 y D_2. Sin embargo, por lo general, no es bueno polarizar en forma inversa a los LEDs debido a la sensibilidad que adquieren en su fabricación durante el proceso de dopado. Los diodos D_1 y D_2 ofrecen una condición de circuito abierto en serie que proporciona cierta protección a los LEDs. En el estado de polarización directa, los diodos adicionales D_1 y D_2 reducen el voltaje a través de los LEDs hasta niveles de operación más comunes.

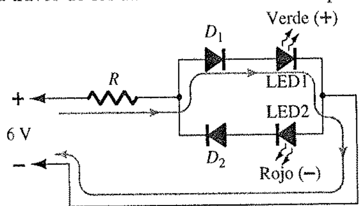


Figura 2.137 Detector de polaridad mediante diodos y LEDs.

Oferta de larga vida y durabilidad

Algunas de las principales preocupaciones con el uso de bombillas de luz eléctricas en las señales de salida son su vida limitada (requiriendo reemplazo frecuentemente); su sensibilidad al calor, fuego, etcétera; su factor de durabilidad cuando ocurren accidentes catastróficos, y su alta demanda de voltaje y potencia. Por esta razón, los LEDs son muchas veces utilizados para proporcionar un periodo de vida más largo, niveles de durabilidad más altos y una demanda de niveles de voltaje y de potencia más baja (especialmente cuando se utiliza el sistema de respaldo de dc de baterías).

En la figura 2.138 una red de control determina cuando una señal de EXIT (señal en inglés para indicar la salida) deberá encenderse. Cuando se encuentra encendida, todos los LEDs en serie estarán encendidos, y el aviso de EXIT estará completamente iluminado. Obviamente, si uno de los LEDs se funde o se rompe, la sección completa se apagará. Sin embargo, esta situación puede mejorarse mediante la simple colocación de LEDs en paralelo entre cada dos puntos. Si se funde uno, aún se tendrá la otra ruta paralela. Los diodos en paralelo reducirán, por supuesto, la corriente a través de cada LED, pero dos a un nivel bajo de corriente pueden tener una lu-

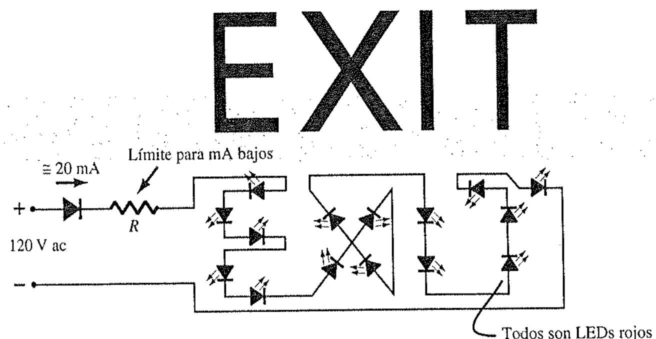


Figura 2.138 Letrero de EXIT (SALIDA) utilizando LEDs.

miniscencia similar a la de uno al doble de corriente. A pesar de que el voltaje aplicado es de ac, lo que significa que los diodos encenderán y apagarán al oscilar el voltaje a 60 Hz entre positivo y negativo, la persistencia de los LEDs proporcionará una luz estable para la señal.

Fijación de los niveles de voltaje de referencia

Los diodos y los Zeners se pueden utilizar para fijar niveles de referencia como se muestra en la figura 2.139. La red, a través del uso de dos diodos y un diodo Zener, esta proporcionando tres diferentes niveles de voltaje.

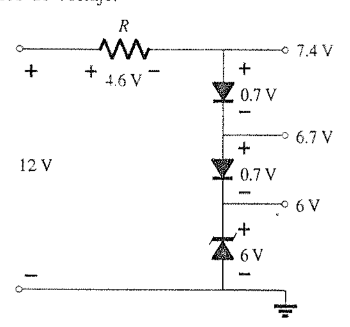


Figura 2.139 Suministro de diferentes niveles de referencia utilizando diodos.

Establecimiento de un nivel de voltaje insensible a la corriente de carga

Como un ejemplo que claramente muestre la diferencia entre una resistencia y un diodo en una red de divisor de voltaje, considere la situación de la figura 2.140a, donde una carga requiere cerca de 6 V para operar apropiadamente, pero una batería de 9 V es todo lo que tenemos disponible. Por el momento asumiremos que las condiciones de operación son tales que la carga tiene una resistencia interna de 1 kΩ. Utilizando la regla del divisor de voltaje, podemos fácilmente determinar que la resistencia en serie debe ser de 470 Ω (valor comercialmente disponible) como se muestra en la figura 2.140b. El resultado es un voltaje a través de la carga de 6.1 V, una situación aceptable para la mayoría de las cargas de 6 V. Sin embargo, si las condiciones de operación de la carga cambian y la carga ahora tiene una resistencia interna de sólo 600 Ω, el voltaje de carga caerá a cerca de 4.9 V, y el sistema no operará correctamente. Esta sensibilidad a la resistencia de la carga puede eliminarse conectando cuatro diodos en serie con la carga como se muestra en la figura 2.140c. Cuando los cuatro diodos conducen, el voltaje de la carga será de cerca de 6.2 V, independientemente de la impedancia de carga (dentro de los límites del dispositivo, por supuesto); la sensitividad a las características de la carga cambiante ha sido eliminada.

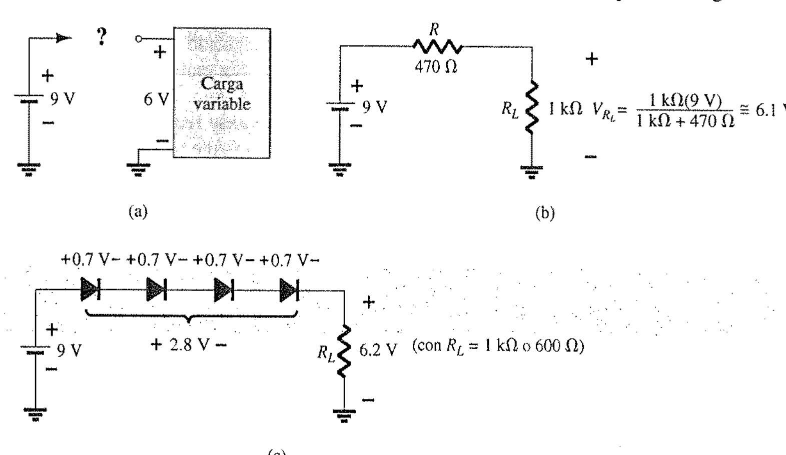


Figura 2.140 (a) ¿Cómo manejar una carga de 6 V con una fuente de 9 V?; (b) mediante un valor de resistencias fijas; (c) mediante una combinación de diodos en serie.

Regulador de AC y Generador de Ondas Cuadradas

Dos Zeners conectados con polaridades opuestas, respecto al voltaje de alimentación, pueden también usarse como un regulador de ac como se muestra en la figura 2.141a. Para la señal senoidal v_i el circuito aparecerá como muestra la figura 2.141b en el instante en que v_i = 10 V. La región de operación de cada diodo se indica en la figura adjunta. Observe que Z_I se encuentra en una región de impedancia baja, mientras que la impedancia de Z_2 es muy grande, correspondiendo con la representación de circuito abierto. El resultado es que $v_o = v_i$ cuando v_i = 10 V. La entrada y la salida se continuará "siguiendo" hasta que v_i alcanza −20 V. Z_2 entonces se "encenderá" (como un diodo Zener), mientras que Z_1 se encontrará en una región de conducción con un nivel de resistencia suficientemente pequeño, comparado con la resistencia en serie de 5 kΩ, como para ser considerado un circuito cerrado. La salida resultante para el rango completo de v_i se proporciona en la figura 2.141a. Observe que la forma de onda no es puramente senoidal, pero su valor rms es menor que el asociado con una señal de pico completa de 22 V. La red efectivamente limita el valor rms del voltaje disponible. La red de la figura 2.141a puede extenderse hacia la de un simple generador de ondas cuadradas (debido a la acción recortadora) si la señal v_i se incrementara a quizá un pico de 50 V con Zeners de 10 V como lo muestra la figura 2.142 con la forma de onda resultante.

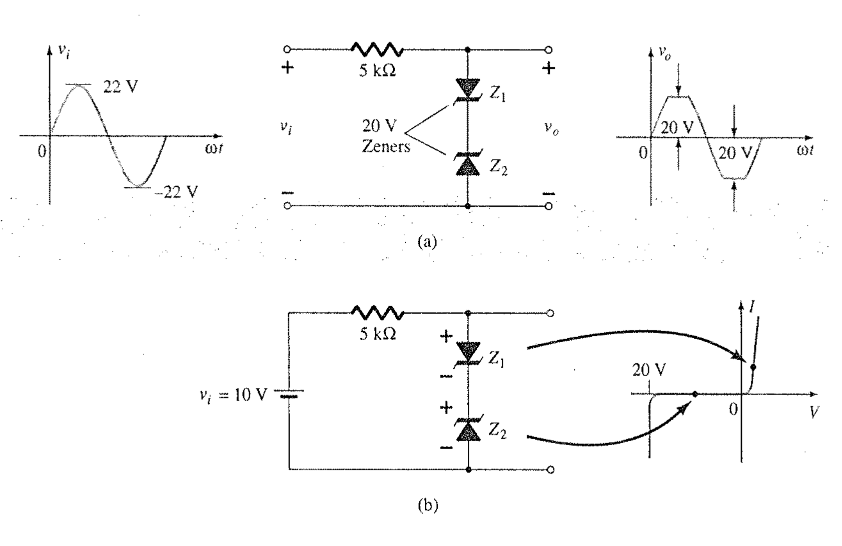


Figura 2.141 Regulación senoidal de ac: (a) regulador de ac senoidal de 40 V pico a pico; (b) operación del circuito cuando v_i = 10 V.

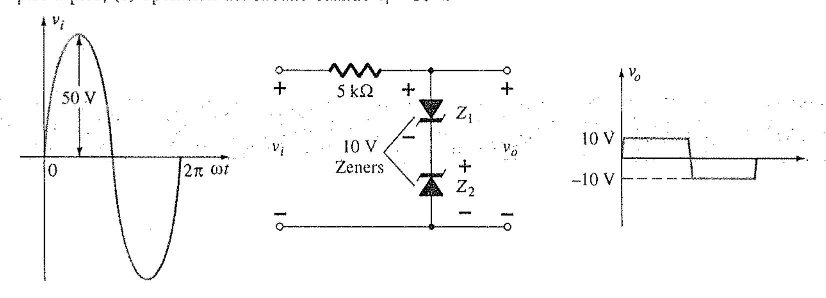


Figura 2.142 Generador simple de ondas cuadradas.

2.14 RESUMEN

Conclusiones y conceptos importantes

1. Las características de un dispositivo **no son alteradas** por la red en la que éste se emplea. La red simplemente determina el punto de operación del dispositivo.
2. El punto de operación de una red se determina por la **intersección** de la ecuación de la red y de una ecuación que define las características del dispositivo.
3. Para la mayoría de las aplicaciones, las características del diodo pueden definirse simplemente por el **voltaje de umbral en la región de polarización directa** y por un circuito abierto para voltajes aplicados menores que el valor del umbral.
4. Para determinar el estado de un diodo sólo **piense en él inicialmente como una resistencia,** y encuentre la polaridad del voltaje y la dirección de la corriente convencional a través de él. Si el voltaje que se le aplica tiene una polaridad directa y la **corriente tiene una dirección que coincide con la flecha en el símbolo,** el diodo se encuentra conduciendo.
5. Para determinar el estado de los diodos empleados en una compuerta lógica, primero haga una **estimación razonable** acerca del estado de los diodos y después **pruebe sus suposiciones.** Si su estimación es incorrecta, refínela e intente nuevamente hasta que el análisis verifique las conclusiones.
6. La rectificación es un proceso en donde una forma de onda aplicada que cuenta con un **valor promedio cero** es cambiada a una que **tiene un nivel de dc.** Para señales aplicadas de más de algunos volts, la aproximación del diodo ideal puede ser normalmente aplicada.
7. Es muy importante respetar el valor nominal PIV del diodo que se selecciona para una aplicación en particular. Simplemente determine **el voltaje máximo** a través del diodo bajo **condiciones de polarización directa,** y compárelo con el valor nominal de las características. Para la media onda típica y para los rectificadores tipo puente de onda completa, éste es el valor pico de la señal aplicada. Para el rectificador de onda completa que utiliza un transformador con derivación central, CT, éste es el doble del valor pico (el cual puede llegar a ser muy alto).
8. Los recortadores son redes que **"recortan"** parte de la señal aplicada ya sea para crear un tipo específico de señal o para limitar el voltaje que puede ser aplicado a una red.
9. Los cambiadores de nivel son redes que **"cambian"** la señal de entrada a un nivel diferente de dc. En cualquier caso, la amplitud "pico a pico" de la señal aplicada permanecerá siendo la misma.
10. Los diodos Zener son diodos que hacen uso eficaz del **potencial de ruptura Zener** de la característica de una unión ordinaria *p-n* con el objetivo de proporcionar un dispositivo de gran importancia y aplicación. Para la conducción Zener, la dirección del flujo convencional es **opuesta a la flecha en el símbolo.** La polaridad bajo la conducción es también **opuesta a la del diodo convencional.**
11. Para determinar el estado del diodo Zener en una red de dc, simplemente elimine el Zener de la red, y determine el **voltaje de circuito abierto** entre los dos puntos donde el diodo Zener se encontraba conectado originalmente. Si éste **es mayor que el potencial Zener** y tiene la polaridad correcta, el diodo Zener se encuentra en el estado de "encendido".
12. Un duplicador de voltaje de onda completa o de media onda emplea dos capacitores; un triplicador, tres capacitores, y un cuadruplicador, cuatro capacitores. De hecho, para cada uno de éstos, el número de diodos es igual al número de capacitores.

Ecuaciones

Aproximado:

Silicio: $V_T = 0.7$ V; I_D se determina por la red.

Germanio: $V_T = 0.3$ V; I_D se determina por la red.

Ideal:

$V_T = 0$ V; I_D se determina por la red.

Para la conducción:

$$V_D \geq V_T$$

Rectificador de media onda:

$$V_{dc} = 0.318V_m$$

Rectificador de onda completa:

$$V_{dc} = 0.636V_m$$

2.15 ANÁLISIS POR COMPUTADORA

PSpice para Windows

CONFIGURACIÓN DE DIODOS EN SERIE

El PSpice para Windows se aplicará ahora a la red de la figura 2.29 para permitir una comparación con la solución calculada a mano. Como se describió brevemente en el capítulo 1, la aplicación del PSpice para Windows requiere que primero se construya la red en la pantalla de representación esquemática. En los siguientes párrafos examinaremos las bases para la configuración de la red en la pantalla, asumiendo que no existe una experiencia previa de este proceso. Puede ser útil hacer referencia a la red completa de la figura 2.143 al tiempo que progresamos en la discusión.

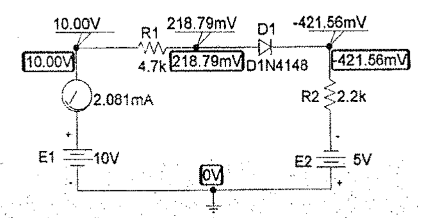


Figura 2.143 Análisis mediante PSpice para Windows de una configuración de diodos en serie.

En general, es más fácil dibujar la red si la cuadrícula aparece en la pantalla y se estipula que todos los elementos están sobre la cuadrícula. Esto asegurará que todas las conexiones se hagan entre los elementos. La pantalla puede ser configurada inicialmente mediante la elección de la función **Options** (Opciones) en la parte superior de la pantalla esquemática, seguida por **Display Options** (Opciones de Despliegue). El cuadro de diálogo **Display Options** le permitirá efectuar todas las opciones necesarias de acuerdo con el tipo de despliegue deseado. Para nuestros propósitos escogeremos **Grid On** (Cuadrícula visible), **Stay on Grid** (Apegarse a Cuadrícula), y **Grid Spacing** (Espaciamiento de la Cuadrícula) a 0.1 pulgadas.

R

La resistencia R será la primera en ser colocada. Mediante un clic sobre el icono de **Get New Part** (el icono en la parte superior derecha del área con los binoculares) seguido por **Libraries** (Bibliotecas), podemos escoger la biblioteca **Analog.slb** de elementos básicos. Podemos entonces desplazar la lista de partes (**Part**) hasta encontrar **R.** Haciendo clic sobre la **R** seguido por **OK** aparecerá el cuadro de diálogo **Part Browser Basic** el cual reflejará nuestra elección de un elemento resistivo. Al seleccionar la opción **Place & Close** colocaremos el elemento resistivo en la pantalla y cerraremos el cuadro de diálogo. La resistencia aparecerá de forma horizontal, lo cual es perfecto para la R_1 de la figura 2.99 (observe la figura 2.143). Mueva la resistencia a una localización lógica, y haga clic en el botón izquierdo del ratón, con lo cual, la resistencia R_1 estará en su lugar. Observe que ésta se ajusta a la estructura cuadriculada. La resistencia R_2 se debe colocar a la derecha de R_1. Con simplemente mover el ratón a la derecha, la segunda resistencia aparecerá, y R_2 se podrá colocar en el lugar apropiado con un clic subsiguiente del ratón. Dado que la red tiene sólo dos resistencias, el depósito de las resistencias puede terminarse mediante un clic derecho del ratón. La resistencia R_2 se puede rotar presionando las teclas **Ctrl** y **R** simultáneamente o mediante la elección de **Edit** en la barra del menú, seguido por **Rotate.**

El resultado de lo anterior son dos resistencias con las etiquetas correctas pero con valores erróneos. Para cambiar un valor, haga doble clic en el valor de la pantalla (primero **R1**). Aparecerá un cuadro de diálogo llamado **Set Attribute Value** (Establecer Valor del Atributo). Teclee en ella el valor correcto, y mande el valor a la pantalla con un **OK**. Los 4.7 kΩ aparecerán dentro de un cuadro que puede ser movido mediante un simple clic sobre el pequeño cuadro y mientras sostiene el botón, mueva los 4.7 kΩ a la localización deseada. Libere el botón y la etiqueta de 4.7 kΩ permanecerá donde fue ubicada. Una vez colocada, un clic adicional en cualquier parte de la pantalla eliminará los cuadros y terminará con el proceso. Si usted desea mover los 4.7 kΩ en el futuro, simplemente haga un solo clic sobre el valor y los cuadros reaparecerán. Repita lo anterior para el valor de la resistencia R_2.

Para eliminar (recortar) un elemento, simplemente haga clic sobre él (para establecer el rojo o color activo), y después haga clic en el icono **scissors** (tijeras) o utilice la secuencia **Edit-Delete** (editar-borrar).

E

Las fuentes de voltaje se establecen mediante la biblioteca **source.slb** del **Library Browser** y mediante la elección de **VDC.** Al hacer clic sobre **OK** aparecerá un símbolo de la fuente en el esquema. Este símbolo puede ubicarse como se requiera. Después de colocarlo en el lugar apropiado, aparecerá una etiqueta **V1**. Para cambiar la etiqueta a **E1** simplemente haga dos veces clic en **V1** y un cuadro de diálogo llamado **Edit Reference Designator** (Editar Indicativo de Referencia) aparecerá. Cambie la etiqueta a **E1** y haga clic en **OK,** y entonces **E1** aparecerá en la pantalla dentro de un cuadro. El cuadro puede moverse de la misma forma que las etiquetas de las resistencias. Cuando usted tenga la posición correcta, simplemente haga clic una vez más y coloque el $\mathbf{E_1}$ como se desee.

Para establecer el valor de E_1, haga clic sobre el valor dos veces y aparecerá el **Set Atribute Value.** Fije el valor a 10 V y haga clic sobre **OK.** El nuevo valor aparecerá en el esquema. El valor puede fijarse también haciendo clic en el símbolo de batería dos veces, después de lo cual aparecerá un cuadro de diálogo etiquetado como **E1 PartName: VDC.** Mediante la elección de **DC = 0 V, DC** y **Value,** aparecerán en las áreas designadas en la parte superior del cuadro de diálogo. Con la ayuda del ratón traiga el marcador al cuadro de **Value** y cámbielo a 10 V. Después haga clic en **Save Attr.** (Guardar Atributo) para estar seguros y grabar el nuevo valor, y después un **OK** resultará en E_1 cambiado a 10 V. E_1 puede establecerse ahora, pero esté seguro de girarlo 180° con las operaciones apropiadas.

DIODO

El diodo se encuentra en la biblioteca **EVAL.slb** del cuadro de diálogo **Library Browser.** Al seleccionar el diodo **D1N4148** seguido por un **OK** y un **Close & Place** se colocará el símbolo del diodo en la pantalla. Mueva el diodo a la posición correcta, colóquelo con un clic izquierdo, y finalice la operación con un clic derecho del ratón. Las etiquetas **D1 y D1N4148** aparecerán cerca del diodo. Al hacer un clic en cualquier etiqueta se proporcionarán los cuadros que permitirán el movimiento de las etiquetas.

Daremos un vistazo a las especificaciones del diodo mediante un clic en símbolo del diodo una vez, seguido por la secuencia **Edit-Model-Edit Instance Model** (Editar Modelo ejemplo). Por el momento, dejaremos los parámetros como están listados. En particular, observe que I_s = 2.682nA y la capacitancia terminal (importante cuando la frecuencia aplicada se convierte en factor) es de 4pF.

IPROBE

Una o más corrientes de una red pueden desplegarse mediante la inserción de un **IPROBE, ensayo,** en la trayectoria deseada. **IPROBE** se encuentra en la biblioteca **SPECIAL.slb** y aparece como la carátula de un medidor en la pantalla. El **IPROBE** responderá con una respuesta positiva si la corriente (convencional) ingresa al símbolo al final con el arco representando la escala. Dado que estamos buscando una respuesta positiva en esta investigación. **IPROBE** se debe instalar como lo muestra la figura 2.143. Cuando el símbolo aparece por primera vez, se encuentra 180° fuera de fase con la corriente deseada. Por tanto, es necesario utilizar la secuencia **Ctrl-R** dos veces para rotar el símbolo antes de finalizar su posición. De la misma forma que con los elementos descritos anteriormente, una vez que éste se encuentra colocado, un solo clic colocará el medidor y un clic con el botón derecho completará el proceso de inserción.

LÍNEA

Los elementos ahora necesitan ser conectados mediante la elección del icono con la línea delgada y un lápiz o por la secuencia **Draw-Wire** (Dibujar-Cable). Aparecerá un lápiz que puede dibujar las conexiones deseadas de la siguiente forma: mueva el lápiz al principio de la línea y haga clic en el botón izquierdo del ratón. El lápiz ahora está listo para dibujar. Dibuje la línea deseada (conexión), y haga clic en el botón izquierdo nuevamente cuando la conexión esté completa. La línea aparecerá en rojo, esperando por otro clic aleatorio del ratón o por la inserción de otra línea. Ésta se volverá verde para indicar que se encuentra en memoria. Para las líneas adicionales, simplemente repetir el procedimiento. Cuando esté terminado, simplemente haga clic en lado derecho del ratón.

EGND

El sistema debe contar con tierra para servir como punto de referencia para los voltajes nodales. La tierra (**EGND,** por su término en inglés *Earth GrouND*) es parte de la biblioteca **PORT.slb** y puede colocarse de la misma forma que los elementos descritos anteriormente.

VIEWPOINT

Los voltajes nodales pueden desplegarse sobre el diagrama después de la simulación utilizando **VIEWPOINTS** (puntos de vista), el cual se encuentra en la biblioteca **SPECIAL.slb.** Simplemente coloque la flecha del símbolo **VIEWPOINT** donde se desee conocer el voltaje con respecto a la tierra. Un **VIEWPOINT** puede colocarse en cualquier nodo de la red si es necesario, aunque sólo tres están ubicados en la figura 2.143. La red está ahora completa, como lo muestra la figura 2.143.

ANÁLISIS

La red está ahora lista para ser analizada. Para acelerar el proceso se oprime **Analysis** (Análisis) y se elige **Probe Setup** (Configuración de la Prueba). Mediante la selección de **Do not auto-run Probe** (no autoejecutar la prueba) se ahorran pasos intermedios que son inapropiados para este análisis; es una opción que será discutida más tarde en este capítulo. Después de **OK,** ir a **Analysis** y seleccionar **Simulation.** Si la red estuvo apropiadamente instalada, un cuadro de diálogo **PspiceAD** aparecerá y mostrará que los puntos de polarización (de dc) han sido calculados. Si salimos del cuadro mediante un clic en la pequeña **x** en la parte superior de la esquina derecha, obtendremos los resultados que aparecen en la figura 2.143. Observe que el programa ha proporcionado automáticamente cuatro voltajes de dc de la red (además de los voltajes **VIEWPOINT**). Esto ocurrió debido a una opción habilitada dentro de análisis. Para análisis futuros queremos controlar lo que se despliega por tanto siga el camino a través de **Analysis-Display Results on Schematic** y pase sobre el cuadro adjunto **Enable.** Haciendo clic sobre el cuadro **Enable** se removerá la marca, y los voltajes de dc no aparecerán automáticamente. Éstos aparecerán ahora solamente donde se inserten los **VIEWPOINTS.** Un camino más directo para controlar la apariencia de los voltajes de dc es el de usar el icono de la barra del menú con la letra **V.** Al hacer clic en ella y dejarla activada o desactivada, usted puede controlar si los niveles de dc de la red aparecerán o no. El icono con la letra **I** permitirá que todas las corrientes de dc de la red se muestren si se desea. Para practicar, haga clic para activarla y desactivarla y observe el efecto en el esquema. Si usted desea eliminar los voltajes de dc seleccionados del esquema, simplemente haga clic sobre el voltaje nodal de interés, después haga clic sobre el icono con la letra más pequeña **V** en el mismo grupo. Al hacer clic una vez se removerán los voltajes de dc seleccionados. Lo mismo se puede hacer para las corrientes seleccionadas con el icono restante del grupo. Para el futuro se deberá observar que un análisis puede también ser iniciado mediante el simple clic sobre el icono de **Simulation** (simulación) que tiene el fondo amarillo y las dos formas de onda (onda cuadrada y senoidal).

Observe también que los resultados no coinciden exactamente con aquellos obtenidos en el ejemplo 2.11. El voltaje **VIEWPOINT** en el extremo derecho es de −421.56 en vez de −454.2 mV obtenido en el ejemplo 2.11. Además, la corriente es de 2.081 en lugar de 2.066 mA que se obtuvo en el mismo ejemplo. Es más, el voltaje a través del diodo es de 281.79 mV + 421.56 mV = 0.64 V en lugar que el 0.7 V asumido para todos los diodos de silicio. Todo esto es el resultado de nuestra utilización de un diodo real con una larga lista de variables que definen su operación. Sin embargo, es importante recordar que el análisis del ejemplo 2.11 fue un aproximado, y por lo tanto, es de esperarse que los resultados sean sólo cercanos a la respuesta real.

Por otra parte, los resultados obtenidos para el voltaje y la corriente nodal son muy cercanos. Si se toman hasta una exactitud de decimales, las corrientes (2.1 mA) coinciden exactamente.

Los resultados obtenidos en la figura 2.143 se pueden mejorar (en el sentido de que ellos coincidirán más cercanamente con la solución realizada a mano) mediante un clic en el diodo (para colorearlo de rojo) y el uso de la secuencia **Edit-Model-Edit Instance Model (Text)** para obtener el cuadro de diálogo **Model Editor**. Escoja **Is = 3.5E-15A** (un valor determinado por prueba y error), y borre todos los demás parámetros del dispositivo. Después, prosiga con el icono **OK-Simulate** para obtener los resultados de la figura 2.144. Observe que el voltaje a través del diodo ahora es de 260.17 mV + 440.93 mV = 0.701 V, o casi exactamente 0.7 V. El voltaje **VIEWPOINT** es de –440.93 V, o nuevamente, una coincidencia casi perfecta con la solución realizada a mano de –0.44 V. En cualquier caso, los resultados obtenidos son muy cercanos a los valores esperados. Uno de ellos es más preciso en cuanto al dispositivo real se refiere, mientras que el otro proporciona un ajuste casi perfecto con la solución realizada a mano. Uno no puede esperar una coincidencia perfecta para todos los diodos de la red mediante la simple fijación de I_s a 3.5E-15A. En la medida en que la corriente a través del diodo cambia, el nivel de I_s debe cambiarse también si se desea obtener una coincidencia exacta con la solución efectuada a mano. Sin embargo, en lugar de preocuparse por la corriente en cada sistema, se sugiere que I_s = 3.5E-15A se emplee como valor estándar si se desea que la solución de PSpice coincida más cercanamente con la solución realizada a mano. Los resultados no serán siempre perfectos, pero en la mayoría de los casos serán más cercanos que si los parámetros del diodo se dejan en sus valores implícitos, por *"default"*. Para los transistores, en los capítulos siguientes, se fijará a 2E-15A para obtener una coincidencia apropiada con la solución realizada a mano. Observe también que el **Bias Current Display** (Despliegue de la Corriente de Polarización) se encontraba habilitada para mostrar que la corriente es de hecho la misma en cualquier parte del circuito.

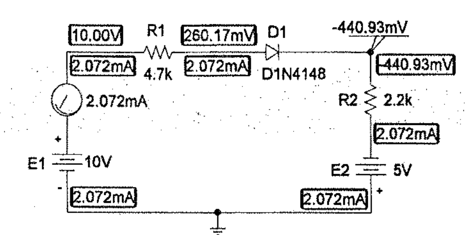
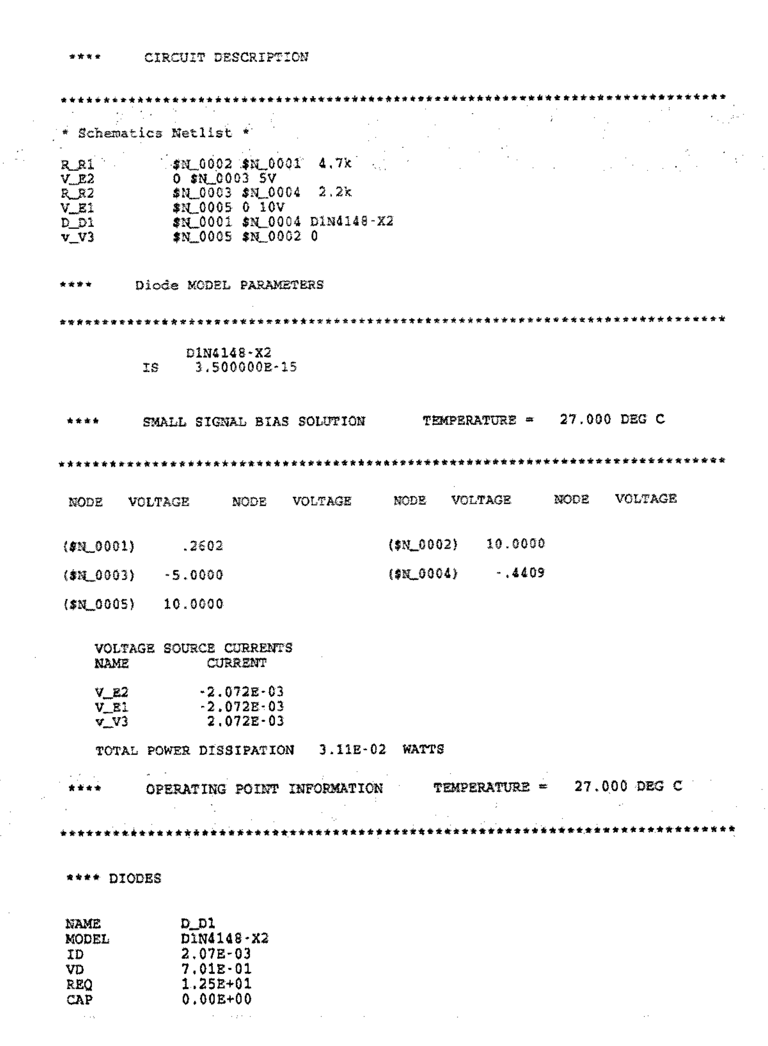


Figura 2.144 El circuito de la figura 2.143 reexaminado con I_s fijada en 3.5E-15A.

Los resultados se pueden ver también en forma tabulada regresando a la función **Analysis** y eligiendo **Examine Output** (Analizar la Salida). El resultado es el largo listado de la figura 2.145. La función **Schematics Netlist** describe a la red en términos de nodos numerados. El 0 se refiere al nivel de tierra, con la fuente de 10 V del nodo 0 al 5. La fuente **E2** va del nodo 0 al 3. La resistencia **R2** está conectada del nodo 3 al 4 y así sucesivamente. Desplazando hacia abajo el documento de salida, encontramos al **Diode MODEL PARAMETERS** (Parámetros del Modelo para el Diodo) que claramente muestra que I_s está fijo en 3.5E-15A y es el único parámetro listado. La siguiente es la **SMALL SIGNAL BIAS SOLUTION** (Solución a señal pequeña con polarización) o solución de dc, presentando los voltajes en varios nodos. Además, se muestra la corriente a través de las fuentes de la red. El signo negativo indica que está reflejando la dirección del flujo de electrones (a la terminal positiva). La disipación total de potencia de los elementos es de 31.1 mW. Finalmente, el **OPERATING POINT INFORMATION** (información del punto de operación) revela que la corriente a través del diodo es de 2.07 mA y que el voltaje a través del diodo es de 0.701 V.

Ahora el análisis está completo para el circuito del diodo de interés. Sin embargo, no hemos tocado todas las vías alternas disponibles de PSpice Windows, pero se ha cubierto lo suficiente como para examinar cualquiera de las redes cubiertas en este capítulo con una fuente de dc. Para practicar, los otros ejemplos deben ser examinados usando el enfoque de Windows dado que los resultados se proporcionan por comparación. Lo mismo puede decirse para los ejercicios de número impar al final de este capítulo.



```
****     CIRCUIT DESCRIPTION

******************************************************************************

* Schematics Netlist *

R_R1          $N_0002 $N_0001  4.7k
V_E2          0 $N_0003 5V
R_R2          $N_0003 $N_0004  2.2k
V_E1          $N_0005 0 10V
D_D1          $N_0001 $N_0004 D1N4148-X2
v_V3          $N_0005 $N_0002 0

****     Diode MODEL PARAMETERS

******************************************************************************

              D1N4148-X2
         IS    3.500000E-15

****     SMALL SIGNAL BIAS SOLUTION       TEMPERATURE =   27.000 DEG C

******************************************************************************

 NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE

($N_0001)     .2602                    ($N_0002)   10.0000

($N_0003)   -5.0000                    ($N_0004)     -.4409

($N_0005)   10.0000

    VOLTAGE SOURCE CURRENTS
    NAME         CURRENT

    V_E2         -2.072E-03
    V_E1         -2.072E-03
    v_V3          2.072E-03

    TOTAL POWER DISSIPATION   3.11E-02  WATTS

****     OPERATING POINT INFORMATION      TEMPERATURE =   27.000 DEG C

******************************************************************************

**** DIODES

NAME          D_D1
MODEL         D1N4148-X2
ID            2.07E-03
VD            7.01E-01
REQ           1.25E+01
CAP           0.00E+00
```

Figura 2.145 El archivo de salida para el análisis de PSpice para Windows del circuito de la figura 2.144.

CARACTERÍSTICAS DEL DIODO

Las características del diodo D1N4148 usadas en el análisis anterior, se obtendrán ahora utilizando algunas maniobras algo más sofisticadas que aquellas empleadas previamente. Primero se construye la red de la figura 2.146 usando los procedimientos descritos arriba. Observe, sin embargo, el **Vd** que aparece por encima del diodo **D1.** Un punto en la red (representando el voltaje del ánodo a tierra para el diodo) se ha identificado como un voltaje en particular mediante un doble clic en el cable de encima del dispositivo y tecleando Vd en el **Set Attribute Value** en la etiqueta (**LABEL).** El voltaje resultante V_d es, en este caso, el voltaje a través del diodo.

Luego, elija el **Analysis Setup** ya sea haciendo clic en el icono de Análisis Setup (en la esquina superior izquierda del esquema que tiene una barra horizontal azul y los dos pequeños cuadrados y rectángulos) o usando la secuencia **Analysis-Setup.** Dentro del recuadro **Analysis Setup** active el recuadro de **DC Sweep** (barrido de DC) (el único necesario para este ejercicio), seguido por un solo clic del rectángulo del **DC Sweep.** El recuadro de **DC Sweep** aparecerá con varias preguntas. En este caso, planee barrer el voltaje fuente de 0 a 10 V en incrementos de 0.01 V, así que el **Swept Var. Type** (tipo de variable a barrer) será la Fuente de Voltaje, el **Sweep Type** (tipo de barrido) será lineal, el **Name** (nombre) E, y el **Start Value** (valor de inicio) 0 V, el **End Value** (valor final) 10 V, y el **Increment** (incremento) 0.01 V. Después, con un **OK** seguido por un **Close** del **Analysis Setup,** está preparado para obtener la solución. El análisis que

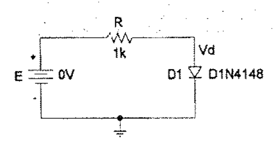


Figura 2.146 Red para obtener las características del diodo D1N4148.

se realizará obtendrá una solución completa para la red para cada valor de E desde 0 a 10 V en incrementos de 0.01 V. En otras palabras, la red se analizará 1000 veces y los datos resultantes almacenados para la gráfica que obtenga. El análisis se desarrolla por la secuencia **Analysis-Run Probe,** seguida por la inmediata aparición de la gráfica **MicroSim Probe** que muestra sólo un eje horizontal del voltaje fuente E con valores de 0 a 10 V.

Dado que la gráfica que se requiere es la de I_D en lugar de V_D, tenemos que cambiar el horizontal (eje x) a V_D. Esto se logra con la opción **Plot** (gráfica) y después **X-Axis Settings** (configuración del eje x) para obtener el cuadro de diálogo de **X Axis Settings.** Después, hacemos clic sobre la opción **Axis Variable** (eje variable) y seleccionamos **V(Vd)** del listado. Después de presionar **OK,** regresamos al cuadro de diálogo para fijar la escala horizontal. Seleccione **User Defined,** después ingrese 0 V a 1 V dado que éste es el intervalo que interesa de Vd con una escala lineal, **Linear.** Haga clic en **OK** y encontrará que el eje horizontal es ahora V(Vd) con un rango de 0 a 1.0 V. El eje vertical tiene ahora que configurarse para I_D seleccionando primeramente la opción **Trace** (trazo) (o con el icono **Trace,** el cual tiene una onda roja con dos picos y un par de ejes) y después **Add** (agregar) para obtener **Add Traces.** Seleccionando **I(D1)** y haciendo clic en **OK** tendremos como resultado la gráfica de la figura 2.147. En este caso, la grafica resultante se extiende de 0 a 10 mA. El rango puede reducirse o expandirse mediante **Plot-Y-Axis Setting** (configuración de la gráfica del eje Y) y definiendo el rango de interés.

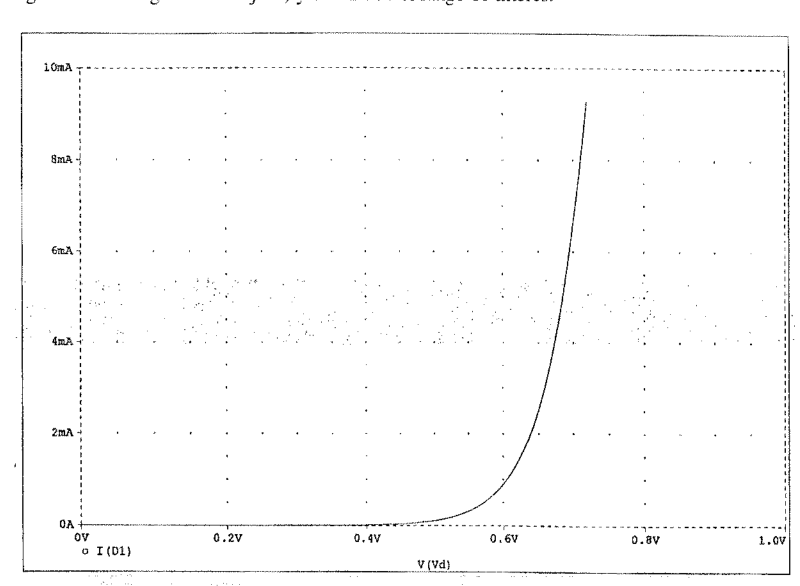


Figura 2.147 Características del diodo D1N4148.

En el análisis previo, el voltaje a través del diodo fue de 0.64 V, correspondiente a una corriente de aproximadamente 2 mA en la gráfica (recuerde la solución de 2.07 mA para la corriente). Si la corriente resultante hubiera estado cerca de 6.5 mA, el voltaje a través del diodo habría sido de cerca de 0.7 V y la solución de PSpice estaría más cercana a la de la solución realizada a mano. Si I_s se hubiera establecido a 3.5E-15A y todos los demás parámetros se hubieran eliminado del listado del diodo, la curva se habría desplazado a la derecha y se hubiera obtenido una intersección de 0.7 V y 2.07 mA.

Electronics Workbench

El procedimiento para ingresar un circuito dentro de EWB será descrito ahora para la verificación de los resultados del ejemplo 2.15 el cual contiene dos diodos en configuración de serie-paralelo.

Primero, se selecciona el icono **Multisim** y el cursor se coloca sobre el botón del depósito de partes fuentes (**Sources**). Haciendo clic con el botón izquierdo del ratón, aparecerá una lista de las fuentes entre las cuales se encontrará el símbolo de fuente de voltaje de dc. Una vez seleccionado éste, un símbolo de fuente de dc aparecerá en el esquema con tres rectángulos. Al mover el ratón se permitirá mover la fuente hacia cualquier punto en la pantalla. Después de seleccionar una posición en algún lugar a la mitad de la pantalla, haga un clic adicional con el

botón izquierdo, y la fuente se establecerá con una etiqueta como **V1** y **12 V.** El valor implícito, por default, de la fuente es 12 V, pero este voltaje puede cambiarse con un doble clic sobre el símbolo de la fuente de voltaje para obtener el cuadro de diálogo de **Battery** (batería). Seleccione **Value** (valor) en la parte superior, y cambie a 20 V para nuestro ejemplo. Haga clic sobre **OK,** y **20V** aparecerá al lado de la batería en el esquema como lo muestra la figura 2.148. Si llamáramos al cuadro de diálogo **Battery** nuevamente y seleccionáramos **Label,** podríamos cambiar la etiqueta de V1 a E para que coincidiera con nuestro ejemplo. Finalmente, las etiquetas se pueden colocar en cualquier lugar alrededor del símbolo de batería simplemente mediante un clic sobre la etiqueta o el valor de interés y después, mientras se sostiene el botón del ratón, moverlo hacia el lugar deseado. Las resistencias se pueden establecer ahora mediante la selección del botón **Basic** Parts Bin (depósito de partes básicas) y, cuando la barra de herramientas aparezca, seleccione **Virtual** Resistor para que los valores puedan establecerse.

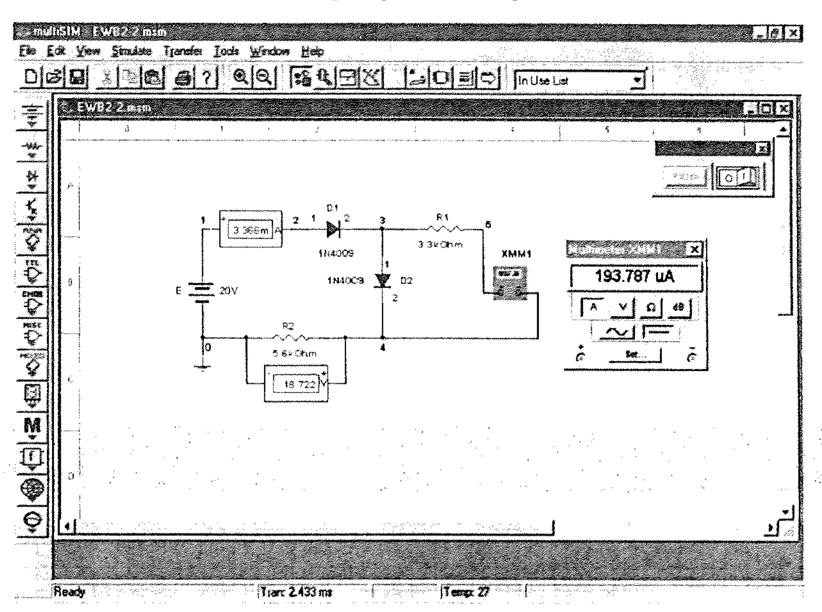


Figura 2.148 Verificación de los resultados del ejemplo 2.15 usando el programa Electronics Workbench.

Al seleccionar la opción de la resistencia directa, se desplegará un listado de resistencias fabricadas. Entonces proceda de la misma forma en que se procedió con la batería para colocar la resistencia y establecer la etiqueta y el valor. Para el caso de los diodos, seleccione el símbolo del diodo y debajo del cuadro de diálogo **Component Browser** escoja el diodo IN4446 y colóquelo como se señaló arriba. Si usted selecciona el diodo **Virtual,** se limitará a un diodo ideal. Finalmente, regrese al botón **Source** parts bin, y seleccione la tierra de la parte superior de la barra de herramientas y colóquela en un lugar apropiado. Por último, los medidores o indicadores deben estar colocados para poder obtener las cantidades que queremos del análisis.

El programa Electronics Workbench es una simulación muy cercana a la experiencia en el laboratorio en el sentido de que es posible utilizar medidores por medio del icono **Instruments** (instrumentos) en la parte superior de la barra de herramientas. Una vez seleccionado, once diferentes medidores aparecerán en una barra de herramientas horizontal de la cual se puede seleccionar el **multimeter** (multímetro) con lo que nos permitirá la elección de un amperímetro, un voltímetro, o de un óhmetro. Para este ejemplo se seleccionó un amperímetro (A) junto con la barra horizontal para indicar la lectura de dc. Una vez que el multímetro, (**multimeter**), se ha seleccionado, dos medidores aparecerán en el esquema, uno para la red y otro para la presentación de resultados. Otra opción para obtener los niveles de voltaje o de corriente es seleccionar **indicators** (indicadores) de la barra de herramientas en el lado izquierdo de la pantalla. Seleccione la quinta opción de la parte inferior que parece algo similar a una pantalla de 8 segmentos de cristal líquido LCD. Una vez que las opciones aparecen, escoja **A** para el amperímetro, y las opciones se presentan sobre cómo deberá colocarse el medidor. Los indicadores aparecerán como lo muestra la figura 2.148 para el amperímetro y el voltímetro.

Los componentes se pueden conectar usando **Automatic Wiring** (cableado automático). Cuando el cursor se coloca al final del elemento seguido por un clic del botón izquierdo del ratón, el resultado es una **x** al final de cualquier componente. Entonces, muévala al final del otro elemento y apriete el botón izquierdo del ratón nuevamente; el cable aparecerá con la ruta más directa entre los elementos. Durante el proceso final, los elementos y los cables tendrán que moverse. Simplemente haga clic sobre el elemento o el cable y mientras mantiene apretado el botón muévalo hacia la nueva ubicación.

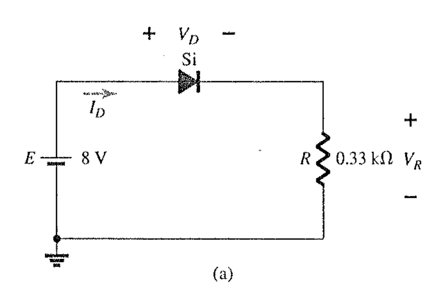
Finalmente se le debe decir al paquete de software que desarrolle el análisis, un proceso que puede iniciarse de diversas formas. Una opción es la de seleccionar **Simulate** (simular) en la parte superior de la barra de herramientas seguida por **Run/Stop.** Otra es la de seleccionar el cuarto botón de la izquierda de la barra de **Design** la cual se asemeja a una enramada de una red con diodos. Nuevamente la opción **Run/Stop** aparecerá la cual iniciará el análisis. Una vez que la opción se eligió, los resultados aparecerán como en la figura 2.148. Cuando el análisis esté completo, debemos asegurarnos de apagar el proceso mediante el regreso a la opción **Simulate** y la selección de **Run/Stop** nuevamente (terminar la prueba).

Los resultados obtenidos son muy cercanos a la solución obtenida en el ejemplo 2.15. Las diferencias resultan del hecho de que aquí no se hizo la aproximación de 0.7 V para los diodos de silicio en el estado de "encendido"; éstos son diodos reales con voltajes terminales que son sensibles a la corriente. Usted notará en la figura 2.148 que los números de los nodos están definidos por los elementos y por la red. La red tiene un total de cinco nodos debido a los instrumentos añadidos. Si elimina los instrumentos, el número cae a tres. La etiqueta de los nodos puede borrarse con ir a **EDIT/User Preferences/Circuit** y al eliminar la selección de Mostrar el nombre de los nodos.

PROBLEMAS

§ 2.2 Análisis de la recta de carga

1. (a) Utilizando las características de la figura 2.149b, determine I_D, V_D y V_R para el circuito de la figura 2.149a.
(b) Repita el inciso (*a*) empleando el modelo aproximado del diodo y compare resultados.
(c) Repita el inciso (*a*) empleando el modelo ideal del diodo y compare resultados.



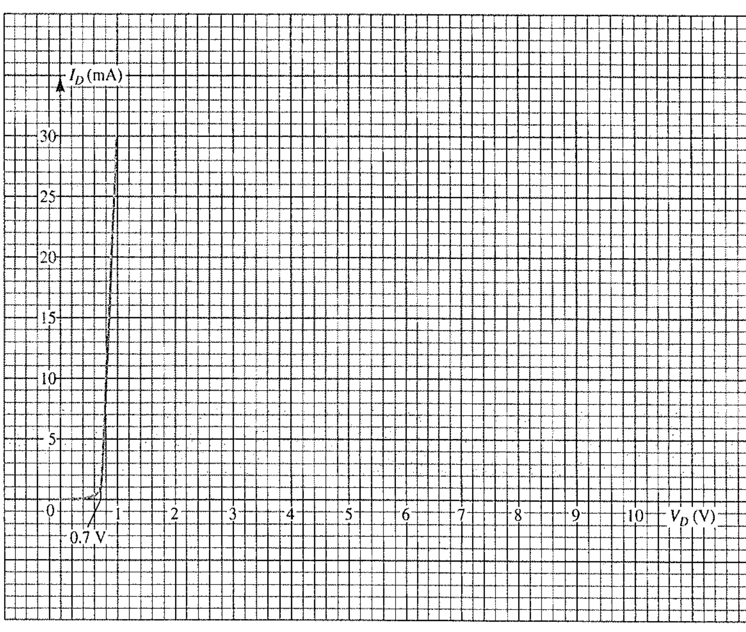
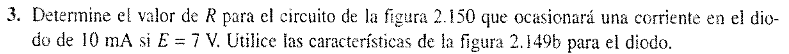


Figura 2.149 Problemas 1, 2.

2. (a) Empleando las características de la figura 2.149b, determine I_D y V_D para el circuito de la figura 2.150.
(b) Repita el inciso (*a*) con $R = 0.47\ k\Omega$.
(c) Repita el inciso (*a*) con $R = 0.18\ k\Omega$.
(d) ¿El nivel de V_D es relativamente cercano a 0.7 V en cada caso?
¿Cómo se comparan los niveles resultantes de I_D? Comente.



3. Determine el valor de *R* para el circuito de la figura 2.150 que ocasionará una corriente en el diodo de 10 mA si $E = 7$ V. Utilice las características de la figura 2.149b para el diodo.

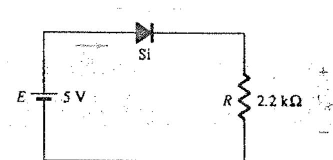


Figura 2.150 Problemas 2 y 3.

4. (a) Empleando las características aproximadas del diodo de Si, determine el nivel de V_D, I_D y V_R para el circuito de la figura 2.151.
(b) Desarrolle el mismo análisis del inciso (*a*) utilizando el modelo ideal del diodo.
(c) ¿Los resultados obtenidos en los incisos (*a*) y (*b*) sugieren que el modelo ideal puede proporcionar una buena aproximación para la respuesta real bajo ciertas condiciones?

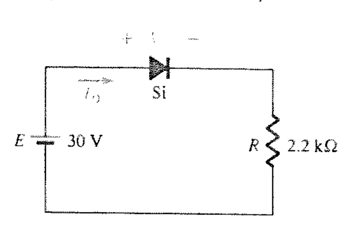


Figura 2.151 Problema 4.

§ 2.4 Configuraciones de diodos en serie con entradas de DC

5. Determine la corriente *I* para cada una de las configuraciones de la figura 2.152 empleando el modelo equivalente aproximado del diodo.

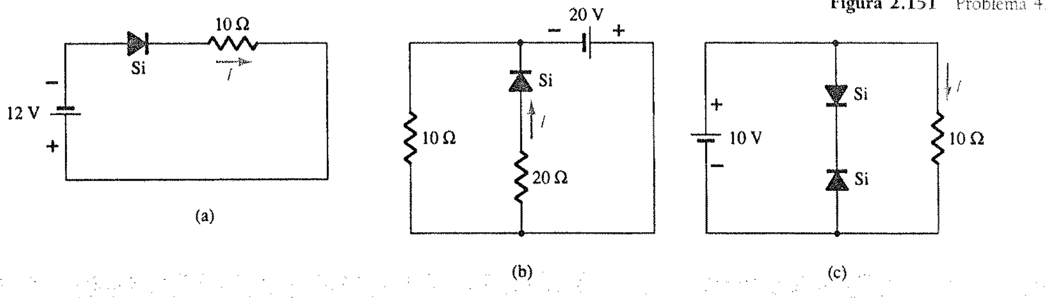


Figura 2.152 Problema 5.

6. Determine V_o e I_D para las redes de la figura 2.153.

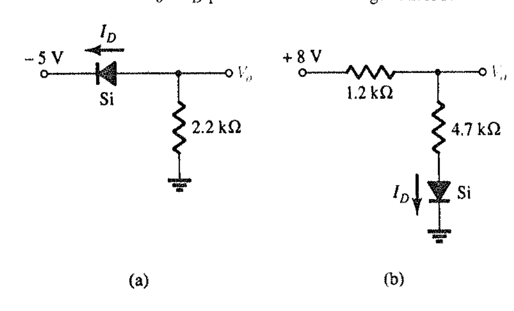


Figura 2.153 Problemas 6, 49.

***7.** Determine el nivel de V_o para cada red de la figura 2.154.

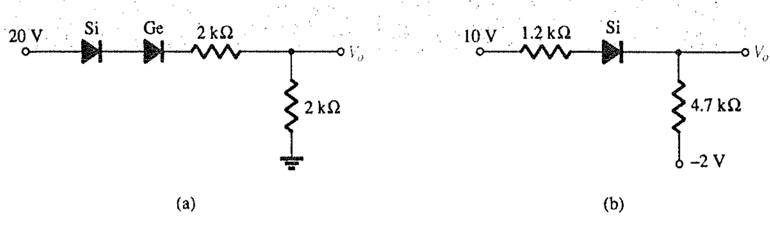
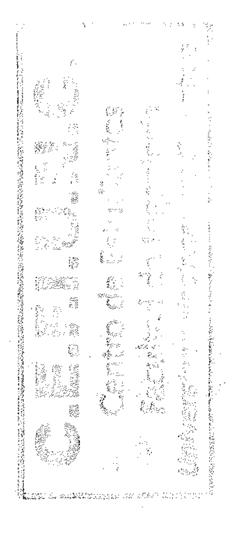


Figura 2.154 Problema 7.



*8. Determine V_o e I_D para las redes de la figura 2.155.

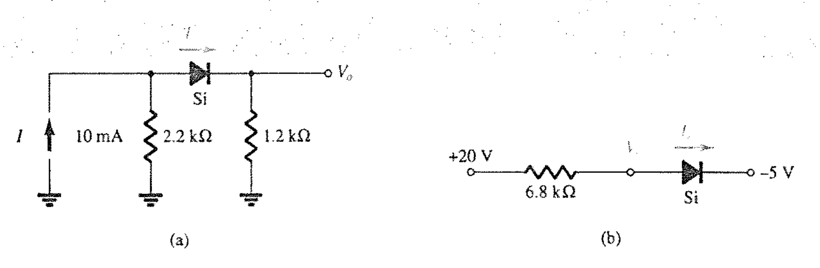


Figura 2.155 Problema 8.

*9. Determine V_{o_1} y V_{o_2} para las redes de la figura 2.156.

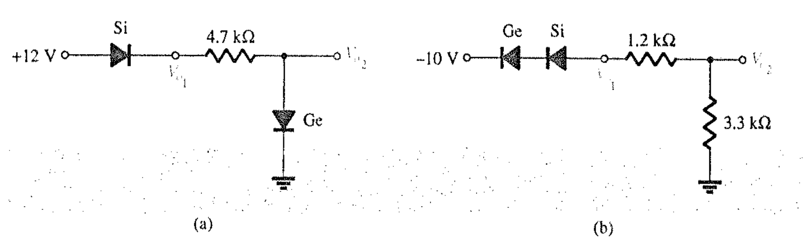


Figura 2.156 Problema 9.

§ 2.5 Configuraciones en paralelo y en serie-paralelo

10. Determine V_o e I_D para las redes de la figura 2.157.

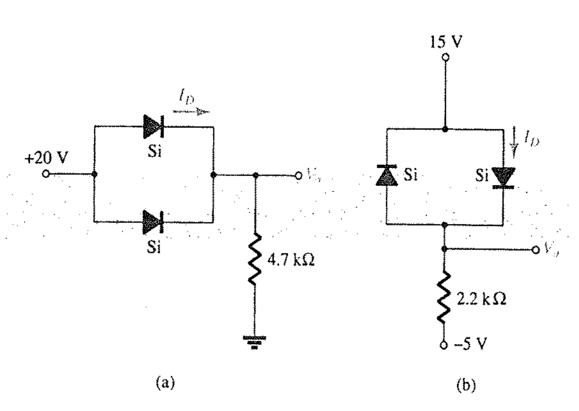


Figura 2.157 Problemas 10, 50.

11. Determine V_o e I para las redes de la figura 2.158.

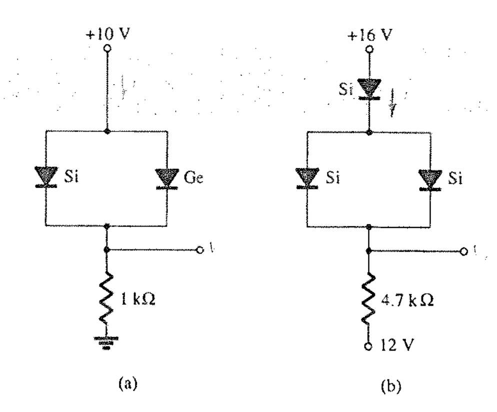


Figura 2.158 Problema 11.

12. Determine V_{o_1}, V_{o_2} e I para la red de la figura 2.159.

*13. Determine V_O e I_D para la red de la figura 2.160.

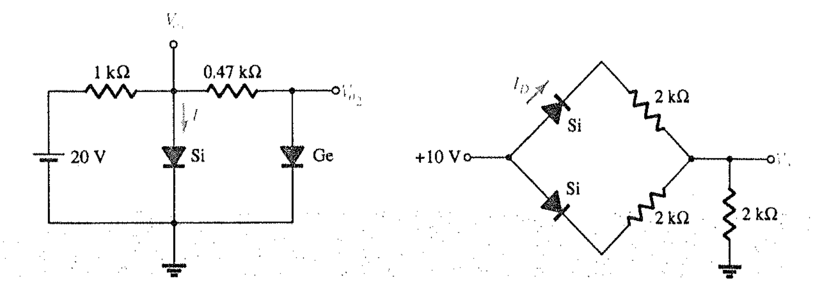


Figura 2.159 Problema 12.

Figura 2.160 Problemas 13, 51.

§ 2.6 Compuertas AND/OR

14. Determine V_o para la red de la figura 2.40 con 0 V en ambas entradas.

15. Determine V_o para la red de la figura 2.40 con 10 V en ambas entradas.

16. Determine V_o para la red de la figura 2.43 con 0 V en ambas entradas.

17. Determine V_o para la red de la figura 2.43 con 10 V en ambas entradas.

18. Determine V_o para la compuerta OR de lógica negativa de la figura 2.161.

19. Determine V_o para la compuerta AND negativa de lógica de la figura 2.162.

20. Determine el nivel de V_o para la compuerta de la figura 2.163.

21. Determine V_o para la configuración de la figura 2.164.

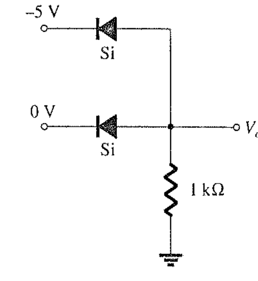


Figura 2.161 Problema 18.

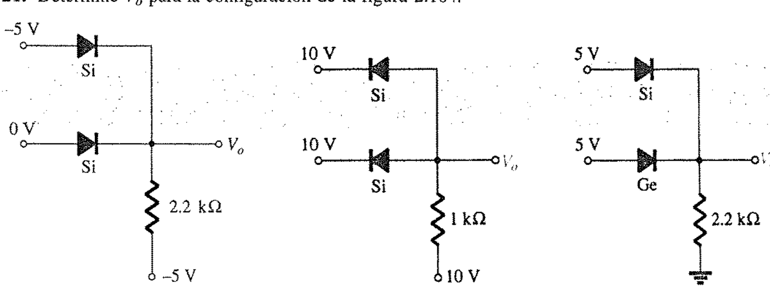


Figura 2.162 Problema 19. **Figura 2.163** Problema 20. **Figura 2.164** Problema 21.

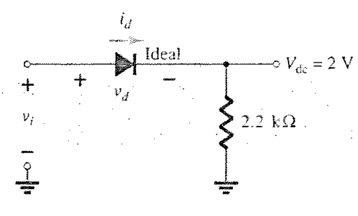


Figura 2.165 Problemas 22, 23, 24.

§ 2.7 Entradas senoidales; rectificación de media onda

22. Asumiendo un diodo ideal, dibuje v_i, v_d e i_d para el rectificador de media onda de la figura 2.165. La entrada es una forma de onda senoidal con una frecuencia de 60 Hz.

23. Repita el problema 22 con un diodo de silicio (V_T = 0.7 V).

24. Repita el problema 22 con una carga aplicada de 6.8 kΩ como lo muestra la figura 2.166. Dibuje v_L e i_L.

25. Para la red de la figura 2.167, dibuje v_O y determine V_{dc}.

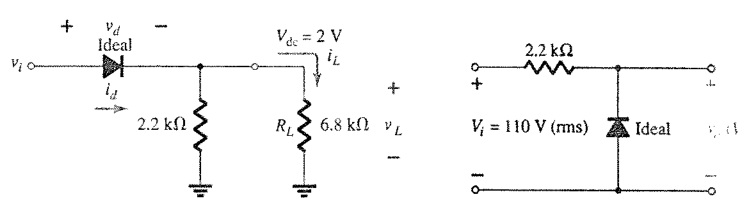


Figura 2.166 Problema 24.

Figura 2.167 Problema 25.

***26.** Para la red de la figura 2.168, dibuje v_O e i_R.

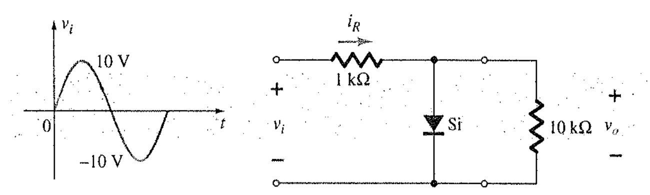


Figura 2.168 Problema 26.

***27.** (a) Dado $P_{máx}$ = 14 mW para cada diodo de la figura 2.169, determine el valor nominal máximo de la corriente de cada diodo (usando el modelo equivalente aproximado).
(b) Determine $I_{máx}$ cuando $V_{i_{máx}}$ = 160 V.
(c) Determine la corriente de cada diodo a $V_{i_{máx}}$ usando los resultados del inciso (*b*).
(d) Si sólo un diodo estuviera presente, determine la corriente del diodo y compárela con el valor nominal máximo.

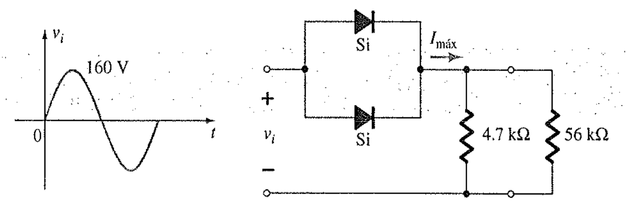


Figura 2.169 Problema 27.

§ 2.8 Rectificación de onda completa

28. Un rectificador de onda completa tipo puente con una entrada senoidal de 120 V rms tiene una resistencia de carga de 1 kΩ.
(a) Si se emplean diodos de silicio, ¿cuál es el voltaje de dc disponible en la carga?
(b) Determine el valor nominal de PIV requerido para cada diodo.
(c) Encuentre la corriente máxima a través de cada diodo durante la conducción.
(d) ¿Cuál es el valor nominal de potencia requerida por cada diodo?

29. Determine v_O y el valor nominal requerido de PIV para cada diodo de la configuración de la figura 2.170.

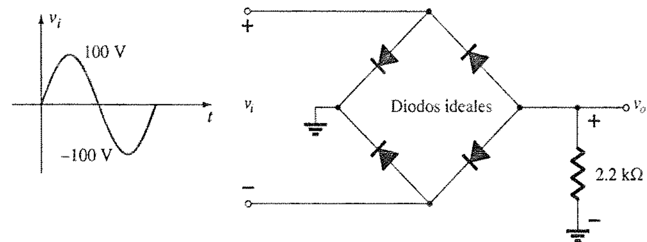


Figura 2.170 Problema 29.

***30.** Dibuje v_o para la red de la figura 2.171 y determine el voltaje de dc disponible.

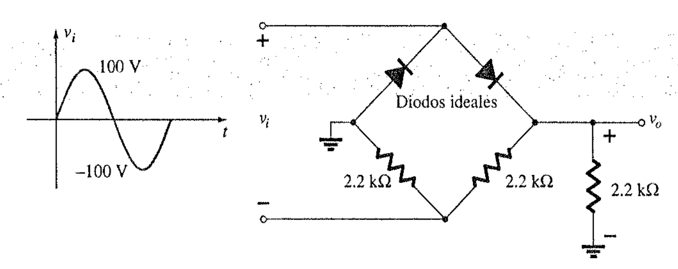


Figura 2.171 Problema 30.

***31.** Dibuje v_O para la red de la figura 2.172 y determine el voltaje de dc disponible.

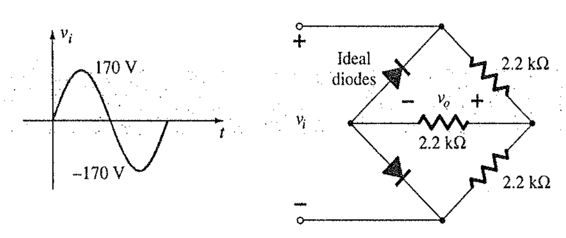


Figura 2.172 Problema 31.

32. Determine v_o para cada red de la figura 2.173 para la entrada mostrada.

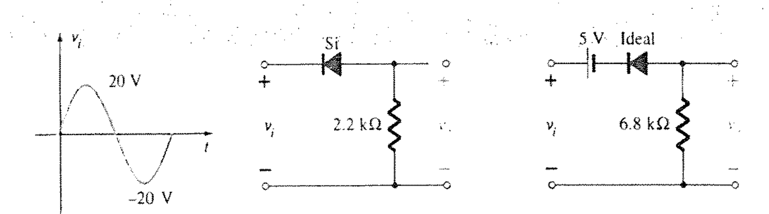


Figura 2.173 Problema 32.

33. Determine v_o para cada red de la figura 2.174 para la entrada mostrada.

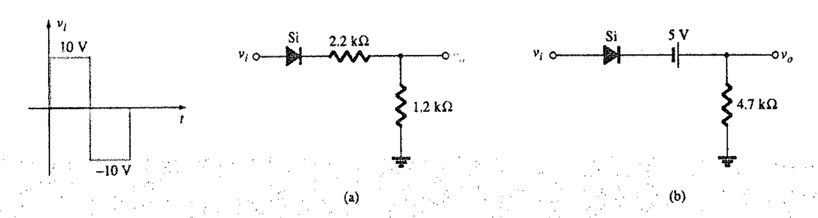


Figura 2.174 Problema 33.

***34.** Determine v_o para cada red de la figura 2.175 para la entrada mostrada.

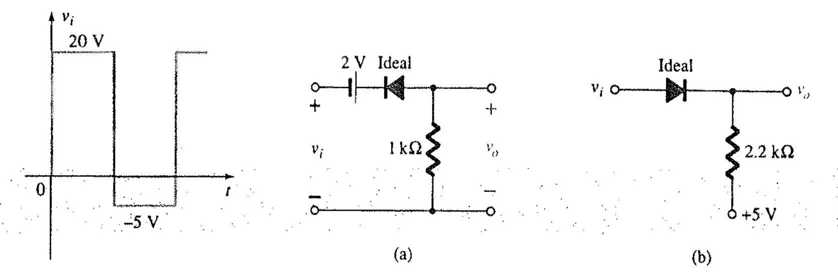


Figura 2.175 Problema 34.

***35.** Determine v_o para cada red de la figura 2.176 para la entrada mostrada.

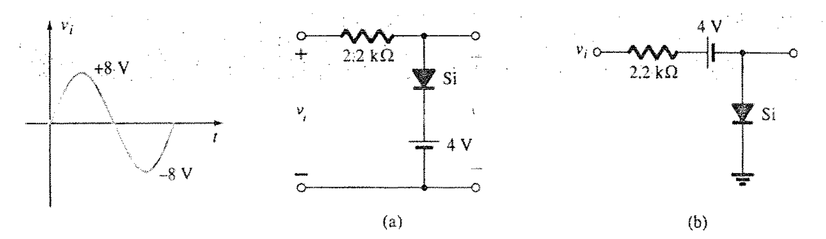


Figura 2.176 Problema 35.

36. Dibuje i_R y v_o para la red de la figura 2.177 para la entrada mostrada.

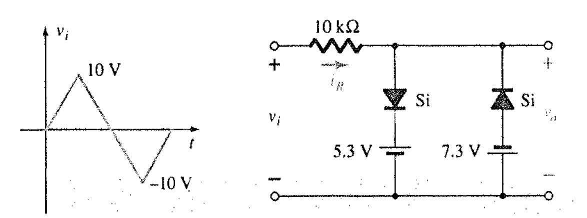


Figura 2.177 Problema 36.

§ 2.10 Cambiadores de nivel

37. Dibuje v_o para cada red de la figura 2.178 para la entrada mostrada.

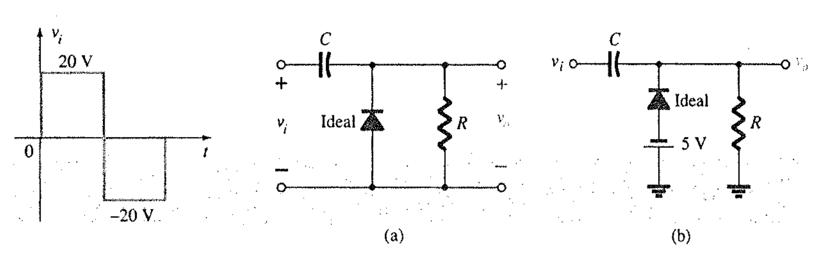


Figura 2.178 Problema 37.

38. Dibuje v_o para cada red de la figura 2.179 para la entrada mostrada. ¿Sería una buena aproximación considerar al diodo ideal para ambas configuraciones?, ¿por qué?

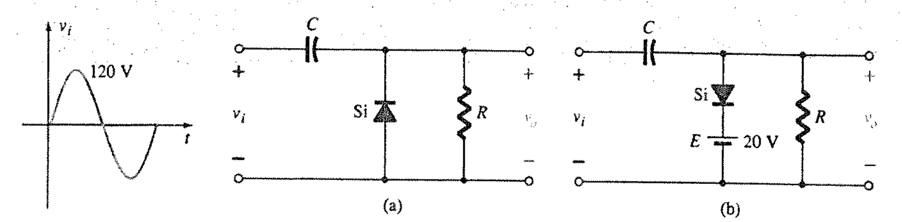


Figura 2.179 Problema 38.

*__39.__ Para la red de la figura 2.180:

(a) Calcule 5τ.

(b) Compare 5τ con la mitad del periodo de la señal aplicada.

(c) Dibuje v_o.

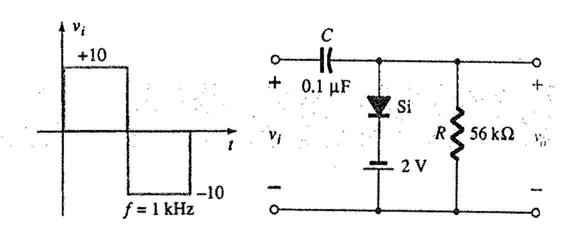


Figura 2.180 Problema 39.

*__40.__ Diseñe un cambiador de nivel que realice la función indicada en la figura 2.181.

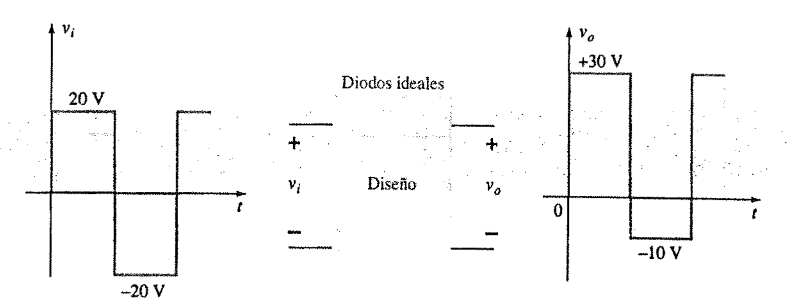


Figura 2.181 Problema 40.

*__41.__ Diseñe un cambiador de nivel que realice la función indicada en la figura 2.182.

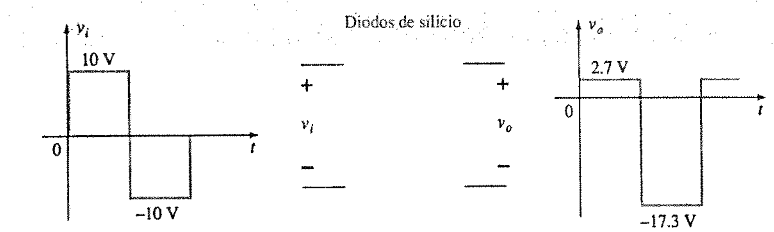


Figura 2.182 Problema 41.

§ 2.11 Diodos Zener

*__42.__ (a) Determine V_L, I_L, I_Z e I_R para la red de la figura 2.183 si $R_L = 180\ \Omega$.

(b) Repita el inciso (*a*) si $R_L = 470\ \Omega$.

(c) Determine el valor de R_L que establecerá las condiciones de potencia máxima para el diodo Zener.

(d) Determine el valor mínimo de R_L para asegurar que el diodo Zener se encuentra en el estado de "encendido".

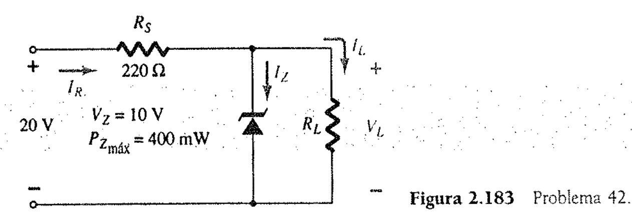


Figura 2.183 Problema 42.

*__43.__ (a) Diseñe la red de la figura 2.184 para mantener a V_L en 12 V ante una variación de carga (I_L) de 0 a 200 mA. Luego determine R_S y V_Z.

(b) Determine $P_{Z_{máx}}$ para el diodo Zener del inciso (*a*).

*__44.__ Para la red de la figura 2.185, determine el rango de V_i que mantendrá a V_L en 8 V y que no excederá el valor nominal de potencia máxima del diodo Zener.

45. Diseñe un regulador de voltaje que mantendrá un voltaje de salida de 20 V a través de una carga de 1 kΩ con una entrada que variará entre 30 y 50 V. Esto es, determine el valor apropiado de R_S y de la corriente máxima I_{ZM}.

46. Dibuje la salida de la red de la figura 2.142 si la entrada es una onda cuadrada de 50 V. Repita para una onda cuadrada de 5 V.

§ 2.12 Circuitos multiplicadores de voltaje

47. Determine el voltaje disponible del doblador de voltaje de la figura 2.120 si el voltaje secundario del transformador es 120 V (rms).

48. Determine los niveles nominales PIV de los diodos de la figura 2.120 en términos del voltaje secundario pico V_m.

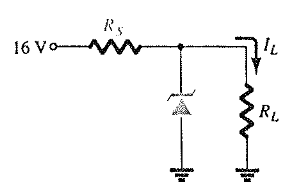


Figura 2.184 Problema 43.

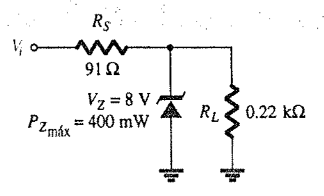


Figura 2.185 Problemas 44, 52.

49. Desarrolle un análisis de la red de la figura 2.153 utilizando PSpice para Windows.
50. Desarrolle un análisis de la red de la figura 2.157 utilizando PSpice para Windows.
51. Desarrolle un análisis de la red de la figura 2.160 utilizando PSpice para Windows.
52. Desarrolle un análisis general de la red Zener de la figura 2.185 utilizando PSpice para Windows.
53. Repita el problema 49 utilizando Electronics Workbench.
54. Repita el problema 50 utilizando Electronics Workbench.
55. Repita el problema 51 utilizando Electronics Workbench.
56. Repita el problema 52 utilizando Electronics Workbench.

*Observar: Los asteriscos indican problemas de mayor dificultad.

CAPÍTULO

Transistores bipolares de unión 3

β

3.1 INTRODUCCIÓN

Durante el periodo de 1904 a 1947, el tubo al vacío o bulbo fue, sin duda, el dispositivo electrónico de mayor interés y desarrollo. El diodo de tubo al vacío fue presentado por J. A. Fleming en 1904. Poco tiempo después, en 1906, Lee De Forest le añadió un tercer elemento al diodo al vacío, denominado *rejilla de control*, con lo que se originó el primer amplificador; el *triodo*. En los años siguientes, la radio y la televisión proporcionaron un gran estímulo a la industria de los bulbos. La producción creció, de cerca de un millón de bulbos en 1922 hasta aproximadamente 100 millones en 1937. A principios de los años treinta los tubos al vacío de cuatro y cinco elementos (tetrodo y pentodo, respectivamente) cobraron gran importancia en la industria de los bulbos. En los años siguientes, la industria se convirtió en una de las más importantes y se lograron rápidos avances en cuanto al diseño, a las técnicas de fabricación, a las aplicaciones de alta potencia y alta frecuencia, y a la miniaturización.

Sin embargo, el 23 de diciembre de 1947, la industria de la electrónica experimentó la llegada de un campo completamente nuevo en el interés y en el desarrollo. En la tarde de ese día, Walter H. Brattain y John Bardeen demostraron la acción de amplificación del primer transistor en los laboratorios Bell Telephone. El transistor original (un transistor de punto de contacto) se presenta en la figura 3.1. Las ventajas de este dispositivo de estado sólido de tres terminales sobre el bulbo se manifestaron de inmediato: era más pequeño y ligero, no tenía requerimientos

Coinventores del primer transistor en los laboratorios Bell: Dr. William Shockley (sentado); Dr. John Bardeen (izquierda); Dr. Walter H. Brattain. (Cortesía de los archivos de AT&T.)

Dr. Shockley Nacido en Londres, Inglaterra en 1910; PhD de Harvard en 1936

Dr. Bardeen Nacido en Madison, Wisconsin en 1908; PhD de Princeton en 1936

Dr. Brattain Nacido en Amoy, China en 1902; PhD de la Universidad de Minnesota en 1928

Todos ellos compartieron el Premio Nobel en 1956 por esta contribución.

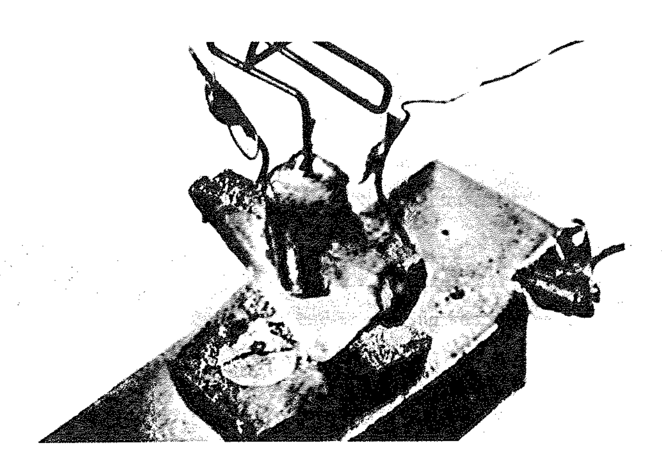
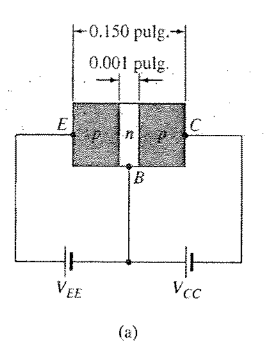
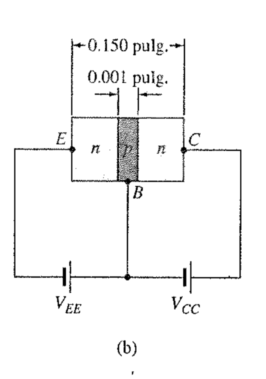


Figura 3.1 El primer transistor. (Cortesía de los Laboratorios Bell Telephone.)



(a)



(b)

Figura 3.2 Tipos de transistores: (a) *pnp*; (b) *npn*.

de calentamiento o disipación de calor, tenía una construcción resistente y era más eficiente debido a que el mismo dispositivo absorbía menor potencia. Tenía una disponibilidad de uso inmediata ya que no requería de un periodo de calentamiento. Además se conseguían menores voltajes de operación. De la presentación anterior se puede deducir, que éste es el primer capítulo donde se aborda el análisis de dispositivos con tres o más terminales. El lector verá que todos los amplificadores (dispositivos que incrementan el voltaje, la corriente o el nivel de potencia) tienen por lo menos tres terminales, donde una controla el flujo de corriente entre las otras dos terminales.

3.2 CONSTRUCCIÓN DEL TRANSISTOR

El transistor es un dispositivo semiconductor de tres capas que consta de ya sea dos capas de material tipo *n* y una capa tipo *p*, o bien de dos capas de material tipo *p* y una tipo *n*. Al primero se le denomina *transistor npn* mientras que al segundo *transistor pnp*. Ambos se muestran en la figura 3.2 con la polarización de dc adecuada. En el capítulo 4 usted verá que la polarización de dc es necesaria para establecer la región de operación adecuada para la amplificación de ac. La capa del emisor se encuentra fuertemente dopada, la de la base ligeramente dopada y la del colector sólo muy poco dopada. Las capas exteriores tienen espesores mucho mayores que los del material tipo *p* o tipo *n* centrales. Para los transistores que se muestran en la figura 3.2 la proporción del espesor total con respecto al espesor de la capa central es de 0.150/0.001 = 150:1. El dopado de la capa central es también mucho menor que el dopado de las capas exteriores (casi siempre 10:1 o menos). Este bajo nivel de dopado disminuye la conductividad (incrementa la resistencia) de este material al limitar el número de portadores "libres".

En la polarización que se muestra en la figura 3.2 se indican las terminales mediante las literales *E* para el *emisor*, *C* para el *colector* y *B* para la *base*. Se apreciará mejor la elección de esta notación cuando se analice la operación básica del transistor. La abreviatura BJT, de *Transistor Bipolar de Unión* (del inglés *Bipolar Junction Transistor*), suele aplicarse a este dispositivo de tres terminales. El término *bipolar* refleja el hecho de que tanto huecos *como* electrones participan en el proceso de inyección hacia el material polarizado en forma opuesta. Si sólo se utiliza un portador (electrón o hueco), se considera entonces un dispositivo *unipolar*. El diodo Schottky, del capítulo 19, es uno de estos dispositivos.

3.3 OPERACIÓN DEL TRANSISTOR

Ahora se describirá la operación básica del transistor empleando el transistor *pnp* de la figura 3.2a. La operación del transistor *npn* es exactamente la misma que si se intercambian los papeles desempeñados por el electrón y el hueco. En la figura 3.3 se dibujó de nuevo el transistor *pnp* sin la polarización base-colector. Observe las similitudes entre esta situación y aquella del diodo con *polarización directa* del capítulo 1. El espesor de la región de agotamiento se redujo debido a la polarización aplicada, lo que da como resultado un flujo muy considerable de portadores mayoritarios desde el material tipo *p* hacia el material tipo *n*.

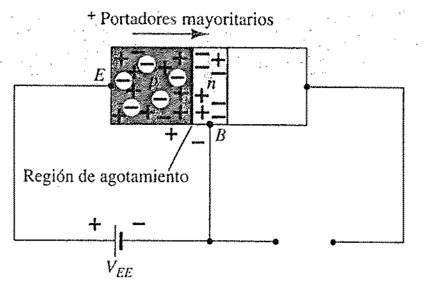


Figura 3.3 Unión de un transistor *pnp* con polarización directa.

Ahora eliminaremos la polarización base-emisor del transistor *pnp* de la figura 3.2a, como se muestra en la figura 3.4. Considere las similitudes entre esta situación y la del diodo con *polarización inversa* de la sección 1.6. Recuerde que el flujo de los portadores mayoritarios es cero, con lo que se ocasiona solamente un flujo de portadores minoritarios, como se indica en la figura 3.4. En resumen, por tanto:

Una unión p-n de un transistor se encuentra en polarización inversa, mientras que la otra se encuentra en polarización directa.

En la figura 3.5 ambos potenciales de polarización se aplicaron sobre un transistor *pnp*, con el flujo de portadores mayoritarios y minoritarios resultante indicado. Observe en la figura 3.5, los espesores de las regiones de agotamiento que indican claramente cuál unión se encuentra en polarización directa y cuál en polarización inversa. Como se indica en la figura 3.5, una gran cantidad de portadores mayoritarios se difundirán a través de la unión *p-n* en polarización directa hacia el material tipo *n*. La cuestión ahora es si estos portadores contribuirán de forma directa con la corriente de base I_B o si pasarán directamente hacia el material tipo *p*. Debido a que el material de tipo *n* del centro es muy delgado y tiene una baja conductividad, un número muy pequeño de estos portadores tomará esta trayectoria de alta resistencia hacia la terminal de la base. La magnitud de la corriente de base típicamente se encuentra en el orden de los microamperes, comparado con los miliamperes para las corrientes del emisor y del colector. La mayor cantidad de estos portadores mayoritarios se difundirá a través de la unión en polarización inversa, hacia el material tipo *p* conectado a la terminal del colector, como se indica en la figura 3.5. El motivo de esta facilidad relativa con la que los portadores mayoritarios pueden atravesar la unión en polarización inversa se comprende con facilidad si se considera que para el diodo en polarización inversa, los portadores mayoritarios inyectados aparecerán como portadores minoritarios en el material tipo *n*. En otras palabras, tuvo lugar una *inyección* de portadores minoritarios hacia el material de la región de la base de tipo *n*. Combinando esto con el hecho de que todos los portadores minoritarios en la región de agotamiento atravesarán la unión en polarización inversa de un diodo, es posible explicar el flujo que se indica en la figura 3.5.

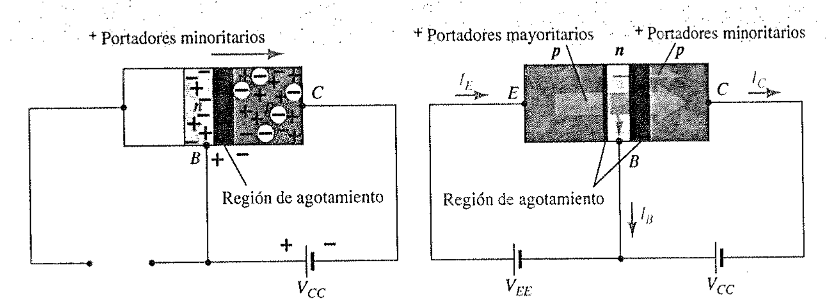


Figura 3.4 Unión en polarización inversa para un transistor *pnp*.

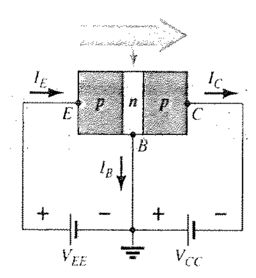
Figura 3.5 Flujo de portadores mayoritarios y minoritarios en un transistor *pnp*.

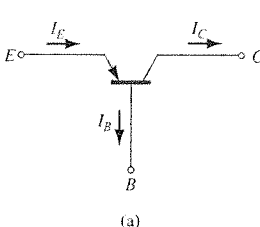
Al aplicar la ley de corriente de Kirchhoff al transistor de la figura 3.5, como si se tratara de un nodo solo, se obtiene

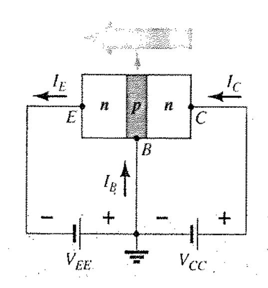
$$\boxed{I_E = I_C + I_B} \tag{3.1}$$

y se observa que la corriente del emisor es la suma de las corrientes del colector y de la base. Sin embargo, la corriente del colector está formada por dos componentes: los portadores mayoritarios y los minoritarios, como se indica en la figura 3.5. Al componente de corriente minoritaria se le denomina *corriente de fuga* y se le asigna el símbolo I_{CO} (corriente I_C con la terminal del emisor abierta). Por tanto, la corriente del colector se determina en su totalidad mediante la ecuación (3.2).

$$\boxed{I_C = I_{C_{\text{mayoritaria}}} + I_{CO_{\text{minoritaria}}}} \tag{3.2}$$







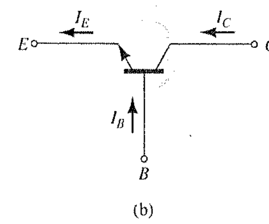


Figura 3.6 Notación y símbolos empleados con la configuración de base común: (a) transistor *pnp*; (b) transistor *npn*.

Para transistores de propósito general, I_C se mide en miliamperes, mientras que I_{CO} se mide en microamperes o en nanoamperes. I_{CO}, al igual que I_s para un diodo en polarización inversa, es sensible a la temperatura y debe analizarse cuidadosamente cuando se consideren aplicaciones con intervalos amplios de temperatura. Si esto no se considera apropiadamente, puede afectar de manera importante la estabilidad de un sistema a una temperatura alta. Las mejoras en las técnicas de fabricación han provocado niveles significativamente más bajos de I_{CO}, a tal grado que casi es posible omitir su efecto.

3.4 CONFIGURACIÓN DE BASE COMÚN

La notación y los símbolos empleados junto con el transistor en la mayoría de los textos y manuales que se publican actualmente, se muestran en la figura 3.6, para la configuración de base común con transistores *pnp* y *npn*. La terminología de base común se deriva del hecho de que la base es común tanto para la parte de entrada como para la de salida de la configuración. Además, por lo regular la base es la terminal más cercana a, o que se encuentra en, el potencial de tierra. A lo largo de este libro todas las direcciones de corriente se referirán al flujo convencional (huecos) en lugar de al flujo de electrones. Esta decisión se basó, principalmente, en el hecho de que una gran cantidad de literatura disponible en instituciones educativas e industriales emplea el flujo convencional, y las flechas en todos los símbolos electrónicos poseen una dirección definida por esta convención. Recuerde que la flecha en el símbolo del diodo define la dirección de la conducción para la corriente convencional. Para el transistor:

La flecha en el símbolo gráfico define la dirección de la corriente del emisor (flujo convencional) a través del dispositivo.

Todas las direcciones de corriente que aparecen en la figura 3.6 son las direcciones reales, como las define la elección del flujo convencional. Observe, en cada caso, que $I_E = I_C + I_B$. Observe también que la polaridad aplicada (fuentes de voltaje) es tal que permite establecer una corriente en la dirección que se indica para cada rama. Es decir, compare la dirección de I_E con la polaridad de V_{EE} para cada configuración y la dirección de I_C con polaridad de V_{CC}.

Para describir completamente el comportamiento de un dispositivo de tres terminales, como el caso de los amplificadores de base común de la figura 3.6 se requiere de dos conjuntos de características: uno para el *punto de excitación* o parámetros de *entrada* y el otro para la parte de la *salida*. Como se muestra en la figura 3.7, el conjunto de entradas para el amplificador de base común relaciona la corriente de entrada (I_E) con un voltaje de entrada (V_{BE}) para distintos niveles de voltaje de salida (V_{CB}).

El conjunto de salida relaciona una corriente de salida (I_C) con un voltaje de salida (V_{CB}) para distintos niveles de corriente de entrada (I_E), según se muestra en la figura 3.8. El conjunto de características de salida o del *colector* cuenta con tres regiones básicas de interés, como se

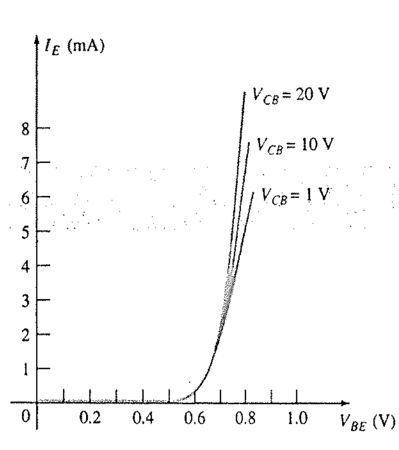


Figura 3.7 Características de entrada o de excitación para un amplificador de silicio de base común.

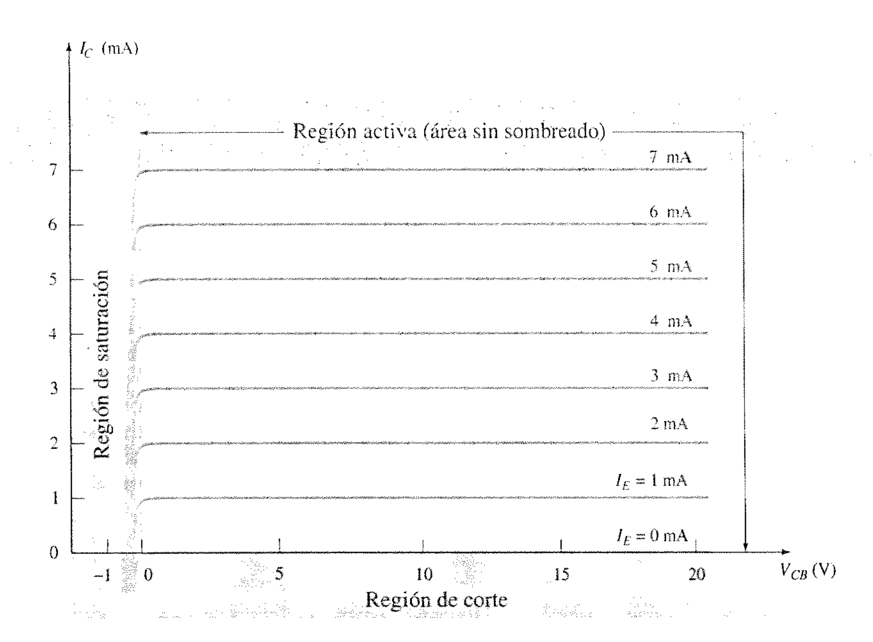


Figura 3.8 Características de salida o del colector para un amplificador de transistor de base común.

indica en la figura 3.8: la región *activa*, la de *corte* y la de *saturación*. La región activa es la región que por lo general se utiliza para los amplificadores lineales (sin distorsión). En particular:

En la región activa la unión base-emisor se encuentra polarizada de forma directa, mientras que la unión colector-base se encuentra polarizada de forma inversa.

La región activa se define mediante los arreglos de polarización de la figura 3.6. En la parte inferior de la región activa, la corriente del emisor (I_E) es cero; la corriente del colector simplemente es igual, debido a la corriente de saturación inversa I_{CO}, como lo señala la figura 3.9. La corriente I_{CO} es tan pequeña en magnitud (microamperes) en comparación con la escala vertical de I_C (miliamperes) que aparece virtualmente sobre la misma línea horizontal que $I_C = 0$. Las condiciones del circuito que existen cuando $I_E = 0$ para la configuración de base común se muestran en la figura 3.9. La notación que con más frecuencia se utiliza para I_{CO} en las hojas de especificaciones y datos es I_{CBO}, como se indica en la figura 3.9. Gracias a las mejoras en las técnicas de fabricación, el nivel de I_{CBO} para transistores de propósito general (especialmente los de silicio) en rangos de potencia baja y mediana, es por lo regular tan bajo, que su efecto puede ignorarse. Con todo, para unidades de mayor potencia, I_{CBO} todavía se presentará en el rango de los microamperes. Además, recuerde que tanto I_{CBO} como I_s, para el diodo (ambas corrientes de fuga inversas) son sensibles a la temperatura. A mayores temperaturas el efecto de I_{CBO} puede convertirse en un factor importante debido a que aumenta rápidamente con la temperatura.

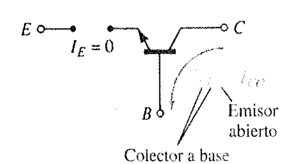


Figura 3.9 Corriente de saturación inversa.

Observe en la figura 3.8 que a medida que la corriente del emisor se incrementa por encima de cero, la corriente del colector se incrementa hasta una magnitud esencialmente igual a aquella de la corriente del emisor, como se determina por las relaciones básicas de corriente en el transistor. Nótese también, el efecto casi imperceptible de V_{CB} sobre la corriente del colector para la región activa. Las curvas claramente indican que *una primera aproximación para la relación entre I_E e I_C en la región activa está dada por:*

$$I_C \cong I_E \tag{3.3}$$

Como se deduce de su nombre, la región de corte se define como la región donde la corriente del colector es 0 A, como lo indica la figura 3.8. Además:

En la región de corte, tanto la unión base-emisor como la unión colector-base de un transistor se encuentran en polarización inversa.

La región de saturación se define como aquella región de las características a la izquierda de $V_{CB} = 0$ V. La escala horizontal en esta región se expandió para mostrar con claridad el cambio dramático de las características en esta región. Observe el incremento exponencial en la corriente del colector a medida que el voltaje V_{CB} se incrementa hacia 0 V.

En la región de saturación, tanto la unión base-emisor como la unión colector-base se encuentran en polarización directa.

Las características de entrada de la figura 3.7 muestran que para valores fijos del voltaje del colector (V_{CB}), conforme se incrementa el voltaje base-emisor, la corriente del emisor aumenta en una forma muy similar a las características del diodo. De hecho, los niveles crecientes de V_{CB} tienen un efecto tan pequeño sobre las características, que como una primera aproximación, se pueden ignorar los cambios ocasionados por V_{CB} y dibujar sus características como se ilustra en la figura 3.10a. Si se aplica el enfoque de segmentos lineales, tendremos las características que se presentan en la figura 3.10b. Si avanzamos un paso más e ignoramos la pendiente de la curva y, por tanto, la resistencia asociada con la unión en polarización directa, se obtendrán las características de la figura 3.10c. Para el análisis posterior en este texto, se empleará el modelo equivalente de la figura 3.10c para todos los análisis de dc de redes de transistores. Es decir, una vez que el transistor se encuentre en el estado "encendido", se asumirá que el voltaje base-emisor será el siguiente:

$$\boxed{V_{BE} = 0.7 \text{ V}} \tag{3.4}$$

En otras palabras, el efecto de las variaciones ocasionadas por V_{CB} y por la pendiente de las características de entrada se omitirá mientras sea posible analizar las redes de transistores de una forma tal que proporcione una buena aproximación a la respuesta real, sin involucrarse demasiado en las variaciones de los parámetros de menor importancia.

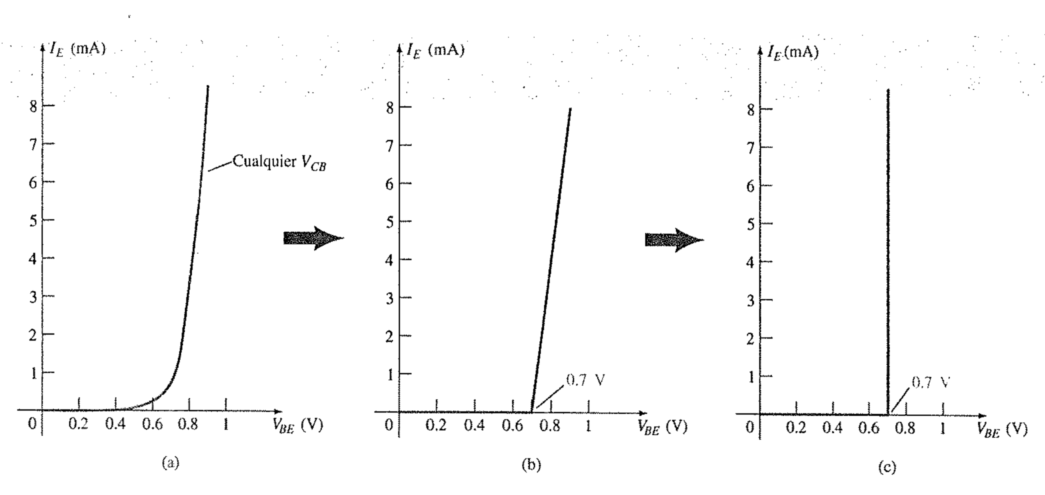


Figura 3.10 Desarrollo del modelo equivalente que se utilizará para la región base-emisor de un amplificador en condiciones de dc.

Es importante apreciar en su totalidad la aseveración que establece las características de la figura 3.10c. Éstas establecen que cuando el transistor se encuentra en el estado "encendido" o estado activo, el voltaje de la base al emisor será de 0.7 V para *cualquier* nivel de corriente del emisor controlado mediante la red externa. De hecho, desde el primer encuentro con cualquier configuración de transistor en condiciones de dc, es posible especificar de inmediato que el voltaje de la base al emisor será de 0.7 V si el dispositivo se encuentra en la región activa, lo cual es una conclusión muy importante para el siguiente análisis de dc.

EJEMPLO 3.1

(a) Mediante las características de la figura 3.8, determine la corriente resultante del colector si $I_E = 3$ mA y $V_{CB} = 10$ V.
(b) Mediante las características de la figura 3.8, determine la corriente resultante del colector si I_E permanece en 3 mA pero V_{CB} se reduce a 2 V.
(c) Mediante las características de las figuras 3.7 y 3.8, determine V_{BE} si $I_C = 4$ mA y $V_{CB} = 20$ V.
(d) Repita el inciso (c) utilizando las características de las figuras 3.8 y 3.10c.

Solución

(a) Las características indican con claridad que $I_C \cong I_E = \mathbf{3\ mA}$.
(b) El efecto del cambio de V_{CB} es despreciable e I_C continúa siendo **3 mA.**
(c) A partir de la figura 3.8, $I_E \cong I_C = 4$ mA. En la figura 3.7 el nivel resultante de V_{BE} es aproximadamente de **0.74 V.**
(d) Nuevamente a partir de la figura 3.8, $I_E \cong I_C = 4$ mA. Sin embargo, en la figura 3.10c, V_{BE} es **0.7 V** para cualquier nivel de corriente del emisor.

Alfa (α)

En condiciones de dc los niveles de I_C e I_E debidos a los portadores mayoritarios se encuentran relacionados por una cantidad denominada *alfa* y que se define por la siguiente ecuación:

$$\boxed{\alpha_{dc} = \frac{I_C}{I_E}} \tag{3.5}$$

donde I_C e I_E son los niveles de corriente en el punto de operación. Incluso aunque las características de la figura 3.8 podrían sugerir que $\alpha = 1$, para los dispositivos reales, el nivel de alfa suele extenderse de 0.90 a 0.998, con la mayor parte aproximándose al extremo alto del intervalo. Debido a que alfa únicamente se define para los portadores mayoritarios, la ecuación (3.2) se convierte en

$$\boxed{I_C = \alpha I_E + I_{CBO}} \tag{3.6}$$

Para las características de la figura 3.8 cuando $I_E = 0$ mA, I_C será por lo tanto igual a I_{CBO}; no obstante, como se mencionó antes, el nivel de I_{CBO} es con frecuencia tan pequeño que virtualmente es imposible detectarlo en la gráfica de la figura 3.8. En otras palabras, cuando $I_E = 0$ mA, en la figura 3.8, I_C también parecerá ser de 0 mA para el intervalo de valores de V_{CB}.

Para condiciones de ac donde el punto de operación se desplaza sobre la curva característica, una alfa de ac se define mediante

$$\boxed{\alpha_{ac} = \left.\frac{\Delta I_C}{\Delta I_E}\right|_{V_{CB} = \text{constante}}} \tag{3.7}$$

De manera formal, el alfa de ac se denomina como *factor de amplificación de base común de "corto circuito"* por razones que resultarán más obvias cuando se analicen los circuitos equivalentes para transistores en el capítulo 7. Por el momento, se debe entender que la ecuación (3.7) establece que un cambio relativamente pequeño en la corriente del colector se divide entre el cambio correspondiente en I_E con el voltaje colector-base constante. Para la mayoría de las situaciones, las magnitudes de α_{ac} y α_{dc} son muy cercanas entre sí, lo cual permite utilizar la magnitud de una para la otra. El empleo de una ecuación como la (3.7) se demostrará en la sección 3.6.

Polarización

La polarización correcta para la configuración de base común en la región activa se puede determinar rápidamente, si se utiliza la aproximación $I_C \cong I_E$ y se asume, por el momento, que

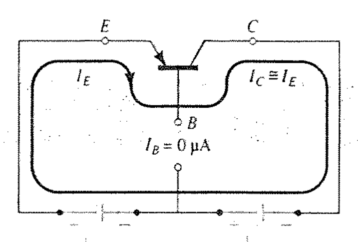


Figura 3.11 Establecimiento de la polarización correcta para un transistor *pnp* de base común en la región activa.

$I_B \cong 0\ \mu A$. El resultado será la configuración de la figura 3.11 para el transistor *pnp*. La flecha del símbolo define la dirección del flujo convencional para $I_E \cong I_C$. Luego se insertan las fuentes de dc con una polaridad tal que respaldarán la dirección resultante de la corriente. Para el transistor *npn* las polaridades se invertirían.

Algunos estudiantes piensan que pueden recordar si la flecha del símbolo del dispositivo se encuentra apuntando hacia dentro o hacia fuera, mediante hacer coincidir las literales del tipo de transistor con las literales adecuadas de las frases "apuntando hacia adentro" o "no apuntando hacia adentro". Por ejemplo, existe una coincidencia entre las literales *npn* y las literales itálicas de *n*o a*p*untando hacia ade*n*tro y las literales *pnp* con a*p*untando hacia ade*n*tro.

3.5 ACCIÓN AMPLIFICADORA DEL TRANSISTOR

Ahora que se ha establecido la relación entre I_C e I_E en la sección 3.4, se puede presentar la acción básica de amplificación del transistor bajo un nivel superficial mediante la red de la figura 3.12. La polaridad de dc no aparece en la figura ya que nuestro interés se limita a la respuesta en ac. Para la configuración de base común, la resistencia ac de entrada determinada por las características de la figura 3.7 es muy pequeña y típicamente varía entre 10 y 100 Ω. La resistencia de salida, según se determinó por las curvas de la figura 3.8, es muy alta (mientras más horizontales sean las curvas, mayor será la resistencia) y típicamente varía entre 50 kΩ y 1 MΩ (100 kΩ para el transistor de la figura 3.12). La diferencia en la resistencia se debe a la unión en polarización directa en la entrada (base a emisor) y a la unión en polarización inversa en la salida (base a colector). Utilizando un valor común de 20 Ω para la resistencia de entrada, tenemos que:

$$I_i = \frac{V_i}{R_i} = \frac{200\text{ mV}}{20\ \Omega} = \mathbf{10\ mA}$$

Si asumimos por el momento que $\alpha_{ac} = 1\ (I_c = I_e)$,

$$I_L = I_i = 10\text{ mA}$$

y

$$\begin{aligned} V_L &= I_L R \\ &= (10\text{ mA})(5\text{ k}\Omega) \\ &= \mathbf{50\ V} \end{aligned}$$

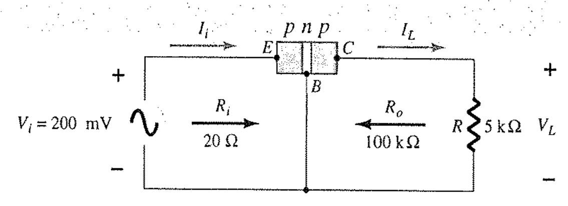


Figura 3.12 Acción básica de amplificación de voltaje de la configuración base común.

El voltaje de amplificación es

$$A_v = \frac{V_L}{V_i} = \frac{50\text{ V}}{200\text{ mV}} = \mathbf{250}$$

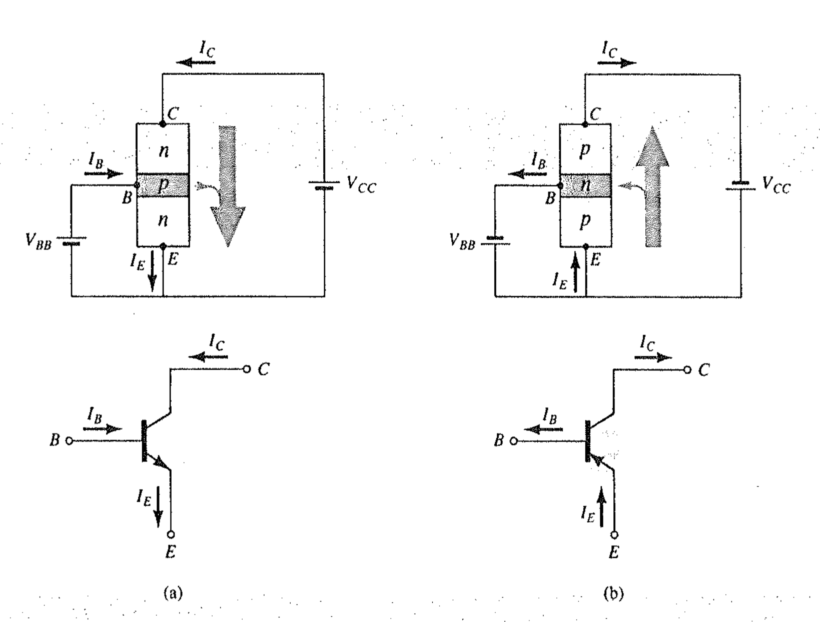
Los valores típicos de la amplificación de voltaje para la configuración de base común varían entre 50 y 300. La amplificación de corriente (I_C/I_E) es siempre menor que 1 para la configuración de base común. Esta última característica debe ser obvia debido a que $I_C = \alpha I_E$ y α es siempre menor que 1.

La acción básica de amplificación se produjo mediante la *transferencia* de una corriente I desde un circuito de baja *resistencia* a uno de alta *resistencia*. La combinación de los dos términos en itálicas (transferencia y resistencia), da como resultado el término *transistor*; esto es,

*tran*sferencia + re*sistor* → *transistor*

3.6 CONFIGURACIÓN DE EMISOR COMÚN

La configuración de transistor que se encuentra más frecuentemente aparece en la figura 3.13 para los transistores *pnp* y *npn*. Se le denomina *configuración de emisor común* debido a que el emisor es común o relaciona las terminales tanto de entrada como de salida (para este caso, será común tanto a la terminal de base como a la de colector). Una vez más, se necesitan dos conjuntos de características para describir completamente el comportamiento de la configuración de emisor-común: uno para el circuito de *entrada* o de *base-emisor* y otro para el circuito de *salida* o de *colector-emisor.* Ambos se muestran en la figura 3.14.



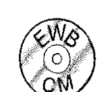
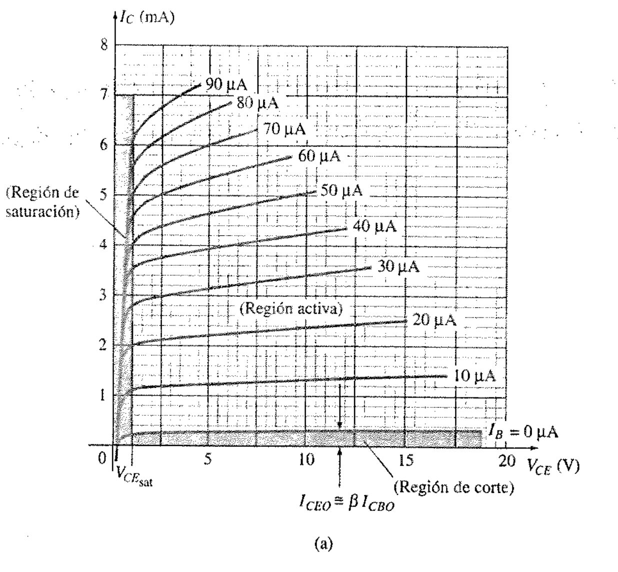


Figura 3.13 Notación y símbolos empleados con la configuración de emisor común: (a) transistor *npn*; (b) transistor *pnp*.

Las corrientes de emisor, colector y base se muestran en su dirección convencional real para la corriente. Incluso aunque cambió la configuración del transistor, las relaciones de corriente que se desarrollaron antes para la configuración de base común continúan siendo aplicables. Es decir, $I_E = I_C + I_B$ e $I_C = \alpha I_E$.

Para la configuración de emisor común, las características de salida representan una gráfica de la corriente de salida (I_C) en función del voltaje de salida (V_{CE}) para un rango de valores de corriente de entrada (I_B). Las características de entrada representan una gráfica de la corriente de entrada (I_B) en función del voltaje de entrada (V_{BE}) para un rango de valores de voltaje de salida (V_{CE}).



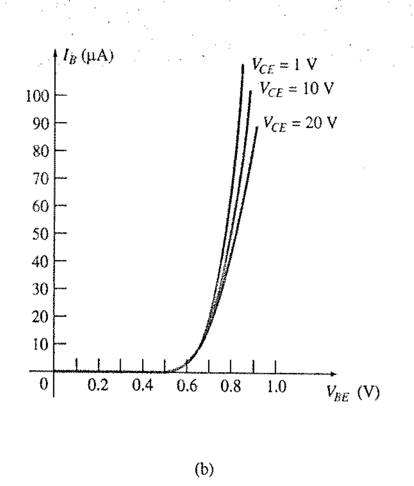


Figura 3.14 Características de un transistor de silicio en la configuración de emisor común: (a) características del colector; (b) características de la base.

Observe que en las características de la figura 3.14 la magnitud de I_B se encuentra en microamperes, en comparación con los miliamperes de I_C. Considere también que las curvas de I_B no son tan horizontales como las que se obtuvieron para I_E en la configuración de base común, lo cual indica que el voltaje colector-emisor tendrá influencia sobre la magnitud de la corriente del colector.

La región activa para la configuración de emisor común es la parte del cuadrante superior derecho que tiene la mayor linealidad, es decir, la región en la que las curvas de I_B son casi rectas e igualmente espaciadas. En la figura 3.14a esta región se presenta a la derecha de la línea punteada en $V_{CE_{sat}}$ y por arriba de la curva de I_B igual a cero. La región a la izquierda de $V_{CE_{sat}}$ se denomina región de saturación.

En la región activa de un amplificador de emisor común, la unión base-emisor se encuentra en polarización directa, mientras que la unión colector-base se encuentra en polarización inversa.

Recuerde que éstas son las mismas condiciones que se presentaron para la región activa de la configuración de base común. La región activa de la configuración de emisor común puede emplearse para una amplificación de voltaje, corriente o potencia.

La región de corte para la configuración de emisor común, no se encuentra tan bien definida como para la configuración de base común. Observe en las características del colector de la figura 3.14 que I_C no es igual a cero cuando I_B es cero. Para la configuración de base común, cuando la corriente de entrada I_E era igual a cero, la corriente del colector era equivalente sólo a la corriente de saturación inversa I_{CO}, por lo que la curva $I_E = 0$ y el eje de voltaje, para propósitos prácticos, eran uno mismo.

La razón para esta diferencia en las características del colector puede derivarse mediante el manejo adecuado de las ecuaciones (3.3) y (3.6). Esto es,

Ecuación (3.6): $$I_C = \alpha I_E + I_{CBO}$$

La sustitución arroja Ecuación (3.3): $$I_C = \alpha(I_C + I_B) + I_{CBO}$$

Al acomodar nuevamente los términos $$I_C = \frac{\alpha I_B}{1-\alpha} + \frac{I_{CBO}}{1-\alpha} \tag{3.8}$$

Si consideramos el caso descrito antes, donde $I_B = 0$ A, y se sustituye un valor típico de α como de 0.996, la corriente resultante del colector es la siguiente:

$$I_C = \frac{\alpha(0\text{ A})}{1-\alpha} + \frac{I_{CBO}}{1-0.996}$$

$$= \frac{I_{CBO}}{0.004} = 250 I_{CBO}$$

Si I_{CBO} fuera de 1 μA, la corriente resultante del colector con $I_B = 0$ A sería de 250(1 μA) = 0.25 mA, como se refleja en las características de la figura 3.14.

Como futura referencia, a la corriente del colector definida por la condición $I_B = 0\ \mu$A se le asignará la notación que indica la ecuación (3.9).

$$I_{CEO} = \left.\frac{I_{CBO}}{1-\alpha}\right|_{I_B = 0\ \mu\text{A}} \tag{3.9}$$

En la figura 3.15 se demuestran las condiciones que rodean a esta corriente recién definida junto con su dirección de referencia asignada.

Para propósitos de amplificación lineal (de menor distorsión), el corte de la configuración de emisor común se definirá mediante $I_C = I_{CEO}$.

En otras palabras, la región por debajo de $I_B = 0\ \mu$A debe evitarse si se busca una señal de salida sin distorsión.

Cuando se utiliza como un interruptor en los circuitos lógicos de una computadora, el transistor tendrá dos puntos de operación de interés: uno en la región de corte y otro en la región de saturación. La condición de corte debería ser idealmente $I_C = 0$ mA para el voltaje seleccionado V_{CE}. Debido a que I_{CEO} típicamente es bajo en su magnitud para materiales de silicio, *para fines de conmutación el corte se presentará cuando $I_B = 0\ \mu$A o cuando $I_C = I_{CEO}$, solamente para los transistores de silicio. Sin embargo, para el caso de los transistores de germanio, el corte para propósitos de conmutación se definirá mediante aquellas condiciones que se presenten cuando $I_C = I_{CBO}$.* Por lo regular, dicha condición se puede lograr para los transistores de germanio mediante la polarización inversa de la unión base-emisor empleando unas cuantas décimas de volt.

Recuerde que para la configuración de base común se realizó una aproximación del conjunto de características de entrada mediante un equivalente de línea recta, que dio como resultado $V_{BE} = 0.7$ V para cualquier nivel de I_E mayor que 0 mA. Es posible emplear el mismo enfoque para la configuración de emisor común, lo cual dará por resultado el equivalente aproximado de la figura 3.16. El resultado apoya la conclusión anterior con respecto a que para un transistor en la región de "encendido" o región activa el voltaje base-emisor será de 0.7 V. En este caso, el voltaje se encuentra fijo para cualquier nivel de corriente de la base.

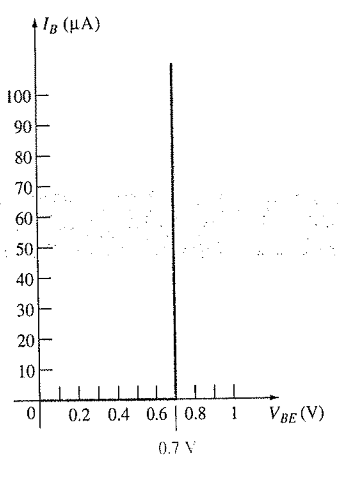


Figura 3.16 Equivalente de segmentos lineales para las características del diodo de la figura 3.14b.

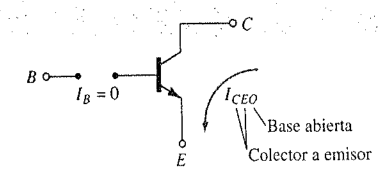


Figura 3.15 Condiciones del circuito relativa a I_{CEO}.

EJEMPLO 3.2

(a) Mediante las características de la figura 3.14, determine I_C cuando I_B =30 μA y V_{CE} = 10 V.
(b) Mediante las características de la figura 3.14, determine I_C cuando V_{BE} = 0.7 V y V_{CE} = 15 V.

Solución

(a) En la intersección de I_B = 30 μA con V_{CE} = 10 V, I_C = **3.4 mA.**
(b) Mediante la figura 3.14b, I_B = 20 μA cuando V_{BE} = 0.7 V. A partir de la figura 3.14a encontramos que I_C = **2.5 mA** en la intersección de I_B = 20 μA con V_{CE} = 15 V.

Beta (β)

En el modo de dc, los niveles de I_C y de I_B se relacionan entre sí mediante una cantidad denominada *beta* que se define por la ecuación siguiente:

$$\beta_{dc} = \frac{I_C}{I_B} \tag{3.10}$$

donde I_C e I_B se determinan para un punto de operación en particular sobre las características. Para los dispositivos reales, el nivel de β suele tener un rango aproximado entre 50 y 400, con la mayoría de ellos dentro del rango medio. De la misma forma que para α, β muestra la magnitud relativa de una corriente con respecto de otra. Para un dispositivo con una β de 200, la corriente del colector será 200 veces la magnitud de la corriente de base.

Por lo regular, en las hojas de especificaciones se incluye β_{dc}, como h_{FE}, donde la *h* proviene de un circuito equivalente *híbrido* que se presentará en el capítulo 7. Los subíndices *FE* provienen de las palabras: amplificación de corriente directa (*f* del inglés *forward*) y de la configuración de *e*misor común, respectivamente.

Para condiciones de ac, se define una beta de ac, como sigue:

$$\beta_{ac} = \left.\frac{\Delta I_C}{\Delta I_B}\right|_{V_{CE}=\text{constante}} \tag{3.11}$$

El nombre formal para β_{ac} es *factor de amplificación de corriente directa en emisor común.* Ya que, por lo general, la corriente del colector es la corriente de salida para una configuración de emisor común, y la corriente de base es la corriente de entrada, el termino *amplificación* se incluye en la nomenclatura anterior.

La ecuación (3.11) es similar en cuanto al formato a la ecuación para α_{ac} de la sección 3.4. El procedimiento para obtener α_{ac} a partir de las curvas características no se presentó debido a la dificultad para medir realmente los cambios de I_C e I_E sobre las características. Sin embargo, la ecuación (3.11) puede describirse con cierta claridad, y de hecho, el resultado puede utilizarse para encontrar α_{ac} empleando una ecuación que se obtendrá más adelante.

En las hojas de especificaciones por lo regular β_{ac} se indica como h_{fe}. Observe que la única diferencia entre la notación que se utiliza para la beta de dc, específicamente $\beta_{dc} = h_{FE}$, radica en el tipo de literal que se emplea para cada cantidad señalada como subíndice. La literal minúscula *h* continúa haciendo referencia al circuito equivalente híbrido que se describirá en el capítulo 7 y la *fe* a la ganancia de corriente directa (por las siglas en inglés de *forward*) en la configuración de emisor común.

El uso de la ecuación (3.11) se describe mejor mediante un ejemplo numérico utilizando un conjunto real de características, como las que aparecen en la figura 3.14a y que se repiten en la figura 3.17. Determinemos β_{ac} para una región de las características definida por un punto de operación en I_B = 25 μA y V_{CE} = 7.5 V, como se indica en la figura 3.17. La restricción de V_{CE} = constante, requiere que se dibuje una línea vertical a través del punto de operación en

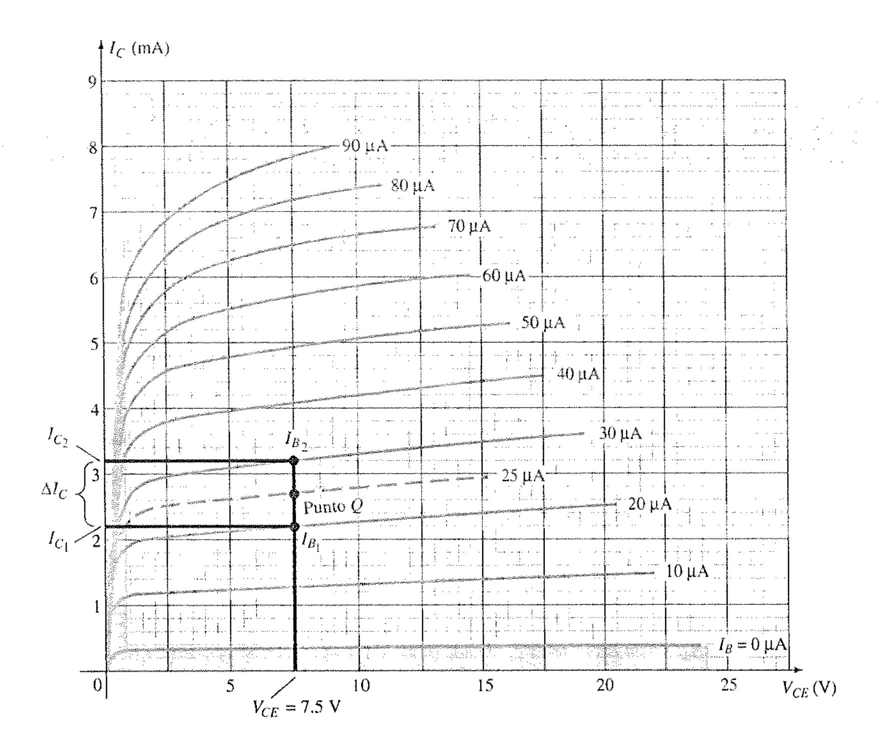


Figura 3.17 Determinación de β_{ac} y de β_{dc} para las características del colector.

V_{CE} = 7.5 V. En cualquier lugar de esta línea vertical el voltaje V_{CE} es 7.5 V, una constante. El cambio en I_B (ΔI_B) como aparece en la ecuación (3.11) se define entonces al seleccionar dos puntos a cada lado del punto *Q* a lo largo del eje vertical y a distancias similares a cada lado del punto *Q*. Para esta situación las curvas de I_B = 20 μA y 30 μA cumplen el requisito de no extenderse muy lejos del punto *Q*. Ellas también definen niveles de I_B fácilmente definidos en lugar de tener que interpolar el nivel de I_B entre las curvas. Debe mencionarse que la mejor determinación suele hacerse al mantener el ΔI_B que se seleccionó tan pequeño como fue posible. En las dos intersecciones de I_B y el eje vertical, pueden determinarse los dos niveles de I_C mediante el trazo de una línea horizontal sobre el eje vertical y leyendo los valores resultantes de I_C. La β_{ac} resultante para la región se puede determinar mediante

$$\beta_{ac} = \left.\frac{\Delta I_C}{\Delta I_B}\right|_{V_{CE}=\text{constante}} = \frac{I_{C_2} - I_{C_1}}{I_{B_2} - I_{B_1}}$$
$$= \frac{3.2 \text{ mA} - 2.2 \text{ mA}}{30\ \mu\text{A} - 20\ \mu\text{A}} = \frac{1 \text{ mA}}{10\ \mu\text{A}}$$
$$= \mathbf{100}$$

La solución anterior muestra que para una entrada de ac en la base, la corriente del colector será de aproximadamente 100 veces la magnitud de la corriente base.

Si determinamos la beta de dc en el punto *Q*:

$$\beta_{dc} = \frac{I_C}{I_B} = \frac{2.7 \text{ mA}}{25\ \mu\text{A}} = \mathbf{108}$$

Aunque los niveles de β_{ac} y de β_{dc} no son exactamente iguales, se encuentran razonablemente cercanos y a menudo se pueden utilizar indistintamente. Es decir, si se conoce el nivel de β_{ac}, se supone que será de la misma magnitud aproximada que β_{dc}, y viceversa. Tenga en cuenta que dentro del mismo lote, el valor de β_{ac} variará en alguna medida entre un transistor y el siguiente, aunque ambos tengan el mismo número de código. Es probable que la variación no sea significativa para la mayoría de las aplicaciones, por lo que será suficiente para validar el enfoque aproximado anterior. Generalmente, mientras más bajo sea el nivel de I_{CEO}, serán más cercanas entre sí las magnitudes de las dos betas. Debido a que la tendencia se dirige hacia lograr niveles más y más bajos de I_{CEO}, la validez de la aproximación anterior se sustenta aún más.

Si las características tuvieran la apariencia de aquellas que aparecen en la figura 3.18, el nivel de β_{ac} sería el mismo para todas las regiones de las características. Obsérvese que el incremento en I_B se encuentra fijo en 10 μA, y que el espacio vertical entre las curvas es el mismo en cada punto de las características, es decir, 2 mA. El cálculo de β_{ac} en el punto Q indicado dará por resultado

$$\beta_{ac} = \frac{\Delta I_C}{\Delta I_B}\bigg|_{V_{CE}=\text{constante}} = \frac{9\text{ mA} - 7\text{ mA}}{45\ \mu\text{A} - 35\ \mu\text{A}} = \frac{2\text{ mA}}{10\ \mu\text{A}} = \mathbf{200}$$

Al determinar beta de dc en el mismo punto Q dará por resultado

$$\beta_{dc} = \frac{I_C}{I_B} = \frac{8\text{ mA}}{40\ \mu\text{A}} = \mathbf{200}$$

lo cual revela que si las características cuentan con la apariencia de la figura 3.18, las magnitudes de β_{ac} y de β_{dc} *serán las mismas* para cada punto de las características. En particular, observe que $I_{CEO} = 0\ \mu$A.

A pesar de que un conjunto de características reales de un transistor nunca tendrá la apariencia exacta de la figura 3.18, ésta proporciona un conjunto de características para poder compararlas con las que se obtienen por medio de un trazador de curvas (que se describirá en breve).

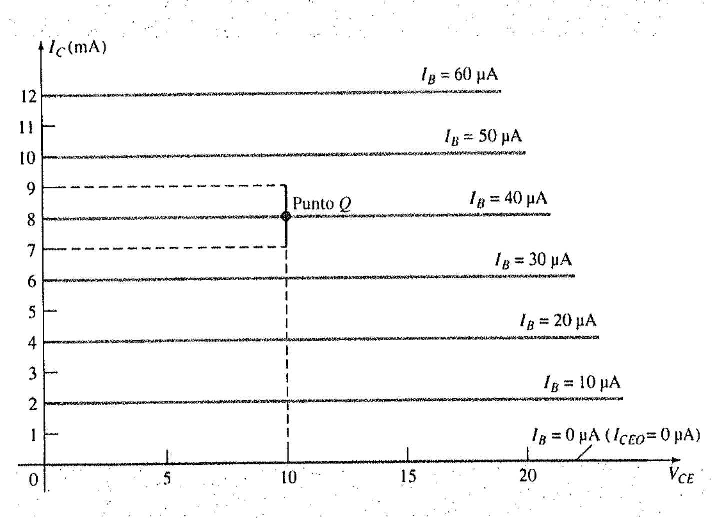


Figura 3.18 Características donde la β_{ac} es la misma para cualquier lugar y donde $\beta_{ac} = \beta_{dc}$.

Para el análisis siguiente el subíndice de dc o de ac no se incluirá con la β para evitar la confusión que se presenta por las expresiones que tienen etiquetas innecesarias. Para las situaciones de dc simplemente se reconocerá como β_{dc}, y para cualquier análisis en ac como β_{ac}. Si se especifica un valor de β para una configuración particular de transistor, normalmente se utilizará tanto para los cálculos de dc como para los de ac.

Es posible establecer una relación entre β y α a través del uso de las relaciones básicas presentadas hasta ahora. Al utilizar $\beta = I_C/I_B$ se tiene que $I_B = I_C/\beta$ y a partir de $\alpha = I_C/I_E$ se tiene que $I_E = I_C/\alpha$. Al sustituir en

$$I_E = I_C + I_B$$

tenemos

$$\frac{I_C}{\alpha} = I_C + \frac{I_C}{\beta}$$

y dividiendo ambos lados de la ecuación entre I_C tendremos

$$\frac{1}{\alpha} = 1 + \frac{1}{\beta}$$

o

$$\beta = \alpha\beta + \alpha = (\beta + 1)\alpha$$

por lo que

$$\boxed{\alpha = \frac{\beta}{\beta + 1}} \tag{3.12a}$$

o

$$\boxed{\beta = \frac{\alpha}{1 - \alpha}} \tag{3.12b}$$

Además, recordemos que

$$I_{CEO} = \frac{I_{CBO}}{1 - \alpha}$$

pero empleando la equivalencia de

$$\frac{1}{1 - \alpha} = \beta + 1$$

derivado de lo anterior tenemos

$$I_{CEO} = (\beta + 1)I_{CBO}$$

o

$$\boxed{I_{CEO} \cong \beta I_{CBO}} \tag{3.13}$$

como se indica en la figura 3.14a. Beta es un parámetro particularmente importante porque proporciona un vínculo directo entre el nivel de corriente del circuito de entrada y el de salida, para una configuración de emisor común. Es decir,

$$\boxed{I_C = \beta I_B} \tag{3.14}$$

y dado que

$$\begin{aligned} I_E &= I_C + I_B \\ &= \beta I_B + I_B \end{aligned}$$

tenemos

$$\boxed{I_E = (\beta + 1)I_B} \tag{3.15}$$

Las dos ecuaciones que se muestran arriba desempeñan un papel muy importante para el análisis que se realizará en el capítulo 4.

Polarización

La polarización adecuada de un amplificador de emisor común puede determinarse de manera similar a la que se presentó para la configuración de base común. Supongamos que se presenta un transistor *npn* como el que se muestra en la figura 3.19a y se debe aplicar la polaridad correcta para colocar al dispositivo en la región activa.

El primer paso consiste en indicar la dirección de I_E según lo establece la flecha en el símbolo del transistor, como se muestra en la figura 3.19b. Después, se introducen las otras corrien-

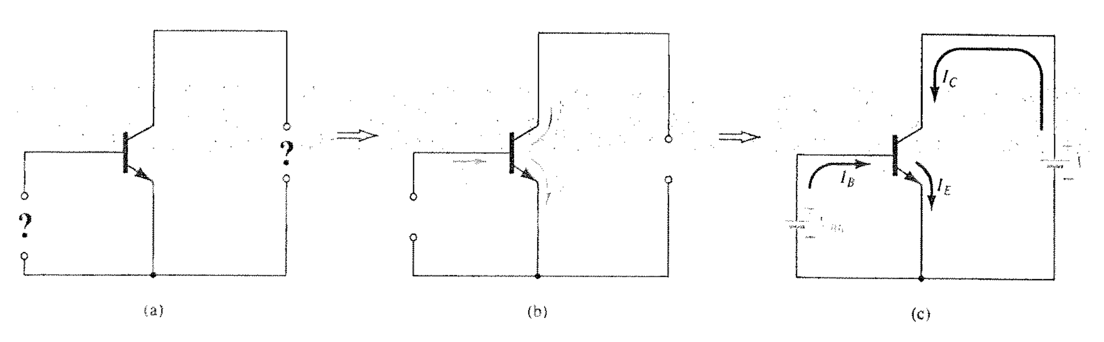


Figura 3.19 Determinación del arreglo de polarización adecuado para una configuración de transistor *npn* de emisor común.

tes como se indica, tomando en cuenta la ley de la corriente de Kirchhoff: $I_C + I_B = I_E$. Por último, se introducen las fuentes con las polaridades que proporcionarán las direcciones resultantes de I_C y de I_B, según se muestra en la figura 3.19c para completar el diagrama. Puede aplicarse el mismo enfoque a los transistores *pnp*. Si el transistor de la figura 3.19 fuera un transistor *pnp* se invertirían todas las corrientes y polaridades de la figura 3.19c.

3.7 CONFIGURACIÓN DE COLECTOR COMÚN

La tercera y última configuración de transistor es la *configuración de colector común*, que se muestra en la figura 3.20, junto con las direcciones adecuadas de corriente y su notación de voltaje. La configuración de colector común se utiliza principalmente para propósitos del acoplamiento de impedancias, ya que cuenta con una alta impedancia de entrada y una baja impedancia de salida, de forma contraria a las impedancias de las configuraciones de base común y a las de emisor común.

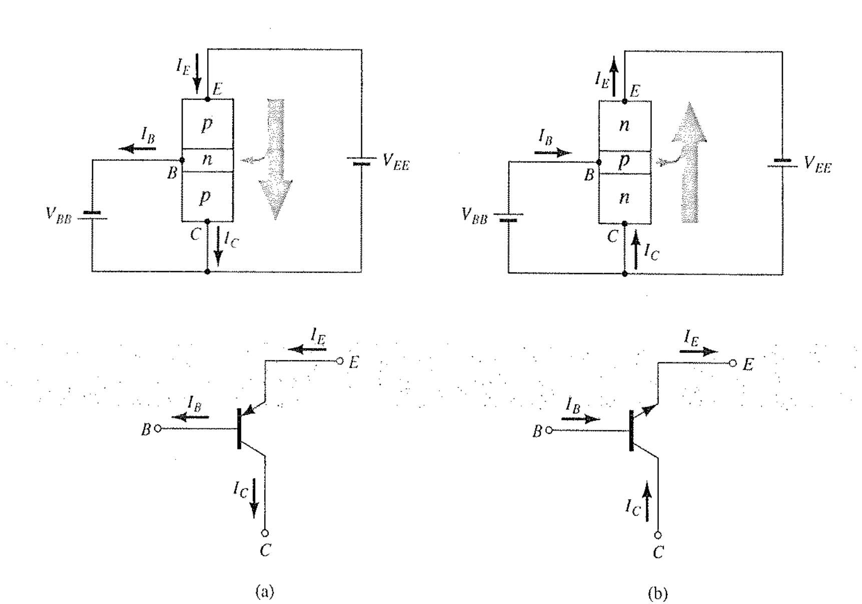


Figura 3.20 Símbolos y notación utilizados con la configuración de colector común: (a) transistor *pnp*; (b) transistor *npn*.

En la figura 3.21 se proporciona una configuración de circuito de colector común, con la resistencia de carga conectada del emisor a la tierra. Observe que el colector se encuentra conectado a la tierra aunque el transistor está conectado de una manera similar a la configuración de emisor común. Desde un punto de vista de diseño, no se requiere de un conjunto de características de colector común para seleccionar los parámetros del circuito de la figura 3.21. Puede diseñarse utilizando las características de emisor común de la sección 3.6. Para propósitos prácticos, las características de salida para la configuración de colector común, son las mismas que para la configuración de emisor común. Para la configuración de colector común las características de salida se grafican como I_E en función de V_{CE} para una rango de valores de I_B. La corriente de entrada por tanto, será la misma para ambas características, de emisor común y de colector común. El eje horizontal del voltaje para la configuración de colector común se obtiene con sólo cambiar el signo del voltaje del colector al emisor de las características de emisor común. Por último, existirá un cambio casi imperceptible en la escala vertical de I_C de las características de emisor común si I_C se reemplaza por I_E para las características de colector común (debido a que $\alpha \cong 1$). Para el circuito de entrada de la configuración de colector común, las características básicas de emisor común son suficientes para obtener la información que se requiere.

Figura 3.21 Configuración de colector común utilizada para propósitos de acoplamiento de impedancias.

3.8 LÍMITES DE OPERACIÓN

Para cada transistor existe una región de operación sobre las características, que asegurará que no se excedan los valores máximos y que la señal de salida presente una distorsión mínima. Esta región se definió para las características del transistor de la figura 3.22. Todos los límites de operación se definen en una hoja de especificaciones típica que se describirá en la sección 3.9.

Algunos de los límites de operación se explican por sí solos, como la corriente máxima del colector (a la que normalmente se denomina en la hoja de especificaciones como corriente *continua* del colector) y el voltaje máximo del colector al emisor (que a menudo se abrevia como V_{CEO} o $V_{(BR)CEO}$ en la hoja de especificaciones). Para el transistor de la figura 3.22, $I_{C_{máx}}$ se especificó como 50 mA y V_{CEO} como 20 V. La línea vertical sobre las características que se define como $V_{CE_{sat}}$ especifica el V_{CE} mínimo que puede aplicarse sin caer en la región no lineal denominada como región de *saturación*. El nivel de $V_{CE_{sat}}$ suele encontrarse típicamente cercano a los 0.3 V que se especifican para este transistor.

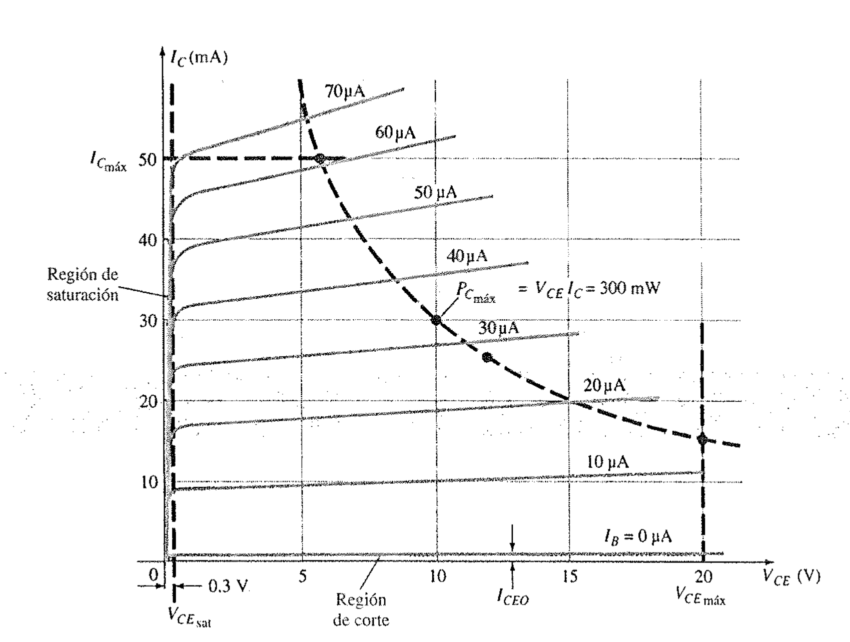


Figura 3.22 Definición de la región lineal de operación (sin distorsión) de un transistor.

El nivel máximo de disipación se define por la ecuación siguiente:

$$P_{C_{máx}} = V_{CE}I_C \quad (3.16)$$

Para el dispositivo de la figura 3.22, la disipación de potencia del colector se especificó en 300 mW. Por lo que surge la cuestión sobre cómo graficar la curva de disipación de potencia del colector especificada por el hecho de que

$$P_{C_{máx}} = V_{CE}I_C = 300 \text{ mW}$$

o

$$V_{CE}I_C = 300 \text{ mW}$$

En cualquier punto sobre las características, el producto de V_{CE} por I_C debe ser igual a 300 mW. Si seleccionamos que I_C tenga el valor máximo de 50 mA y se sustituye en la relación anterior, se obtiene

$$V_{CE}I_C = 300 \text{ mW}$$

$$V_{CE}(50 \text{ mA}) = 300 \text{ mW}$$

$$V_{CE} = \frac{300 \text{ mW}}{50 \text{ mA}} = \mathbf{6 \text{ V}}$$

Como resultado, tenemos que si $I_C = 50$ mA, entonces $V_{CE} = 6$ V sobre la curva de disipación de potencia, como se indicó en la figura 3.22. Si ahora seleccionamos que V_{CE} tenga su valor máximo de 20 V, el nivel de I_C será el siguiente:

$$(20 \text{ V})I_C = 300 \text{ mW}$$

$$I_C = \frac{300 \text{ mW}}{20 \text{ V}} = \mathbf{15 \text{ mA}}$$

lo que define un segundo punto sobre la curva de potencia.

Si ahora se elige un nivel de I_C en el rango medio tal como 25 mA, y resolvemos para el nivel resultante de V_{CE}, se obtiene

$$V_{CE}(25 \text{ mA}) = 300 \text{ mW}$$

y

$$V_{CE} = \frac{300 \text{ mW}}{25 \text{ mA}} = \mathbf{12 \text{ V}}$$

como también se indica en la figura 3.22.

Por lo regular, se puede dibujar un estimado aproximado de la curva real utilizando los tres puntos que se definieron antes. Desde luego, mientras más puntos se tengan, más exacta será la curva, sin embargo, casi siempre lo único que se necesita es un cálculo aproximado.

La región de *corte* se define como la región por debajo de $I_C = I_{CEO}$. Esta región también debe evitarse si se busca que la señal de salida tenga una distorsión mínima. En algunas hojas de especificaciones sólo se incluye I_{CBO}. Entonces, se deberá utilizar la ecuación $I_{CEO} = \beta I_{CBO}$ para darse una idea del nivel de corte si no se dispone de las curvas características. La operación en la región resultante de la figura 3.22 asegurará una distorsión mínima de la señal de salida al igual que niveles de corriente y de voltaje que no dañarán al dispositivo.

En caso de que no se cuente con las curvas características, o que éstas no aparezcan en la hoja de especificaciones (cosa que suele ocurrir), sólo habrá que asegurarse que I_C, V_{CE}, y su producto $V_{CE}I_C$ caigan dentro del rango que aparece en la ecuación (3.17).

$$\begin{gathered} I_{CEO} \leqq \boldsymbol{I_C} \leqq I_{C_{max}} \\ V_{CE_{sat}} \leqq \boldsymbol{V_{CE}} \leqq V_{CE_{máx}} \\ \boldsymbol{V_{CE}I_C} \leqq P_{C_{máx}} \end{gathered} \quad (3.17)$$

Para las características de base común, la curva de potencia máxima se define por el siguiente producto de las cantidades de salida:

$$P_{C_{máx}} = V_{CB}I_C \quad (3.18)$$

3.9 HOJA DE ESPECIFICACIONES DE TRANSISTORES

Debido a que la hoja de especificaciones es el enlace de comunicación entre el fabricante y el usuario, es particularmente importante que la información proporcionada se reconozca y se entienda con claridad. Aunque no hemos presentado todos los parámetros, ahora nos familiarizaremos con casi todos. Los parámetros restantes se presentarán en los capítulos siguientes. Entonces, se hará referencia a esta hoja de especificaciones para revisar la forma como se presenta el parámetro.

La información que se proporciona en la figura 3.23 se tomó directamente de la publicación *Small-Signal Transistors, FETs, and Diodes* (Transistores de pequeña señal, FETs y diodos) preparada por Motorola Inc. El 2N4123 es un transistor *npn* de propósito general cuya identificación de encapsulado y de terminales se muestran en la esquina superior derecha de la figura 3.23a. La mayoría de las hojas de especificaciones se dividen en *valores nominales máximos, características térmicas y características eléctricas.* Las características eléctricas se dividen a su vez en características de "encendido", "apagado" y de pequeña señal. Las características de "encendido" y de "apagado" se refieren a los límites de dc, en tanto que las de pequeña señal incluyen los parámetros importantes para la operación en ac.

Observe en la lista de valores nominales máximos que $V_{CE_{máx}} = V_{CEO} = 30$ V con $I_{C_{máx}} =$ 200 mA. La disipación máxima del colector $P_{C_{máx}} = P_D = 625$ mW. El factor de reducción de disipación bajo el valor máximo especifica que el valor máximo deberá disminuirse en 5 mW por cada aumento de 1° de temperatura por arriba de los 25°C. En las características de "apagado" I_{CBO} se especifica como 50 nA y en las características de "encendido" $V_{CE_{sat}} = 0.3$ V. El nivel de h_{FE} tiene un rango de entre 50 y 150 en $I_C = 2$ mA y $V_{CE} = 1$ V, y un valor mínimo de 25 para la corriente más alta de 50 mA al mismo voltaje.

Ahora que hemos definido los límites de operación para el dispositivo, éstos se repiten a continuación en el formato de la ecuación (3.17) utilizando $h_{FE} = 150$ (límite superior) e $I_{CEO} \cong \beta I_{CBO} = (150)(50 \text{ nA}) = 7.5\ \mu$A. Ciertamente, para muchas aplicaciones los 7.5 μA = 0.0075 mA pueden considerarse como 0 mA sobre una base aproximada.

Límites de operación

$$7.5\ \mu\text{A} \leqq \boldsymbol{I_C} \leqq 200 \text{ mA}$$

$$0.3 \text{ V} \leqq \boldsymbol{V_{CE}} \leqq 30 \text{ V}$$

$$\boldsymbol{V_{CE}I_C} \leqq 650 \text{ mW}$$

En las características de pequeña señal se proporciona el nivel de h_{fe} (β_{ac}) junto con una gráfica que muestra la forma como varía con la corriente del colector en la figura 3.23f. En la figura 3.23j se demuestra el efecto de la temperatura y de la corriente del colector sobre el nivel de h_{FE} (β_{ac}). A temperatura ambiente (25°C), observe que h_{FE} (β_{dc}) tiene un valor máximo de 1 en el área cercana a 8 mA. Conforme I_C se incrementa por arriba de este nivel, h_{FE} disminuye a la mitad del valor, con I_C igual a 50 mA. También puede caer a este nivel si I_C disminuye hasta el nivel bajo de 0.15 mA. Como se trata de una curva *normalizada*, si se tiene un transistor con $\beta_{dc} = h_{FE} = 50$ a temperatura ambiente, el valor máximo para 8 mA será 50. Cuando $I_C = 50$ mA éste habrá caído a 50/2 = 25. En otras palabras, la normalización revela que el ni-

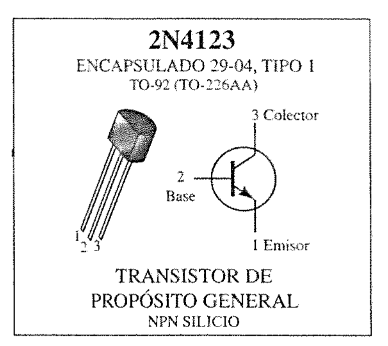
vel real de h_{FE} a cualquier nivel de I_C se dividió entre el valor máximo de h_{FE} a esa temperatura y con $I_C = 8$ mA. Observe también que la escala horizontal de la figura 3.23j es una escala logarítmica. Las escalas logarítmicas se analizarán con todo detalle en el capítulo 11. Es probable que el lector, desee regresar a las gráficas de esta sección cuando se encuentre revisando las primeras secciones del capítulo 11.

VALORES NOMINALES MÁXIMOS

Valor Nominal	Símbolo	2N4123	Unidad
Voltaje colector-emisor	V_{CEO}	30	Vdc
Voltaje colector-base	V_{CBO}	40	Vdc
Voltaje emisor-base	V_{EBO}	5.0	Vdc
Corriente del colector – continua	I_C	200	mAdc
Disipación total del dispositivo @ TA = 25°C Reducir por encima de 25 °C	P_D	625 5.0	mW mW°C
Rango de temperaturas de la unión para almacenamiento y operación	T_j, T_{stg}	–55 a +150	°C

2N4123

ENCAPSULADO 29-04, TIPO 1
TO-92 (TO-226AA)



TRANSISTOR DE PROPÓSITO GENERAL
NPN SILICIO

CARACTERÍSTICAS TÉRMICAS

Característica	Símbolo	Máx	Unidad
Resistencia térmica, unión al encapsulado	$R_{\theta JC}$	83.3	°C W
Resistencia térmica, unión al ambiente	$R_{\theta JA}$	200	°C W

CARACTERÍSTICAS ELÉCTRICAS ($T_A = 25$°C a menos que se indique lo contrario)

Característica	Símbolo	Mín	Máx	Unidad
CARACTERÍSTICAS DE APAGADO				
Voltaje de ruptura colector-emisor (1) ($I_C = 1.0$ mAdc, $I_E = 0$)	$V_{(BR)CEO}$	30		Vdc
Voltaje de ruptura colector-base ($I_C = 10$ μAdc, $I_E = 0$)	$V_{(BR)CBO}$	40		Vdc
Voltaje de ruptura emisor-base ($I_E = 10$ μAdc, $I_C = 0$)	$V_{(BR)EBO}$	5.0	–	Vdc
Corriente de corte del colector ($V_{CB} = 20$ Vdc, $I_E = 0$)	I_{CBO}	–	50	nAdc
Corriente de corte del emisor ($V_{BE} = 3.0$ Vdc, $I_C = 0$)	I_{EBO}	–	50	nAdc
CARACTERÍSTICAS DE ENCENDIDO				
Ganancia de corriente de dc (1) ($I_C = 2.0$ mAdc, $V_{CE} = 1.0$ Vdc) ($I_C = 50$ mAdc, $V_{CE} = 1.0$ Vdc)	h_{FE}	50 25	150 –	–
Voltaje de saturación colector-emisor (1) ($I_C = 50$ mAdc, $I_B = 5.0$ mAdc)	$V_{CE(sat)}$	–	0.3	Vdc
Voltaje de saturación base-emisor (1) ($I_C = 50$ mAdc, $I_B = 5.0$ mAdc)	$V_{BE(sat)}$	–	0.95	Vdc
CARACTERÍSTICAS DE PEQUEÑA SEÑAL				
Producto ganancia en corriente – ancho de banda ($I_C = 10$ mAdc, $V_{CE} = 20$ Vdc, f = 100 MHz)	f_T	250		MHz
Capacitancia de salida ($V_{CB} = 5.0$ Vdc, $I_E = 0$, f = 100 MHz)	C_{obo}	–	4.0	pF
Capacitancia de entrada ($V_{BE} = 0.5$ Vdc, $I_C = 0$, f = 100 kHz)	C_{ibo}	–	8.0	pF
Capacitancia colector-base ($I_E = 0$, $V_{CB} = 5.0$ V, f = 100 kHz)	C_{cb}	–	4.0	pF
Ganancia de corriente en pequeña señal ($I_C = 2.0$ mAdc, $V_{CE} = 10$ Vdc, f = 1.0 kHz)	h_{fe}	50	200	–
Ganancia de corriente en alta frecuencia ($I_C = 10$ mAdc, $V_{CE} = 20$ Vdc, f = 100 MHz) ($I_C = 2.0$ mAdc, $V_{CE} = 10$ V, f = 1.0 kHz)	h_{fe}	2.5 50	– 200	–
Factor de ruido ($I_C = 100$ µAdc, $V_{CE} = 5.0$ Vdc, $R_S = 1.0$ k ohm, f = 1.0 kHz)	NF	–	6.0	dB

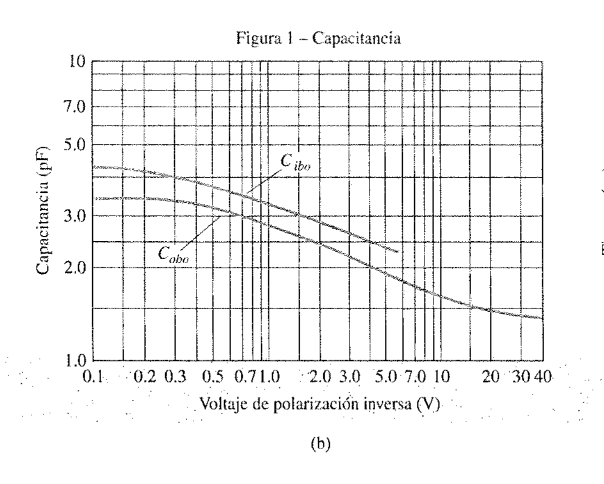
(1) Pulso de prueba: Amplitud del pulso = 300 μs. Ciclo de trabajo = 2.0%.

(a)

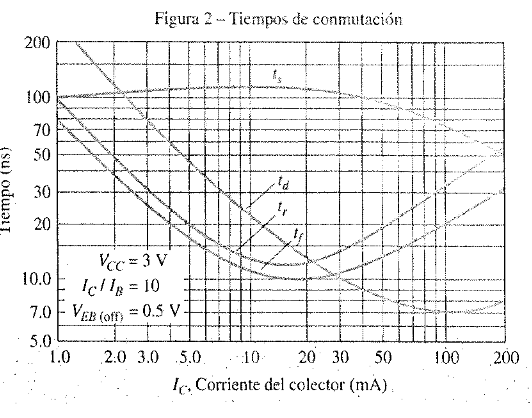
Figura 3.23 Hoja de especificaciones del transistor.

Antes de concluir con esta descripción de las características, observe el hecho de que no se proporcionan las características reales del colector. De hecho, casi todas las hojas de especificaciones que presentan la mayoría de los fabricantes no proporcionan las características completas. Se espera que los datos que se proporcionan sean suficientes para utilizar de manera eficaz el dispositivo en el proceso de diseño.

Como se observó en la introducción de esta sección, no todos los parámetros que se incluyen en la hoja de especificaciones se analizaron en las secciones o capítulos anteriores. Sin embargo, la hoja de especificaciones que se proporciona en la figura 3.23 se mencionará continuamente en los capítulos que siguen, a medida que se presenten los parámetros. La hoja de especificaciones puede ser una herramienta muy valiosa para el diseño o para el modo de análisis y deberá esforzarse lo necesario para conocer la importancia de cada parámetro, y la forma en que éste puede variar ante el cambio en los niveles de corriente, temperatura y demás.



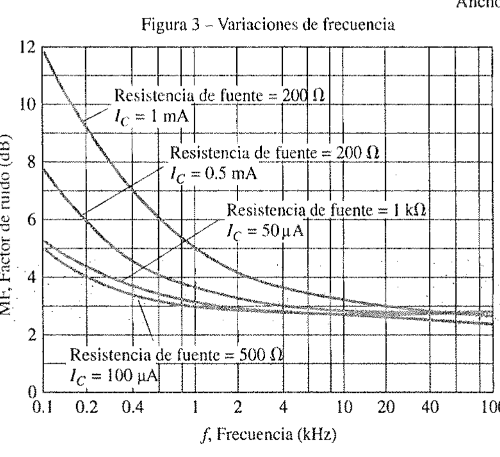
(b)



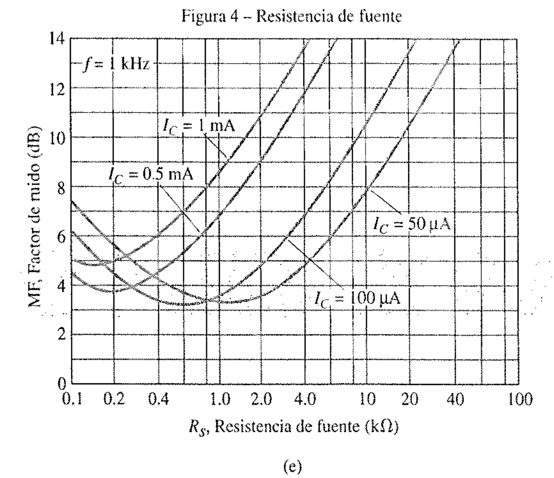
(c)

CARACTERÍSTICAS DE AUDIO EN PEQUEÑA SEÑAL
FACTOR DE RUIDO

($V_{CE} = 5$ Vdc, $T_A = 25$°C)
Ancho de banda = 1.0 Hz



(d)

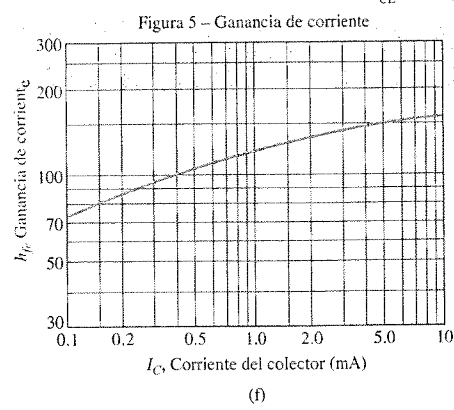


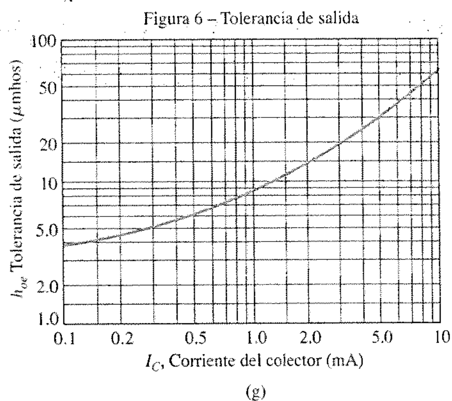
(e)

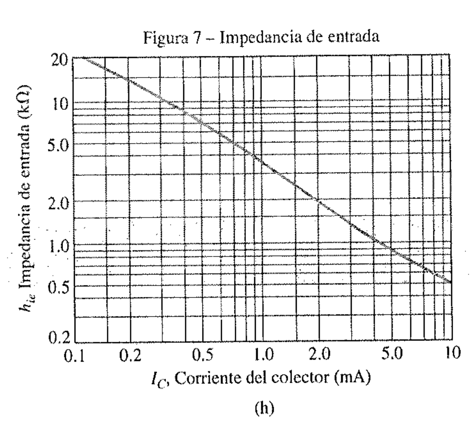
Figura 3.23 Continuación.

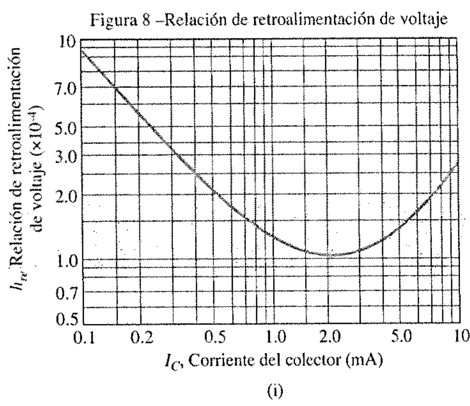
PARÁMETROS h

V_{CE} = 10 V, f = 1 kHz, T_A = 25°C









CARACTERÍSTICAS ESTÁTICAS

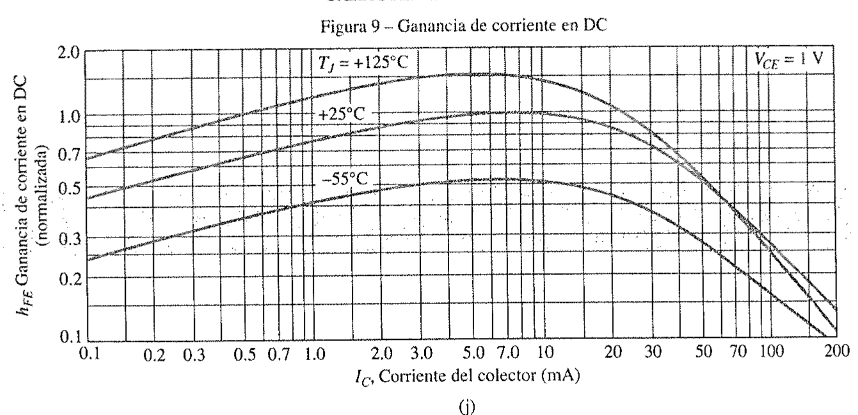


Figura 3.23 Continuación.

3.10 VERIFICACIÓN DE TRANSISTORES

De manera similar como ocurre con los diodos, existen tres "caminos" que pueden tomarse para verificar un transistor: *trazador de curvas, medidor digital y óhmetro.*

Trazador de Curvas

El trazador de curvas de la figura 1.50 generará la imagen de la figura 3.24 una vez que todos los controles se ajusten de manera adecuada. Las pantallas más pequeñas a la derecha indican la escala que se aplica a las características. La sensibilidad vertical es de 2 mA/div, lo que da por resultado la escala que se muestra a la izquierda del monitor. La sensibilidad horizontal es de 1 V/div, lo que da por resultado la escala que se muestra debajo de las características. La función de incremento indica que las curvas están separadas por una diferencia de 10 μA, empezando en 0 μA para la curva de la parte inferior. El último factor de escala que se proporciona se puede utilizar para determinar con rapidez la β_{ac} para cualquier región de las características. Sólo multiplique el factor mostrado por el número de divisiones entre las curvas I_B en la región de interés. Por ejemplo, determinemos β_{ac} para un punto Q con $I_C = 7$ mA y $V_{CE} = 5$ V. En esta región de la pantalla, la distancia entre las curvas I_B es de $\frac{9}{10}$ de una división como se indica en la figura 3.25. Al utilizar el factor especificado, se encuentra que

$$\beta_{ac} = \frac{9}{10}\,\text{div}\left(\frac{200}{\text{div}}\right) = \mathbf{180}$$

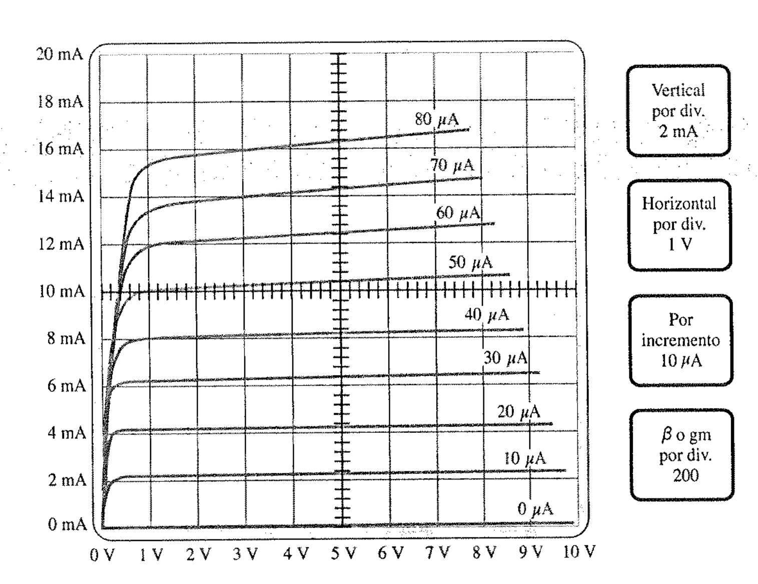


Figura 3.24 Respuesta del trazador de curvas al transistor *npn* 2N3904.

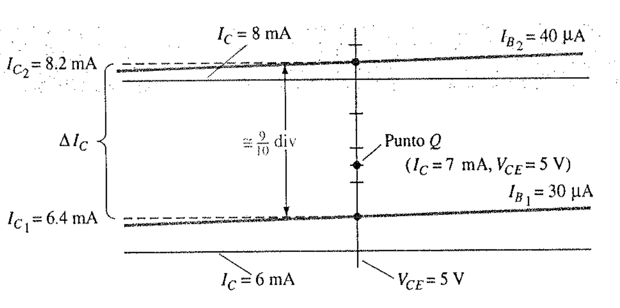
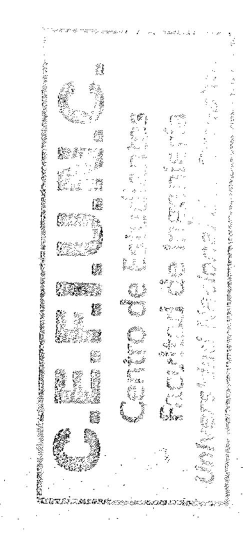
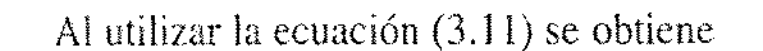


Figura 3.25 Determinación de β_{ac} para las características del transistor de la figura 3.24 cuando I_C = 7 mA y V_{CE} = 5 V.





Al utilizar la ecuación (3.11) se obtiene

$$\beta_{ac} = \frac{\Delta I_C}{\Delta I_B}\bigg|_{V_{CE}=\text{constante}} = \frac{I_{C_2} - I_{C_1}}{I_{B_2} - I_{B_1}} = \frac{8.2\text{ mA} - 6.4\text{ mA}}{40\ \mu\text{A} - 30\ \mu\text{A}}$$

$$= \frac{1.8\text{ mA}}{10\ \mu\text{A}} = \mathbf{180}$$

lo que verifica la determinación anterior.

Figura 3.26 Verificador de transistores. (Cortesía de Computronics Technology, Inc.)

Medidores digitales avanzados

En el mercado se encuentran disponibles actualmente medidores digitales avanzados como el de la figura 3.26 que son capaces de proporcionar el nivel de h_{FE}, mediante el uso de los conectores para las terminales que se encuentran en la parte inferior izquierda de la perilla selectora. Observe la opción de *pnp* o *npn* y la disponibilidad de dos bornes para el emisor, esto para manejar la secuencia de terminales, según sea el encapsulado. El nivel de h_{FE} se determina a una corriente de colector de 2 mA para el modelo Testmate 175 A, que también aparece en la pantalla digital. Obsérvese que este versátil instrumento también puede verificar un diodo, medir la capacitancia y la frecuencia además de las funciones normales de medición de voltaje, corriente y resistencia.

De hecho, el modo de verificación de diodo se puede usar para verificar las uniones *p-n* de un transistor. Con el colector abierto, la unión base-emisor debe dar por resultado un voltaje bajo de aproximadamente 0.7 V, con la punta de prueba roja (positivo) conectada a la base y la punta de prueba negra (negativo) conectada al emisor. Una inversión de las terminales debe dar por resultado una indicación OL que representa la unión en polarización inversa. De forma similar, con el emisor abierto, es posible verificar los estados de polarización directa e inversa de la unión base-colector.

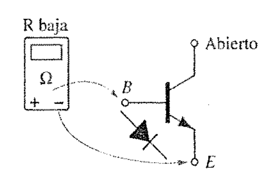


Figura 3.27 Verificación de la unión base-emisor en polarización directa para un transistor *npn*.

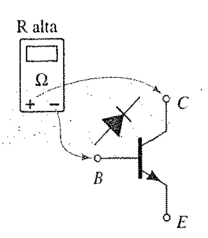


Figura 3.28 Verificación de la unión base-colector en polarización inversa para un transistor *npn*.

Óhmetro

Es posible utilizar un óhmetro o las escalas de resistencia de un DMM (multímetro digial) para verificar el estado de un transistor. Recuerde que para un transistor en la región activa, la unión base-emisor tiene polarización directa y la unión base-colector tiene polarización inversa. Por tanto, en esencia, la unión con polarización directa deberá registrar una resistencia relativamente baja, mientras que la unión con polarización inversa deberá mostrar una resistencia mucho mayor. Para un transistor *npn*, la unión en polarización directa (polarizada por la fuente interna en el modo de resistencia) de la base al emisor deberá verificarse como se indica en la figura 3.27, y dará por resultado una lectura que, por lo regular, caerá en el rango desde 100 Ω a unos cuantos kilohms. La unión con polarización inversa base-colector (nuevamente polarizada de forma inversa por la fuente interna) debe verificarse según se muestra en la figura 3.28 con una lectura que típicamente excede los 100 kΩ. Para un transistor *pnp* las terminales se invierten para cada unión. Es obvio que una resistencia grande o pequeña en ambas direcciones (invirtiendo las terminales) para cada unión de un transistor *npn* o *pnp* indicará un dispositivo dañado.

Si ambas uniones de un transistor generan las lecturas esperadas, es posible también determinar el tipo de transistor con sólo observar la polaridad de las puntas de prueba cuando se aplican a la unión base-emisor. Si la punta de prueba positiva (+) se conecta a la base y la negativa (−) al emisor, una lectura de baja resistencia indicará un transistor *npn*. Una lectura de alta resistencia indicará un transistor *pnp*. Aunque también puede utilizarse un óhmetro para determinar las terminales (base, colector y emisor) de un transistor se supone que esta confirmación puede hacerse con sólo observar la orientación de los contactos en el encapsulado.

3.11 ENCAPSULADO DE TRANSISTORES E IDENTIFICACIÓN DE TERMINALES

Después de que se ha fabricado el transistor utilizando una de las técnicas que se describen en el capítulo 12, se unen las terminales, que comúnmente son de oro, aluminio o níquel, y toda la estructura se encapsula en un contenedor como el que se muestra en el figura 3.29. Los que presentan una manufactura de trabajo pesado son dispositivos de alta potencia, en tanto que los otros cuyo encapsulado es pequeño (como sombrero alto) o cuyo cuerpo es de plástico son dispositivos de baja o mediana potencia.

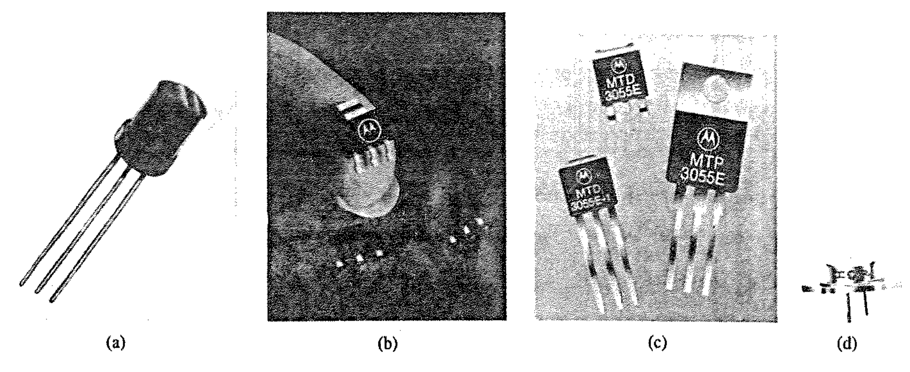


Figura 3.29 Diversos tipos de transistores: (a) Cortesía de General Electric Company; (b) y (c) Cortesía de Motorola Inc.; (d) Cortesía de International Rectifier Corporation.

En lo posible, el encapsulado del transistor contará con algún tipo de marca para indicar qué terminales se encuentran conectadas al emisor, colector y base de un transistor. Algunos de los métodos que se utilizan con mayor frecuencia se indican en la figura 3.30.

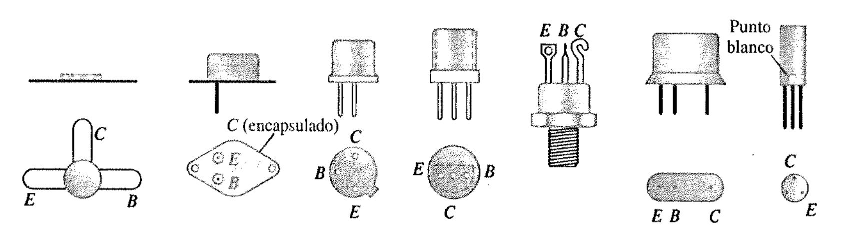


Figura 3.30 Identificación de las terminales del transistor.

En la figura 3.31 aparece la construcción interna de un encapsulado TO-92 de la línea Fairchild. Observe el tamaño tan pequeño del dispositivo semiconductor real. Cuenta con pequeños alambres de oro para conectar las terminales, una estructura de cobre y un encapsulado de resina epóxica.

Es posible encapsular cuatro transistores *pnp* individuales de silicio en el encapsulado de línea doble de 14 terminales, que aparece en la figura 3.32a. Las conexiones internas de las terminales se muestran en la figura 3.32b. De la misma forma que como ocurre con el encapsulado de diodos en IC, la muesca en la superficie superior indica la terminal 1 y la 14.

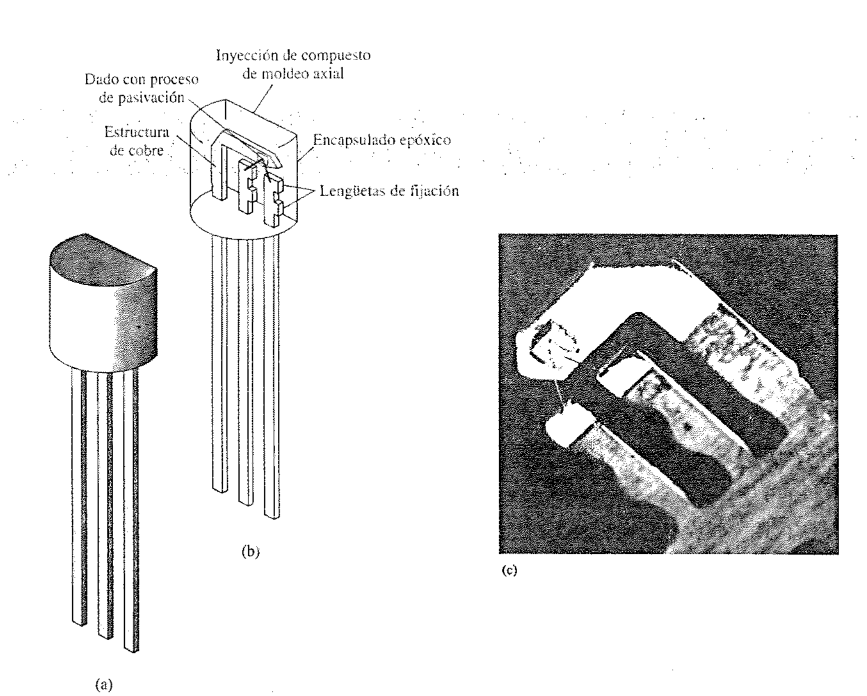


Figura 3.31 Construcción interna de un transistor Fairchild en un encapsulado TO-92. (Cortesía de Fairchild Camera and Instrument Corporation.)

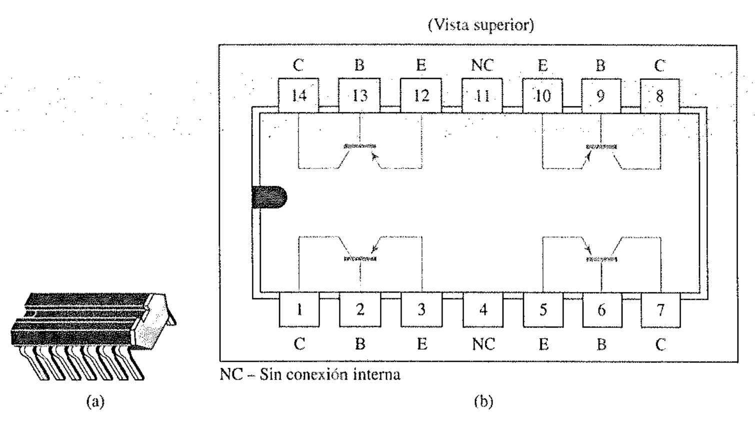


Figura 3.32 Transistor *pnp* cuádruple de silicio tipo Q2T2905 de Texas Instruments: (a) aspecto; (b) conexiones de terminales. (Cortesía de Texas Instruments Incorporated.)

3.12 RESUMEN

Conclusiones y conceptos importantes

1. Los dispositivos semiconductores poseen las siguientes ventajas sobre los tubos de vacío: Son (1) **más pequeños;** (2) **más ligeros;** (3) **más resistentes,** y (4) **más eficientes.** Además, (1) **no requieren periodo de calentamiento;** (2) **no tienen requisitos de disipación de calor,** y (3) **tienen menores voltajes de operación.**
2. Los transistores son **dispositivos de tres terminales** con tres capas de semiconductor, siendo la capa central mucho **más angosta** que las otras dos. Las dos capas exteriores son de tipo *n* o tipo *p* con el material opuesto en la capa central.

3. Una de las dos uniones *p-n* del transistor se encuentra en **polarización directa** mientras que la otra está en **polarización inversa.**
4. La corriente del emisor en dc es siempre la **mayor corriente** de un transistor mientras que la corriente de la base es siempre la **más pequeña.** La corriente del emisor siempre es la **suma** de las otras dos.
5. La corriente del colector está compuesta por **dos componentes:** el **componente mayoritario** y la **corriente minoritaria** (también llamada **corriente de *fuga***).
6. La flecha en el símbolo del transistor define la dirección del **flujo de la corriente convencional para la corriente del emisor** y por tanto define la dirección de las otras corrientes del dispositivo.
7. Un dispositivo de tres terminales requiere **dos conjuntos de características** para definir de forma completa sus características.
8. En la región activa de un transistor, la unión base-emisor se encuentra en **polarización directa** mientras que la unión colector-base se encuentra en polarización inversa.
9. En la región de corte las uniones base-emisor y colector-base de un transistor se encuentran **ambas en polarización inversa.**
10. En la región de saturación las uniones base-emisor y colector-base se encuentran en **polarización directa.**
11. En promedio, como una primera aproximación, el voltaje base-emisor de un transistor en operación puede suponerse de **0.7V.**
12. El parámetro alfa (α) relaciona a la corriente del emisor con la del colector y es aproximadamente **uno.**
13. La impedancia entre las terminales para una unión en polarización directa siempre será relativamente **pequeña** mientras que la impedancia entre las terminales de una unión en polarización inversa es generalmente **muy grande.**
14. La flecha en el símbolo de un transistor *npn* apunta hacia fuera del dispositivo (no apunta adentro), mientras que la flecha apunta hacia el centro del símbolo para un transistor *pnp* (apunta dentro).
15. Para propósitos de amplificación lineal, el corte para la configuración de emisor común estará definido por $I_C = I_{CEO}$.
16. El parámetro (β) proporciona una importante relación entre las corrientes de la base y el colector y generalmente se encuentra entre **50 y 400.**
17. La beta en dc se define por la simple **relación entre las corrientes de dc en un punto de operación,** mientras que la beta en ac es **sensible a las características** en la región de interés. Para la mayoría de las aplicaciones, sin embargo, ambas se consideran equivalentes como una primera aproximación.
18. Para asegurar que un transistor se encuentra operando dentro de su valor nominal del nivel de potencia máximo, solamente calcule el **producto del voltaje colector-emisor con la corriente del colector,** y compárelo con el valor de la especificación.

Ecuaciones

$$I_E = I_C + I_B$$

$$I_C = I_{C_{\text{mayoritario}}} + I_{CO_{\text{minoritario}}}$$

$$V_{BE} = 0.7\ \text{V}$$

$$\alpha_{\text{dc}} = \frac{I_C}{I_E}$$

$$\alpha_{\text{ac}} = \left.\frac{\Delta I_C}{\Delta I_E}\right|_{V_{CB} = \text{constante}}$$

$$I_{CEO} = \left.\frac{I_{CBO}}{1 - \alpha}\right|_{I_B = 0\,\mu A}$$

$$\beta_{dc} = \frac{I_C}{I_B}$$

$$\beta_{ac} = \left.\frac{\Delta I_C}{\Delta I_B}\right|_{V_{CE} = \text{constante}}$$

$$\alpha = \frac{\beta}{\beta + 1}$$

$$I_C = \beta I_B$$

$$I_E = (\beta + 1)I_B$$

$$P_{C_{máx}} = V_{CE} I_C$$

3.13 ANÁLISIS POR COMPUTADORA

PSpice para Windows

Ya que en este capítulo se han presentado las características del transistor, parece apropiado ahora analizar el procedimiento para obtener esas características por medio de PSpice para Windows. Los transistores se encuentran contenidos en la biblioteca **EVAL.sld** y comienzan bajo la letra **Q.** Esta biblioteca contiene dos transistores *npn* y dos *pnp*. El hecho de que los niveles I_B definan varias curvas, requerirá que se efectúe un barrido de los valores de I_B dentro de otro barrido de los voltajes colector-emisor (*barrido anidado*). Esto fue innecesario para el caso de los diodos, ya que sólo se genera una curva.

Primeramente se establece la red de la figura 3.33 empleando el mismo procedimiento definido en el capítulo 2. El voltaje V_{CC} determinará el barrido principal, mientras que el voltaje V_{BB} determinará el barrido anidado. Para futura referencia, observe el tablero en la parte superior derecha de la barra de menú con el control de desplazamiento de la pantalla cuando se construya la red. Esta opción le permite recuperar elementos que se hayan empleado antes. Por ejemplo, si se colocó un resistor hace algún tiempo, solamente regrese a la barra de desplazamiento y desplácela hasta que el resistor **R** aparezca, haga clic una vez y el resistor aparecerá en la pantalla.

Luego, seleccione el icono de preparación del análisis (**Analysis Setup**) y habilite la opción **DC Sweep** (barrido en DC), posteriormente seleccione las opciones **Voltage Source** y **Linear.** Teclee en el campo de nombre (**Name**) el voltaje V_{CC} con un valor inicial (**Start Value**) de 0 V y un valor final (**End Value**) de 10 V. Utilice un incremento (**Increment**) de 0.01 V para asegurar una gráfica continua y detallada. En esta ocasión en lugar de hacer clic en **OK** debemos seleccionar la opción de barrido anidado (**Nested Sweep**) y aparecerá un cuadro de diálogo barrido anidado en dc (**DC Nested Sweep**) el cual nos solicitará que repitamos las opciones que recién capturamos pero ahora para el voltaje V_{BB}. Nuevamente se seleccionan las opciones de **Voltage Source** y **Linear,** pero ahora el nombre se inserta como V_{BB}. El valor inicial (**Start Value**) será de 2.7 V que corresponde con una corriente inicial 20 μA como lo determina

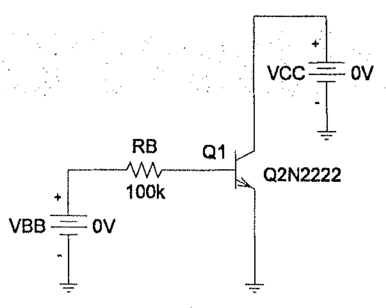


Figura 3.33 Red utilizada para obtener las características del colector del transistor Q2N2222.

$$I_B = \frac{V_{BB} - V_{BE}}{R_B} = \frac{2.7\text{ V} - 0.7\text{ V}}{100\text{ k}\Omega} = \mathbf{20\ \mu A}$$

El incremento será de 2 V, que corresponde con un cambio en la corriente de base de 20 μA entre los niveles de I_B. El valor final será de 10.7 V, el cual corresponde con una corriente de 100 μA. Antes de abandonar el cuadro de diálogo, asegúrese de haber habilitado el barrido anidado. Después haga clic en **OK** seguido de cerrar la opción de **Analysis Setup,** con lo cual nos encontramos listos para efectuar el análisis. En esta ocasión ejecutaremos automáticamente Run Probe después de efectuar el análisis seleccionando la opción **Analysis-Probe Setup** seguido por la opción **Automatically run Probe alter simulation.** Después de haber seleccionado **OK** y el icono de simulación (**Simulation icon**) (recuerde que éste es el que presenta fondo amarillo con dos formas de onda), se desplegará de forma automática la pantalla **OrCAD MicroSim Probe** con la simulación. En esta ocasión, debido a que V_{CC} es el voltaje colector-emisor, no hay necesidad de etiquetar el voltaje en el colector. De hecho, ya que éste aparece como el eje horizontal de la respuesta de la simulación, no se requiere modificar en lo absoluto la configuración del eje *x* (**X-Axis Settings**) si identificamos que V_{CC} es el voltaje colector-emisor. Para el eje vertical acudimos a **Trace-Add** para obtener el cuadro de diálogo de agregar trazos (**Add Traces**), donde seleccionamos **IC(Q1)** y **OK** para obtener las características del transistor. Desafortunadamente éstas se extienden de −10 a +20 mA sobre el eje vertical, lo cual puede corregirse seleccionando **Plot** y luego **Y-Axis Settings** para obtener el cuadro de diálogo con la configuración del eje *y*, donde será posible definir el nuevo rango de 0 a 20 mA con una escala lineal presionando **User Defined** (definido por el usuario). Seleccione **OK** nuevamente y se presentarán las características del figura 3.34.

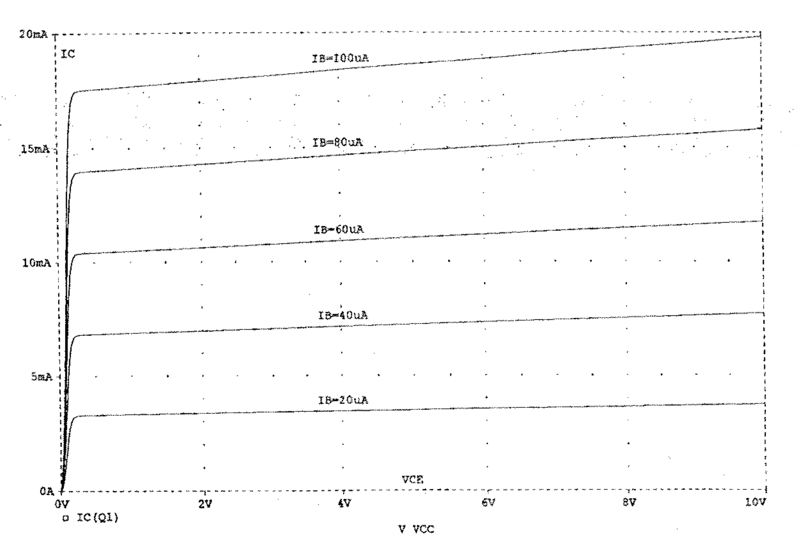


Figura 3.34 Características del colector del transistor de la figura 3.33.

Utilizando el icono **ABC** de la barra de menú, es posible insertar los distintos niveles de I_B junto con las etiquetas V_{CE} e I_C para los ejes. Solamente haga clic en el icono y aparecerá un cuadro de diálogo solicitando los textos. Ingrese el texto deseado y haga clic en **OK** para que se muestren en la pantalla, posteriormente podrán colocarse en el lugar deseado.

Si la beta de ac se determina en la parte media de la gráfica, verá que su valor es cercano a 190, incluso si **Bf** en la lista de especificaciones es de 255.9. Nuevamente, como en el caso del diodo, los demás parámetros de los elementos están ejerciendo un efecto notorio sobre la operación total. Sin embargo, si volvemos a las especificaciones del diodo mediante la secuencia **Edit-Model-Edit Instance Model (Text)**, borramos los parámetros del dispositivo excepto

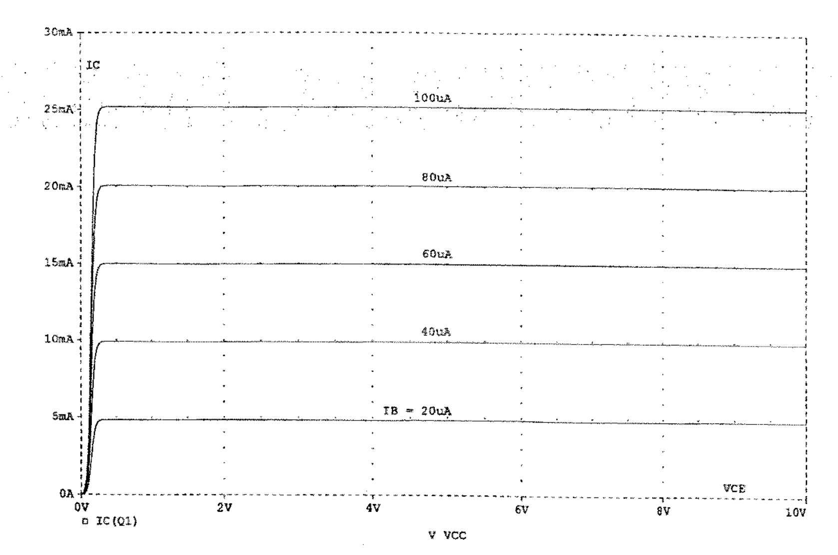


Figura 3.35 Características ideales de colector del transistor de la figura 3.33.

Bf = 255.9 (no olvide cerrar los paréntesis al final de la lista) y continuamos con **OK** y **Simulation,** se desplegará un nuevo conjunto de curvas. Si se ajusta el rango del eje y a 0-30 mA empleando **Y-Axis Settings** tendremos las características mostradas en la figura 3.35.

Primeramente observe que todas las curvas son casi horizontales, lo cual indica que el elemento no cuenta con elemento resistivo alguno. Además, el espaciado similar entre las curvas revela que la beta es la misma en todo lugar (como lo especifican las características de nuestro nuevo dispositivo). Empleando una diferencia de 5 mA entre dos curvas cualquiera y dividiendo por la diferencia en I_B de 20 μA, tendremos una beta de 250, la cual es esencialmente la misma que la que se especificó para el dispositivo.

PROBLEMAS

§ 3.2 Construcción del transistor

1. ¿Qué nombres se aplican a los dos tipos de transistores BJT? Dibuje la construcción básica de cada uno e identifique los diversos portadores minoritarios y mayoritarios de cada uno. Dibuje el símbolo gráfico junto a cada uno. ¿Se altera alguna información al cambiar de una base de silicio a una de germanio?
2. ¿Cuál es la diferencia más importante entre un dispositivo bipolar y uno unipolar?

§ 3.3 Operación del transistor

3. ¿Cómo se deben polarizar las dos uniones del transistor para una operación de amplificación correcta del transistor?
4. ¿Cuál es la fuente de la corriente de fuga en un transistor?
5. Dibuje una figura similar a la figura 3.3 para la unión en polarización directa de un transistor *npn*. Describa el movimiento resultante del portador.
6. Dibuje una figura similar a la figura 3.4 para la unión con polarización inversa de un transistor *npn*. Describa el movimiento resultante del portador.
7. Dibuje una figura similar a la figura 3.5 para el flujo de portadores mayoritarios y minoritarios de un transistor *npn*. Describa el movimiento resultante del portador.
8. ¿Cuál de las corrientes del transistor es siempre la mayor? ¿Cuál es siempre la menor? ¿Cuáles dos corrientes son relativamente cercanas en magnitud?
9. Si la corriente del emisor de un transistor es de 8 mA e I_B es 1/100 de I_C, determine los niveles de I_C e I_B.

§ 3.4 Configuración de base común

10. Dibuje de memoria el símbolo de un transistor *pnp* y de uno *npn* y luego inserte la dirección del flujo convencional de cada corriente.
11. Mediante las características de la figura 3.7, determine V_{BE} cuando I_E = 5 mA y cuando V_{CB} = 1, 10 y 20 V. ¿Es razonable suponer sobre una base aproximada que V_{CB} ejerce sólo un ligero efecto sobre la relación entre V_{BE} e I_E?
12. (a) Determine la resistencia promedio de ac para las características de la figura 3.10b.
    (b) Para las redes en donde la magnitud de los elementos resistivos es típicamente de magnitudes de kilohms, ¿es válida la aproximación de la figura 3.10c [con base en los resultados del inciso (a)]?
13. (a) Mediante las características de la figura 3.8, determine la corriente del colector resultante si I_E = 4.5 mA y V_{CB} = 4 V.
    (b) Repita el inciso (*a*) cuando I_E = 4.5 mA y V_{CB} = 16 V.
    (c) ¿Cómo afectó el cambio en V_{CB} al nivel resultante de I_C?
    (d) Sobre una base aproximada y con base en el resultado anterior, ¿cómo se encuentran relacionados entre sí I_E e I_C?
14. (a) Mediante las características de la figura 3.7 y 3.8, determine I_C si V_{CB} = 10 V y V_{BE} = 800 mV.
    (b) Determine V_{BE} si I_C = 5 mA y V_{CB} = 10 V.
    (c) Repita el inciso (*b*) mediante las características de la figura 3.10b.
    (d) Repita el inciso (*b*) mediante las características de la figura 3.10c.
    (e) Compare los resultados de V_{BE} de los incisos (*b*), (*c*) y (*d*). ¿Puede ignorarse la diferencia si se presentan niveles de voltaje mayores a unos cuantos volts?
15. (a) Dado un α_{dc} de 0.998 determine I_C si I_E = 4 mA.
    (b) Determine α_{dc} si I_E = 2.8 mA e I_B = 20 μA.
    (c) Encuentre I_E si I_B = 40 μA y α_{dc} es 0.98.
16. De memoria y sólo de memoria, dibuje la configuración de un transistor BJT con base común (tanto para un *pnp* como un *npn*) e indique la polaridad de la polarización aplicada y las direcciones de corriente resultantes.

§ 3.5 Acción amplificadora del transistor

17. Calcule la ganancia de voltaje ($A_V = V_L/V_i$) para la red de la figura 3.12 si V_i = 500 mV y R = 1 kΩ. (Los demás valores del circuito permanecen iguales.)
18. Calcule la ganancia de voltaje ($A_V = V_L/V_i$) para la red de la figura 3.12 si la fuente tiene una resistencia interna de 100 Ω en serie con V_i.

§ 3.6 Configuración de emisor común

19. Defina I_{CBO} e I_{CEO}. ¿En qué son diferentes? ¿Cómo se relacionan? ¿Normalmente son cercanos en magnitud?
20. Mediante las características de la figura 3.14:
    (a) Encuentre el valor de I_C que corresponde con V_{BE} = +750 mV con V_{CE} = +5 V.
    (b) Encuentre el valor de V_{CE} y de V_{BE} que corresponden con I_C = 3 mA e I_B = 30 μA.

* 21. (a) Para las características de la figura 3.14, encuentra la beta de dc para un punto de operación de V_{CE} = +8 V y de I_C = 2 mA.
    (b) Encuentre el valor de α que corresponde con este punto de operación.
    (c) Encuentre el valor de I_{CEO} correspondiente con V_{CE} = +8 V.
    (d) Calcule el valor aproximado de I_{CBO} empleando el valor de beta obtenido en el inciso (*a*).

* 22. (a) Utilizando las características de la figura 3.14a, determine I_{CEO} cuando V_{CE} = 10 V.
    (b) Determine β_{dc} cuando I_B = 10 μA y V_{CE} = 10 V.
    (c) Mediante la β_{dc} determinada en el inciso (*b*), calcule I_{CBO}.

23. (a) Mediante las características de la figura 3.14a, determine β_{dc} cuando I_B = 80 μA y V_{CE} = 5 V.
    (b) Repita el inciso (*a*) para I_B = 5 μA y V_{CE} = 15 V.
    (c) Repita el inciso (*a*) para I_B = 30 μA y V_{CE} = 10 V.
    (d) Al revisar los resultados de los incisos (*a*) al (*c*), ¿el valor de β_{dc} cambia de un punto a otro sobre las características? ¿Dónde se encontraron los valores más altos? ¿Es posible desarrollar conclusiones generales acerca del valor de β_{dc} sobre un conjunto de características como las proporcionadas en la figura 3.14a?

*24. (a) Mediante las características de la figura 3.14a, determine β_{ac} cuando $I_B = 80\ \mu A$ y $V_{CE} = 5$ V.
(b) Repita el inciso (a) cuando $I_B = 5\ \mu A$ y $V_{CE} = 15$ V.
(c) Repita el inciso (a) cuando $I_B = 30\ \mu A$ y $V_{CE} = 10$ V.
(d) Revise los resultados de los incisos (a) al (c), ¿el valor de β_{ac} cambia de un punto a otro sobre las características? ¿Dónde se encontraron los valores más altos? ¿Es posible desarrollar conclusiones generales acerca del valor de β_{ac} sobre un conjunto de características del colector?
(e) Los puntos seleccionados en este ejercicio son los mismos que los empleados en el problema 23. Si se realizó el problema 23, compare los valores de β_{ac} y de β_{dc} para cada punto y comente sobre la tendencia en la magnitud de cada cantidad.

25. Mediante las características de la figura 3.14a, determine β_{dc} cuando $I_B = 25\ \mu A$ y $V_{CE} = 10$ V. Luego calcule α_{dc} y el nivel resultante de I_E. (Utilice el nivel de I_C determinado por $I_C = \beta_{dc} I_B$.)

26. (a) Dado que $\alpha_{dc} = 0.987$, determine el valor de β_{dc} correspondiente.
(b) Dado que $\beta_{dc} = 120$, determine el valor de α correspondiente.
(c) Dado que $\beta_{dc} = 180$ e $I_C = 2.0$ mA, encuentre I_E e I_B.

27. De memoria y sólo de memoria, dibuje la configuración de emisor común (para un *npn* y un *pnp*) e inserte el arreglo de polarización adecuado con las direcciones de corriente para I_B, I_C e I_E.

§ 3.7 Configuración de colector común

28. Se aplica un voltaje de 2 V rms (medidos de la base a tierra) al circuito de la figura 3.21. Asumiendo que el voltaje del emisor sigue de forma exacta al voltaje de base y que V_{be}(rms) = 0.1 V, calcule el voltaje de amplificación del circuito ($A_v = V_o/V_i$) y la corriente del emisor cuando $R_E = 1$ kΩ.

29. Para el transistor que tiene las características de la figura 3.14, dibuje las características de entrada y de salida para la configuración de colector común.

§ 3.8 Límites de operación

30. Determine la región de operación para un transistor que tiene las características de la figura 3.14 si $I_{C_{máx}} = 7$ mA, $V_{CE_{máx}} = 17$ V y $P_{C_{máx}} = 40$ mW.

31. Determine la región de operación para un transistor que tiene las características de la figura 3.8 si $I_{C_{máx}} = 6$ mA, $V_{CB_{máx}} = 15$ V y $P_{CE_{máx}} = 30$ mW.

§ 3.9 Hoja de especificaciones de transistores

32. En referencia a la figura 3.23, determine el rango de temperatura para el dispositivo en grados Fahrenheit.

33. Mediante la información proporcionada en la figura 3.23 con respecto a $P_{D_{máx}}$, $V_{CE_{máx}}$, $I_{C_{máx}}$ y $V_{CE_{sat}}$, dibuje los límites de operación del dispositivo.

34. Básese en los datos de la figura 3.23. ¿Cuál es el valor esperado de I_{CEO}, utilizando el valor promedio de β_{dc}?

35. ¿Cómo se compara el rango de h_{FE} (figura 3.23j, normalizada a partir de $h_{FE} = 100$) con el rango de h_{fe} (figura 3.23(f)) para el rango de I_C de 0.1 a 10 mA?

36. Mediante las características de la figura 3.23b, determine si la capacitancia de entrada de la configuración de base común se incrementa o disminuye con los crecientes niveles de potencial de polarización inversa. ¿Puede explicar por qué?

*37. Mediante las características de la figura 3.23f, determine qué tanto ha cambiado el nivel de h_{fe} a partir de su valor de 1 mA hasta el de 10 mA. Observe que la escala vertical es una escala logarítmica que puede requerir referenciar la sección 11.2. ¿El cambio es tal que deba ser tomado en cuenta para la situación de diseño?

*38. Mediante las características de la figura 3.23j, determine el nivel de β_{dc} cuando $I_C = 10$ mA para los tres niveles de temperatura que aparecen en la figura. ¿Es significativo el cambio para el rango de temperatura especificado?, ¿es un elemento que deba ser considerado en el proceso de diseño?

§ 3.10 Verificación de transistores

39. (a) Mediante las características de la figura 3.24, determine β_{ac} cuando $I_C = 14$ mA y $V_{CE} = 3$ V.
(b) Determine β_{dc} cuando $I_C = 1$ mA y $V_{CE} = 8$ V.
(c) Determine β_{ac} cuando $I_C = 14$ mA y $V_{CE} = 3$ V.
(d) Determine β_{dc} cuando $I_C = 1$ mA y $V_{CE} = 8$ V.
(e) ¿Cómo se compara el nivel de β_{dc} y de β_{ac} en cada región?
(f) Para este conjunto de características, ¿es válida la aproximación de $\beta_{dc} \cong \beta_{ac}$?

*Observar: Los asteriscos indican problemas con mayor dificultad.

CAPÍTULO

Polarización de dc para BJTs 4

4.1 INTRODUCCIÓN

El análisis o diseño de un amplificador a transistor requiere conocimiento tanto de la respuesta del sistema en dc como en ac. A menudo, se piensa que el transistor es un dispositivo mágico que puede elevar el nivel de una señal de ac de entrada sin la ayuda de una fuente de energía externa. En realidad, el nivel de potencia de la salida de ac mejorado es resultado de una transferencia de energía proveniente de las fuentes de dc aplicadas. Por esta razón, el análisis o diseño de cualquier amplificador electrónico posee dos componentes: la porción de dc y la porción de ac. Por fortuna, es posible aplicar el teorema de superposición por lo que el análisis de las condiciones de dc puede efectuarse de forma completamente independiente de la respuesta de ac. Sin embargo, se debe tener en cuenta que durante la etapa de diseño o de síntesis, la selección de los parámetros para los niveles de dc requeridos afectarán la respuesta de ac y viceversa.

El nivel de operación de dc de un transistor es controlado por diversos factores, que incluyen al rango de posibles puntos de operación sobre las características del dispositivo. En la sección 4.2 se especifica el rango para el caso del amplificador BJT. Una vez que se definieron los niveles de dc tanto de la corriente como del voltaje, se deberá construir una red que establezca el punto de operación deseado; en este capítulo se analizarán varias redes de este tipo. Cada diseño también determinará la estabilidad del sistema; —lo que representa la sensibilidad que tiene el sistema hacia las variaciones de temperatura— el cual es otro tema que se revisará en la parte final de este capítulo.

No obstante que en este capítulo se analiza una cierta variedad de redes, existe una similitud común entre el análisis de cada configuración, esto debido a la recurrente utilización de las siguientes relaciones básicas para un transistor y que son muy importantes:

$$\boxed{V_{BE} = 0.7\ \text{V}} \tag{4.1}$$

$$\boxed{I_E = (\beta + 1)I_B \cong I_C} \tag{4.2}$$

$$\boxed{I_C = \beta I_B} \tag{4.3}$$

De hecho, una vez que el análisis de las primeras redes se ha entendido claramente, el camino hacia la solución de las redes subsecuentes se tornará más evidente. En la mayoría de los casos, la primera cantidad que deberá determinarse es la corriente de base I_B. Una vez que ésta se conoce, será posible aplicar las relaciones de las ecuaciones 4.1 a la 4.3 para encontrar las cantidades de interés restantes. Las similitudes en el análisis serán inmediatamente obvias a medida que avancemos a través de este capítulo. Las ecuaciones para I_B son tan parecidas entre las distintas configuraciones que es posible derivar una ecuación de otra, simplemente me-

diante la eliminación o adición de uno o dos términos. El principal propósito de este capítulo es desarrollar un nivel de familiaridad con el transistor BJT que permita realizar un análisis de dc de cualquier sistema que pueda emplear un amplificador BJT.

4.2 PUNTO DE OPERACIÓN

El término *polarización* que aparece en el título de este capítulo es un término muy amplio que comprende todo lo relacionado con la aplicación de voltajes de dc para establecer un nivel fijo de corriente y voltaje. Para los amplificadores a transistor, la corriente de dc y el voltaje resultantes establecen un *punto de operación* sobre las características que define la región que será empleada para la amplificación de la señal aplicada. Debido a que el punto de operación es un punto fijo sobre las características, se le denomina también como *punto de reposo* (se abrevia como punto *Q*, del inglés: *quiescent point*). Por definición, reposo significa quieto, estático, inactivo. En la figura 4.1 se muestra la característica general de la salida de un dispositivo, en la que se indican cuatro puntos de operación. El circuito de polarización puede diseñarse para establecer la operación del dispositivo en cualquiera de estos puntos o en otros dentro de la *región activa*. Los valores máximos se indican en las características de la figura 4.1 con una línea horizontal para la corriente máxima del colector $I_{C_{máx}}$ y con una línea vertical para el voltaje máximo del colector-emisor $V_{CE_{máx}}$. La restricción de máxima potencia se define por la curva $P_{C_{máx}}$ en la misma figura. En el extremo inferior de las escalas, se encuentra la *región de corte*, que se define por $I_B \leq 0\ \mu$A, y la *región de saturación*, definida por $V_{CE} \leq V_{CE_{sat}}$.

El dispositivo BJT puede encontrarse polarizado para operar fuera de estos límites máximos, sin embargo, el resultado de tal operación sería el recorte de la vida útil del dispositivo, o bien la destrucción del mismo. Limitándonos a la región *activa*, es posible seleccionar varias áreas o puntos de operación diferentes. Frecuentemente el punto *Q* seleccionado, dependerá del uso que se piense dar al circuito. Aun así, es posible considerar algunas diferencias entre los distintos puntos de operación que se muestran en la figura 4.1 con el objetivo de presentar algunas ideas básicas sobre el punto de operación y, por consiguiente, del circuito de polarización.

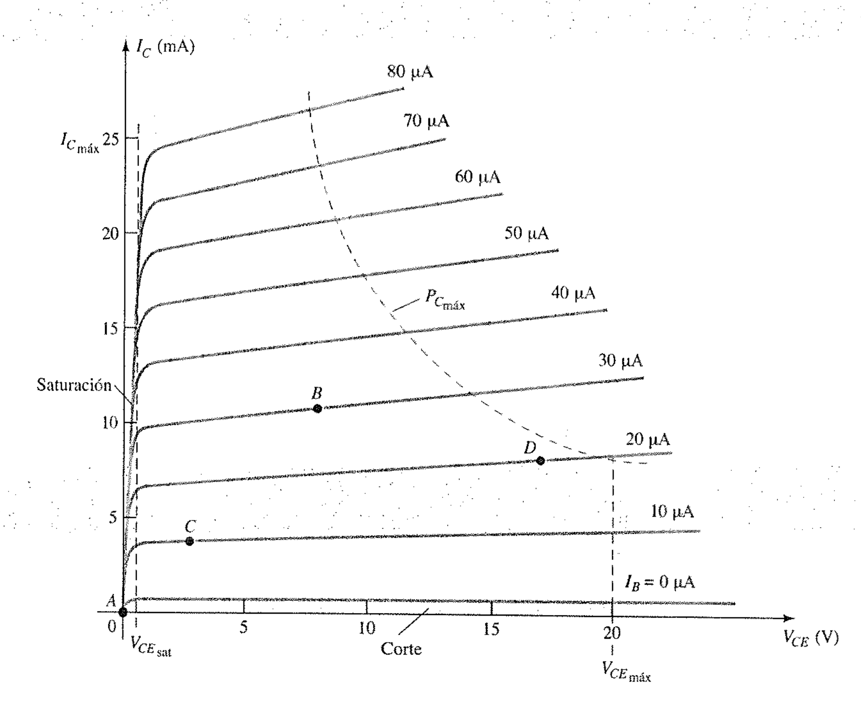


Figura 4.1 Distintos puntos de operación dentro de los límites de operación de un transistor.

Si no se empleara la polarización, el dispositivo inicialmente se encontraría completamente apagado, dando por resultado un punto *Q* en *A*, es decir, corriente cero a través del dispositivo (y voltaje cero a través de él). Debido a que es necesario polarizar un dispositivo de manera que pueda responder ante el rango completo de señales de entrada, el punto *A*, por lo tanto, no es conveniente. Para el punto *B*, si una señal se aplica al circuito, el dispositivo variará en corriente y en voltaje a partir del punto de operación, con lo que permitirá al dispositivo reaccionar ante (y posiblemente amplificar) las excursiones, tanto positivas como negativas de la señal de entrada. Si la señal de entrada es seleccionada cuidadosamente, el voltaje y la corriente del dispositivo variarán pero no lo suficiente como para llevar al dispositivo al *corte* o a la *saturación*. El punto *C* permitirá cierta variación positiva y negativa de la señal de salida, sin embargo, el valor pico a pico estará limitado por la proximidad de $V_{CE} = 0$ V e $I_C = 0$ mA. Por otro lado, la operación en el punto *C* provoca cierta preocupación debido a las no linearidades que se introducen por el hecho de que el espacio entre las curvas de I_B cambia rápidamente en esta región. En general, es preferible operar donde la ganancia del dispositivo es prácticamente constante (o lineal), para de esta forma, asegurar que la amplificación sobre la amplitud completa de la señal de entrada sea la misma. El punto *B* es una región con un espaciado más lineal y por lo tanto, con una operación más lineal, como se muestra en la figura 4.1. El punto *D* establece el punto de operación del dispositivo cerca del voltaje y nivel de potencia máximos. La amplitud del voltaje de salida en la dirección positiva se encuentra de esta forma limitada si el voltaje máximo no debe excederse. Por lo tanto, el punto *B* parece ser el mejor punto de operación en términos de ganancia lineal y de mayor excursión posible de corriente y de voltaje. Ésta es, generalmente, la condición deseada para los amplificadores de pequeña señal (capítulo 8), pero éste no es necesariamente el caso para los amplificadores de potencia, como los que serán considerados en el capítulo 15. En este análisis, nos concentraremos principalmente en polarizar el transistor para una operación de amplificación a *pequeña señal*.

Existe otro factor de polarización muy importante que debe ser considerado. Una vez que se seleccionó y se polarizó el BJT en un punto de operación, el efecto de la temperatura también se debe tomar en cuenta. La temperatura causa que los parámetros del dispositivo como la ganancia de corriente (β_{ac}) del transistor y la corriente de fuga (I_{CEO}) del mismo, se modifiquen. Mayores temperaturas provocan un incremento en las corrientes de fuga del dispositivo con lo que se modifica la condición de operación establecida por la red de polarización. La consecuencia de esto es que el diseño de la red deberá proporcionar también un grado de *estabilidad en temperatura* de manera que los cambios de temperatura provoquen las menores modificaciones en el punto de operación. La conservación del punto de operación puede especificarse mediante un *factor de estabilidad, S*, el cual indica el grado de cambio en el punto de operación debido a una variación de temperatura. Es deseable un circuito altamente estable por lo que la estabilidad de algunos circuitos básicos polarizados será comparada.

Para que un BJT pueda polarizarse en su región lineal o activa, deben cumplirse las siguientes condiciones:

1. La unión base-emisor *debe* estar en polarización directa (voltaje de la región *p* más positivo), con un voltaje resultante en polarización directa entre 0.6 y 0.7 V.
2. La unión base-colector *debe* estar en polarización inversa (voltaje de la región *n* más positivo), con el voltaje de polarización inversa dentro de los límites máximos del dispositivo.

[Observe que para la polarización directa, el voltaje a través de la unión *p-n* es *p*-positivo, mientras que para la polarización inversa es opuesto (inverso) con *n*-positivo. Este énfasis en la letra inicial deberá de servir como un medio para ayudar a memorizar la polaridad necesaria del voltaje].

La operación en las regiones de corte, de saturación y lineal de las características del BJT se proporcionan a continuación:

1. *Operación en región lineal:*
   Unión base-emisor en polarización directa
   Unión base-colector en polarización inversa
2. *Operación en región de corte:*
   Unión base-emisor en polarización inversa
   Unión base-colector en polarización inversa

3. *Operación en región de saturación:*
   Unión base-emisor en polarización directa
   Unión base-colector en polarización directa

4.3 CIRCUITO DE POLARIZACIÓN FIJA

El circuito de polarización fija de la figura 4.2, proporciona una introducción relativamente directa y simple al análisis de la polarización en dc de los transistores. Incluso aunque la red utiliza una configuración de transistor *npn*, las ecuaciones y los cálculos aplican de igual forma para las configuraciones del transistor *pnp* cambiando simplemente todas las direcciones de corriente y las polaridades de voltaje. Las direcciones de corriente de la figura 4.2 son direcciones reales, y los voltajes están definidos por la notación estándar de doble subíndice. Para el análisis de dc, la red puede aislarse de los niveles de ac indicados reemplazando los capacitores con equivalentes de circuito abierto. Además, la fuente dc de voltaje V_{CC} puede dividirse en dos fuentes (solamente para propósitos de análisis), como se muestra en la figura 4.3, para permitir una separación de los circuitos de entrada de los de salida; esto también reduce la conexión entre las dos, con la corriente de base I_B. La separación es sin duda válida como se observa en la figura 4.3, donde V_{CC} se encuentra conectada directamente a R_B y a R_C, justo como en la figura 4.2.

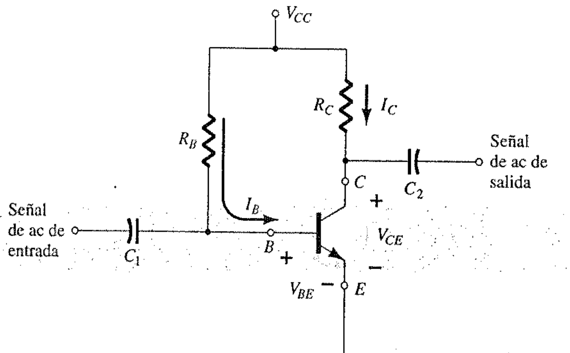


Figura 4.2 Circuito de polarización fija.

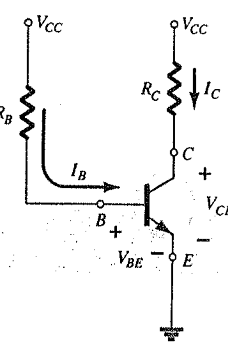


Figura 4.3 Equivalente de dc de la figura 4.2.

Polarización directa de base-emisor

Considere primeramente la malla del circuito base-emisor de la figura 4.4. Al escribir la ecuación de voltaje de Kirchhoff, en dirección de las manecillas del reloj, obtenemos

$$+V_{CC} - I_B R_B - V_{BE} = 0$$

Observe la polaridad de la caída de voltaje sobre R_B establecida por la dirección de I_B que se indica. Al resolver la ecuación para la corriente I_B el resultado es el siguiente:

$$\boxed{I_B = \frac{V_{CC} - V_{BE}}{R_B}} \tag{4.4}$$

La ecuación 4.4 no es difícil de recordar si se toma en cuenta que la corriente de base es la corriente a través de R_B, y de acuerdo con la ley de Ohm, esta corriente es igual al voltaje a través de R_B divido entre la resistencia R_B. El voltaje a través de R_B será igual al voltaje aplicado en un extremo, menos la caída a través de la unión base-emisor (V_{BE}). Además, debido a que tanto el voltaje fuente V_{CC} como el voltaje base-emisor V_{BE} son constantes, la selección del resistor de la base R_B, establecerá el nivel de la corriente de base para el punto de operación.

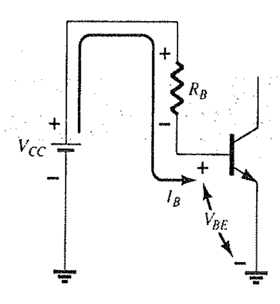


Figura 4.4 Malla base-emisor.

Malla colector-emisor

En la figura 4.5 se presenta la sección colector-emisor de la red, junto con la dirección de la corriente I_C indicada y la polaridad resultante sobre R_C. La magnitud de la corriente del colector se encuentra relacionada directamente con I_B mediante

$$\boxed{I_C = \beta I_B} \tag{4.5}$$

Es interesante observar que debido a que la corriente de base es controlada por el nivel de R_B y que I_C está relacionada con I_B por la constante β, la magnitud de I_C no es una función de la resistencia R_C. El cambio de nivel de R_C no afectará el nivel de I_B o I_C siempre y cuando se permanezca en la región activa del dispositivo. Sin embargo, como veremos, el nivel de R_C determinará la magnitud de V_{CE}, el cual es un parámetro importante.

Si aplicamos la ley de voltaje de Kirchhoff en dirección de las manecillas del reloj alrededor de la malla cerrada indicada en la figura 4.5, tendremos lo siguiente:

$$V_{CE} + I_C R_C - V_{CC} = 0$$

y

$$\boxed{V_{CE} = V_{CC} - I_C R_C} \tag{4.6}$$

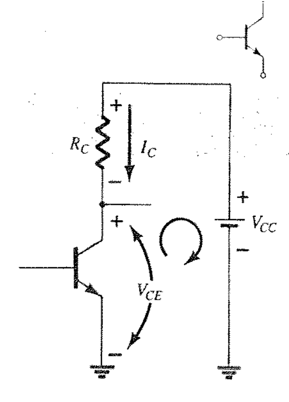


Figura 4.5 Malla colector-emisor.

la cual establece en palabras que el voltaje a través de la región colector-emisor de un transistor en la configuración de polarización fija es igual a la fuente de voltaje menos la caída de voltaje en R_C.

Como un breve repaso de la notación de subíndice sencillo y doble recuerde que

$$\boxed{V_{CE} = V_C - V_E} \tag{4.7}$$

donde V_{CE} es el voltaje colector-emisor y, V_C y V_E son los voltajes del colector y del emisor a tierra respectivamente. Pero *en este caso*, dado que $V_E = 0$ V, tenemos

$$\boxed{V_{CE} = V_C} \tag{4.8}$$

Además, ya que

$$\boxed{V_{BE} = V_B - V_E} \tag{4.9}$$

y como $V_E = 0$ V, entonces

$$\boxed{V_{BE} = V_B} \tag{4.10}$$

Tenga en mente que los niveles de voltaje como V_{CE} se determinan mediante la colocación de la punta de prueba roja (positiva) del voltímetro en la terminal del colector, y la punta negra (negativa) en la terminal del emisor como se muestra en la figura 4.6. V_C es el voltaje del colector a tierra y se mide como se muestra en la misma figura. En este caso, las dos lecturas serán idénticas, pero en las redes que siguen, las dos pueden ser muy diferentes. Para la localización de fallas de las redes de transistores, es muy importante entender claramente la diferencia entre las dos mediciones.

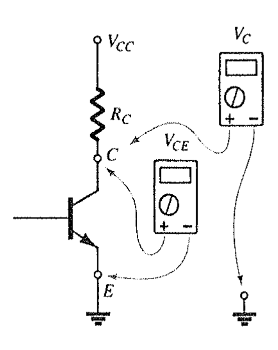
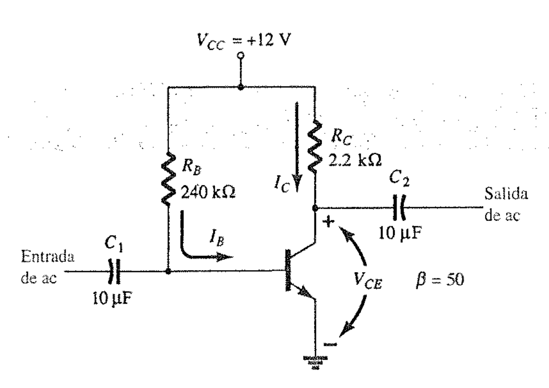


Figura 4.6 Medición de V_{CE} y V_C.

EJEMPLO 4.1

Determine lo siguiente para la configuración de polarización fija de la figura 4.7.

(a) I_{B_Q} e I_{C_Q}.
(b) V_{CE_Q}.
(c) V_B y V_C.
(d) V_{BC}.



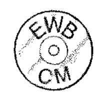


Figura 4.7 Circuito de de polarización fija para el ejemplo 4.1.

Solución

(a) Ecuación (4.4): $I_{B_Q} = \dfrac{V_{CC} - V_{BE}}{R_B} = \dfrac{12\text{ V} - 0.7\text{ V}}{240\text{ k}\Omega} = \mathbf{47.08\ \mu A}$

Ecuación (4.5): $I_{C_Q} = \beta I_{B_Q} = (50)(47.08\ \mu\text{A}) = \mathbf{2.35\ mA}$

(b) Ecuación (4.6):
$$V_{CE_Q} = V_{CC} - I_C R_C$$
$$= 12\text{ V} - (2.35\text{ mA})(2.2\text{ k}\Omega)$$
$$= \mathbf{6.83\ V}$$

(c) $V_B = V_{BE} = \mathbf{0.7\ V}$

$V_C = V_{CE} = \mathbf{6.83\ V}$

(d) Al utilizar notación de doble subíndice tenemos

$$V_{BC} = V_B - V_C = 0.7\text{ V} - 6.83\text{ V}$$
$$= \mathbf{-6.13\ V}$$

el signo negativo revela que la unión se encuentra en polarización inversa, como debe ser para el caso de amplificación lineal.

Saturación del transistor

El término *saturación* se aplica a cualquier sistema donde los niveles alcanzan los valores máximos. Una esponja saturada es aquella que no puede absorber una gota más de líquido. Para el caso del transistor que opera en la región de saturación, la corriente es el valor máximo *para el diseño particular*. Si se cambia el diseño, el nivel de saturación correspondiente puede incrementar o disminuir. Desde luego, el nivel de saturación más alto lo define la corriente máxima del colector y se presenta en la hoja de especificaciones.

Las condiciones de saturación se evitan normalmente porque la unión base-colector ya no se encuentra en polarización inversa y la señal amplificada de salida se distorsionará. En la figura 4.8a se describe un punto de operación en la región de saturación. Observe que se encuentra en una región donde las curvas características se unen y el voltaje colector-emisor se encuentra en o por debajo de $V_{CE_{sat}}$. Además, la corriente del colector es relativamente alta sobre las características.

Si aproximamos las curvas de la figura 4.8a con aquellas que aparecen en la figura 4.8b, se distingue de forma evidente un método directo para determinar el nivel de saturación. En la figura 4.8b, la corriente es relativamente alta, y el voltaje V_{CE} se asume de cero volts. Al aplicar la ley de Ohm, la resistencia entre las terminales del colector y el emisor puede determinarse de la siguiente forma:

$$R_{CE} = \frac{V_{CE}}{I_C} = \frac{0\text{ V}}{I_{C_{sat}}} = 0\ \Omega$$

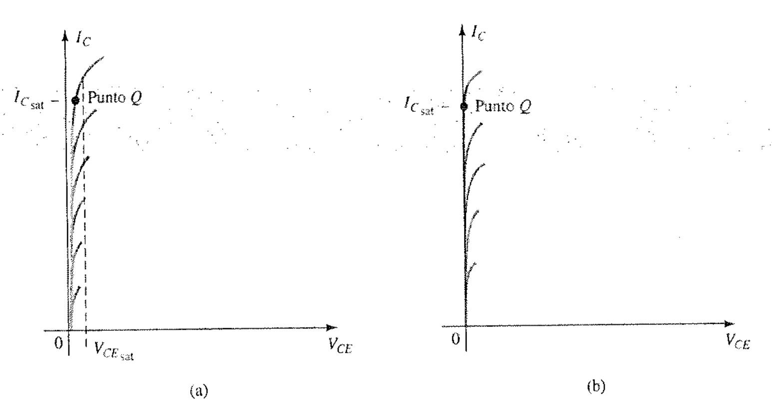


Figura 4.8 Regiones de saturación: (a) real; (b) aproximada.

Al aplicar los resultados al esquema de la red tendremos la configuración de la figura 4.9.

Por tanto, y para el futuro, si existiera una necesidad inmediata de conocer la corriente de colector máxima aproximada (nivel de saturación) para un diseño particular, solamente se debe insertar un equivalente de corto circuito entre el colector y el emisor del transistor y calcular la corriente resultante del colector. En resumen, hay que establecer $V_{CE} = 0$ V. Para la configuración de polarización fija de la figura 4.10, se aplicó el corto circuito, ocasionando que el voltaje a través de R_C se convierta en el voltaje aplicado V_{CC}. La corriente de saturación resultante para la configuración de polarización fija es

$$I_{C_{sat}} = \frac{V_{CC}}{R_C} \tag{4.11}$$

$I_{C_{sat}}$ C $R_{CE} = 0\ \Omega$ $(V_{CE} = 0\text{ V}, I_C = I_{C_{sat}})$ E

Figura 4.9 Determinación $I_{C_{sat}}$.

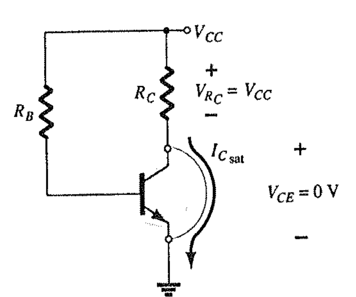


Figura 4.10 Determinación de $I_{C_{sat}}$ para la configuración de polarización fija.

Una vez que $I_{C_{sat}}$ se conoce, tendremos una idea de la corriente del colector máxima posible para el diseño seleccionado y el nivel bajo el cual deberá permanecer si se espera una amplificación lineal.

EJEMPLO 4.2

Determine el nivel de saturación para la red de la figura 4.7.

Solución

$$I_{C_{sat}} = \frac{V_{CC}}{R_C} = \frac{12\text{ V}}{2.2\text{ k}\Omega} = \mathbf{5.45\ mA}$$

El diseño del ejemplo 4.1 dio por resultado $I_{C_Q} = 2.35$ mA, el cual se encuentra lejos del nivel de saturación y cerca de la mitad del valor máximo para el diseño.

Análisis por medio de la recta de carga

Hasta el momento, el análisis se ha efectuado utilizando un nivel de β correspondiente con el punto Q resultante. Ahora veremos la forma en que los parámetros de la red definen el rango posible de puntos Q y la forma en que se determina el punto Q actual. La red de la figura 4.11a establece una ecuación de salida que relaciona a las variables I_C y V_{CE} de la siguiente forma:

$$\boxed{V_{CE} = V_{CC} - I_C R_C} \tag{4.12}$$

Las características de salida del transistor también relacionan las mismas dos variables I_C y V_{CE} como se muestra en la figura 4.11b.

Por lo tanto, básicamente tenemos una ecuación de red y un conjunto de características que utilizan las mismas variables. La solución común de las dos se presentará cuando las restricciones establecidas por cada una, se satisfacen de manera simultánea. En otras palabras, esto es similar a encontrar la solución de dos ecuaciones simultáneas; una de ellas establecida por la red y la otra por las características del dispositivo.

En la figura 4.11b se proporcionan las características del dispositivo de I_C en función de V_{CE}. Ahora deberemos sobreponer la línea recta definida por la ecuación 4.12 sobre las características. El método más directo para graficar la ecuación 4.12 sobre las características de salida es utilizar el hecho de que una línea recta se encuentra definida por dos puntos. Si decidimos que I_C sea igual a 0 mA en la ecuación 4.12, encontamos que

$$V_{CE} = V_{CC} - (0)R_C$$

y

$$\boxed{V_{CE} = V_{CC}\big|_{I_C = 0\,\text{mA}}} \tag{4.13}$$

que define un punto para la línea recta como se muestra en la figura 4.12.

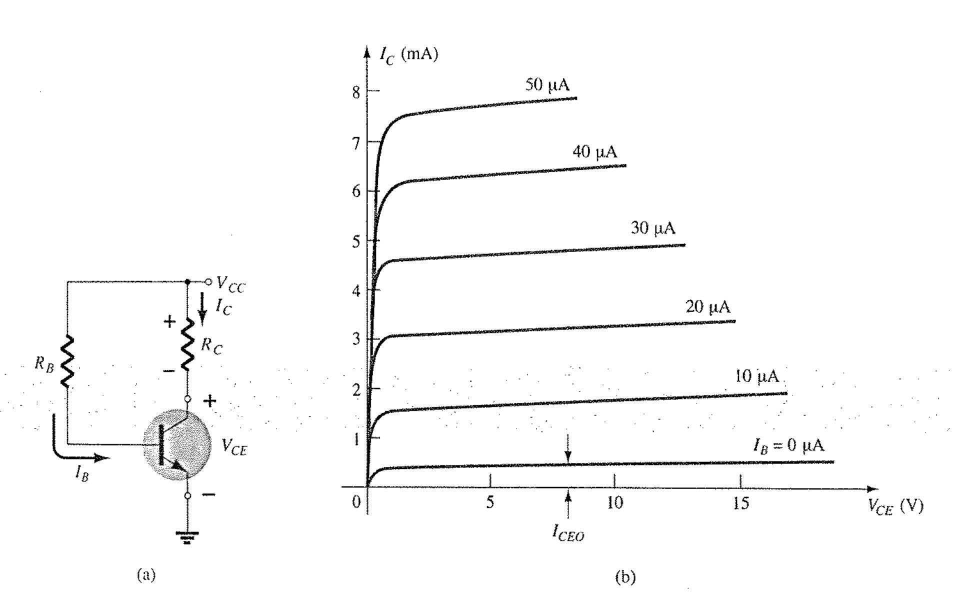


Figura 4.11 Análisis por medio de la recta de carga: (a) la red; (b) las características del dispositivo.

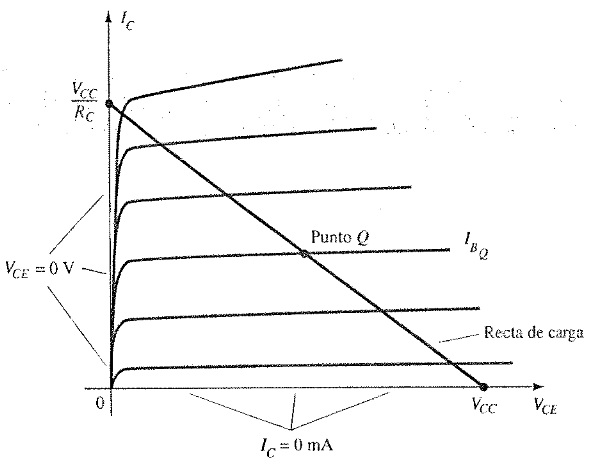


Figura 4.12 Recta de carga en polarización fija.

Si ahora *seleccionamos* V_{CE} igual a 0 V, lo que establece al eje vertical como la línea sobre la cual se definirá el segundo punto, encontramos que I_C queda determinada por la siguiente ecuación:

$$0 = V_{CC} - I_C R_C$$

e

$$\boxed{I_C = \frac{V_{CC}}{R_C}\bigg|_{V_{CE} = 0\,\text{V}}} \tag{4.14}$$

de la forma en que aparece en la figura 4.12.

Al unir los dos puntos definidos por las ecuaciones 4.13 y 4.14, es posible trazar la línea recta establecida por la ecuación 4.12. La línea resultante en la gráfica de la figura 4.12 se denomina *recta de carga* ya que está definida por el resistor de carga R_C. Al resolver para el nivel resultante de I_B, es posible establecer el punto Q real como se muestra en la figura 4.12.

Si el nivel de I_B se modifica al variar el valor de R_B, entonces el punto Q se moverá hacia arriba o hacia abajo de la recta de carga como se muestra en la figura 4.13. Si V_{CC} se mantiene fijo y R_C cambia, la recta de carga se desplazará como se muestra en la figura 4.14. Si I_B se mantiene fija, el punto Q se moverá como se aprecia en la misma figura. Si R_C se mantiene fija y V_{CC} varía, la recta de carga se desplazará como se muestra en la figura 4.15.

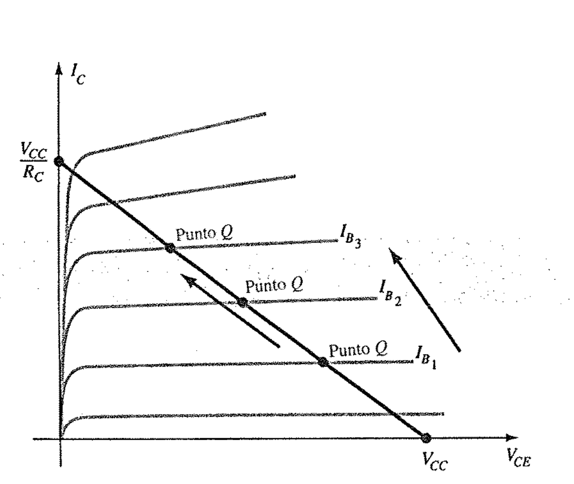


Figura 4.13 Movimiento del punto Q con niveles crecientes de I_B.

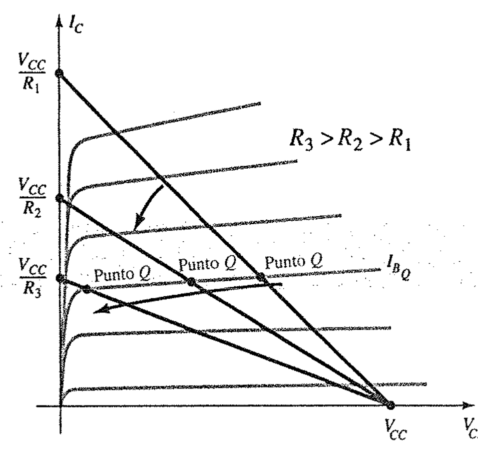


Figura 4.14 Efecto del incremento en los niveles de R_C sobre la recta de carga y el punto Q.

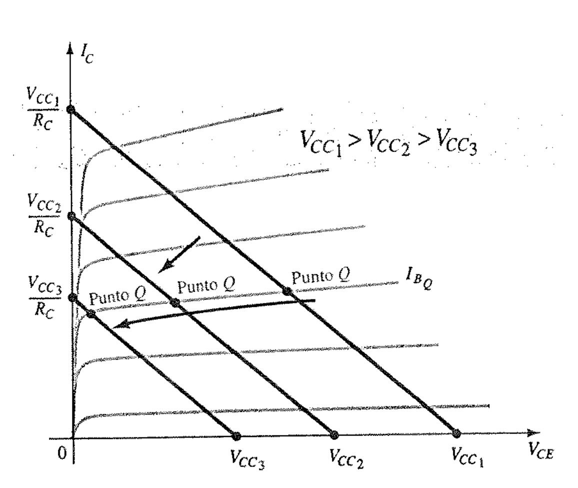


Figura 4.15 Efecto de los valores bajos de V_{CC} sobre la recta de carga y el punto Q.

EJEMPLO 4.3 Dada la recta de carga de la figura 4.16 y el punto Q definido en ella, determine los valores de V_{CC}, R_C y R_B para la configuración de polarización fija.

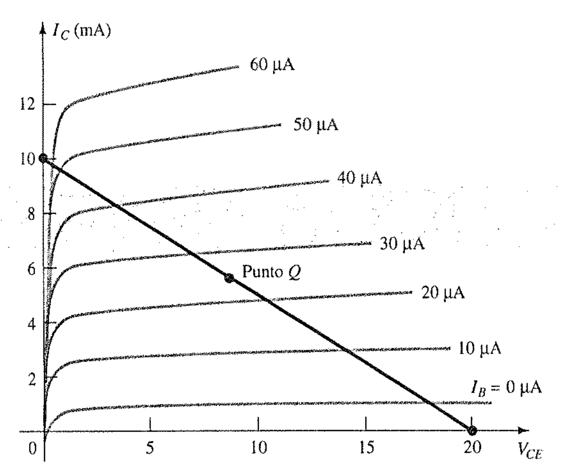


Figura 4.16 Ejemplo 4.3.

Solución

De la figura 4.16,

$$V_{CE} = V_{CC} = \mathbf{20\ V} \text{ a } I_C = 0 \text{ mA}$$

$$I_C = \frac{V_{CC}}{R_C} \text{ a } V_{CE} = 0 \text{ V}$$

y
$$R_C = \frac{V_{CC}}{I_C} = \frac{20 \text{ V}}{10 \text{ mA}} = \mathbf{2\ k\Omega}$$

$$I_B = \frac{V_{CC} - V_{BE}}{R_B}$$

y
$$R_B = \frac{V_{CC} - V_{BE}}{I_B} = \frac{20 \text{ V} - 0.7 \text{ V}}{25\ \mu\text{A}} = \mathbf{772\ k\Omega}$$

4.4 CIRCUITO DE POLARIZACIÓN ESTABILIZADO EN EMISOR

La red de polarización de dc de la figura 4.17 contiene un resistor en el emisor para mejorar el nivel de estabilidad de la configuración en polarización fija. La mejora en la estabilidad será demostrada mediante un ejemplo numérico más adelante en esta sección. El análisis se llevará a cabo examinando primeramente la malla base-emisor y luego utilizaremos los resultados para investigar la malla colector-emisor.

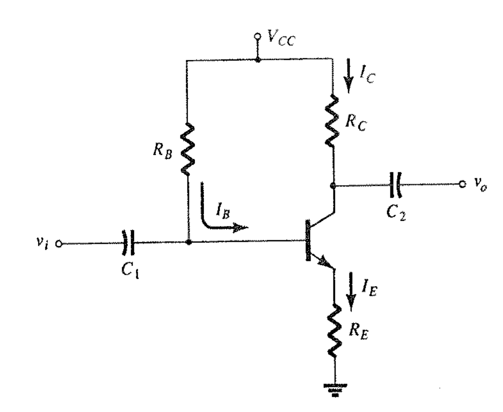


Figura 4.17 Circuito de polarización para BJT con resistor en emisor.

Malla base-emisor

La malla base-emisor de la red de la figura 4.17 puede volverse a dibujar como se muestra en la figura 4.18. Al utilizar la ley de voltaje de Kirchhoff alrededor de la malla indicada en el sentido de las manecillas del reloj el resultado será la siguiente ecuación:

$$+V_{CC} - I_B R_B - V_{BE} - I_E R_E = 0 \tag{4.15}$$

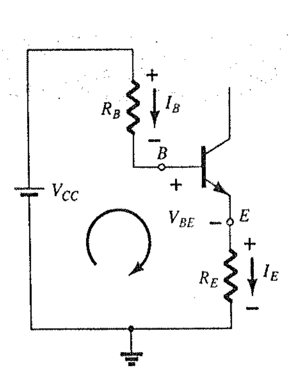


Figura 4.18 Malla base-emisor.

Recuerde del capítulo 3 que

$$I_E = (\beta + 1)I_B \tag{4.16}$$

Al sustituir I_E en la ecuación 4.15 tenemos

$$V_{CC} - I_B R_B - V_{BE} - (\beta + I)I_B R_E = 0$$

Al agrupar los términos resulta lo siguiente:

$$-I_B(R_B + (\beta + 1)R_E) + V_{CC} - V_{BE} = 0$$

Al multiplicar por (−1) tenemos

$$I_B(R_B + (\beta + 1)R_E) - V_{CC} + V_{BE} = 0$$

con
$$I_B(R_B + (\beta + 1)R_E) = V_{CC} - V_{BE}$$

y al resolver para I_B obtenemos

$$\boxed{I_B = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E}} \tag{4.17}$$

Observe que la única diferencia entre esta ecuación para I_B y la obtenida para el caso de la configuración en polarización fija es el término $(\beta + 1)R_E$.

De la ecuación 4.17 puede derivarse un resultado interesante si la ecuación se utiliza para esquematizar una red en serie que resultaría en la misma ecuación. Tal es el caso de la red en

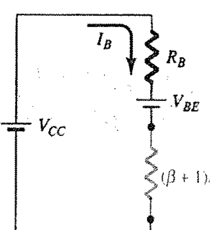


Figura 4.19 Red derivada de la ecuación 4.17.

Figura 4.20 Nivel de impedancia reflejada de R_E.

la figura 4.19. Al resolver para la corriente I_B tendremos la misma ecuación obtenida anteriormente. Observe que además del voltaje base-emisor V_{BE}, el resistor R_E se *refleja* de regreso al circuito base de entrada por un factor de $(\beta + 1)$. En otras palabras, el resistor del emisor, que forma parte de la malla colector-emisor, "aparece como" $(\beta + 1)\ R_E$ en la malla base-emisor. Dado que típicamente el valor de β es de 50 o más, el resistor del emisor aparenta ser mucho mayor en el circuito base. Por lo tanto, en general, para la configuración de la figura 4.20,

$$\boxed{R_i = (\beta + 1)R_E} \tag{4.18}$$

La ecuación 4.18 resultará ser útil en el análisis que sigue. De hecho, proporciona una forma bastante fácil de recordar la ecuación (4.17). A través de la ley de Ohm, sabemos que la corriente a través de un sistema es igual al voltaje del circuito dividido entre la resistencia del mismo. Para el circuito base-emisor, el voltaje neto es $V_{CC} - V_{BE}$. Los niveles de resistencia son R_B más R_E reflejado por $(\beta + 1)$. El resultado es la ecuación 4.17.

Malla colector-emisor

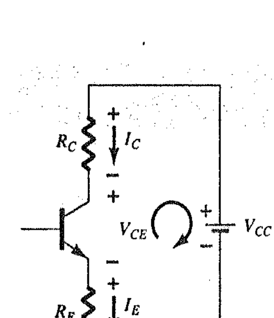


Figura 4.21 Malla colector-emisor.

La malla colector-emisor se vuelve a dibujar en la figura 4.21. Después de utilizar la ley de voltaje de Kirchhoff, en el sentido de las manecillas del reloj, para la malla indicada tendremos:

$$+I_E R_E + V_{CE} + I_C R_C - V_{CC} = 0$$

Al sustituir $I_E \cong I_C$ y agrupar los términos obtenemos

$$V_{CE} - V_{CC} + I_C(R_C + R_E) = 0$$

y

$$\boxed{V_{CE} = V_{CC} - I_C(R_C + R_E)} \tag{4.19}$$

El voltaje con subíndice sencillo V_E es el voltaje del emisor a tierra y se determina por

$$\boxed{V_E = I_E R_E} \tag{4.20}$$

mientras que el voltaje del colector a tierra puede determinarse mediante

$$V_{CE} = V_C - V_E$$

y

$$\boxed{V_C = V_{CE} + V_E} \tag{4.21}$$

o

$$\boxed{V_C = V_{CC} - I_C R_C} \tag{4.22}$$

El voltaje en la base con respecto a tierra puede determinarse mediante

$$\boxed{V_B = V_{CC} - I_B R_B} \tag{4.23}$$

o

$$\boxed{V_B = V_{BE} + V_E} \tag{4.24}$$

EJEMPLO 4.4

Para la red de polarización en emisor de la figura 4.22, determine:
(a) I_B.
(b) I_C.
(c) V_{CE}.
(d) V_C.
(e) V_E.
(f) V_B.
(g) V_{BC}.

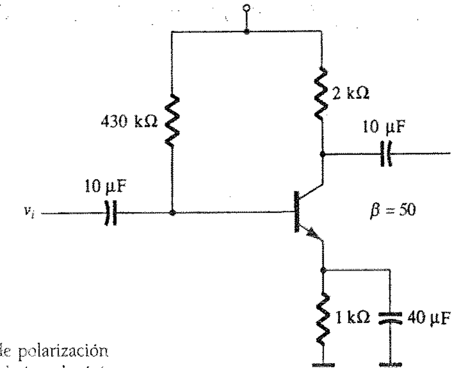


Figura 4.22 Circuito de polarización estabilizado en emisor del ejemplo 4.4.

Solución

(a) Ecuación (4.17): $I_B = \dfrac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E} = \dfrac{20\text{ V} - 0.7\text{ V}}{430\text{ k}\Omega + (51)(1\text{ k}\Omega)}$

$= \dfrac{19.3\text{ V}}{481\text{ k}\Omega} = \mathbf{40.1\ \mu A}$

(b) $I_C = \beta I_B$
$= (50)(40.1\ \mu\text{A})$
$\cong \mathbf{2.01\ mA}$

(c) Ecuación (4.19): $V_{CE} = V_{CC} - I_C(R_C + R_E)$
$= 20\text{ V} - (2.01\text{ mA})(2\text{ k}\Omega + 1\text{ k}\Omega) = 20\text{ V} - 6.03\text{ V}$
$= \mathbf{13.97\ V}$

(d) $V_C = V_{CC} - I_C R_C$
$= 20\text{ V} - (2.01\text{ mA})(2\text{ k}\Omega) = 20\text{ V} - 4.02\text{ V}$
$= \mathbf{15.98\ V}$

(e) $V_E = V_C - V_{CE}$
$= 15.98\text{ V} - 13.97\text{ V}$
$= \mathbf{2.01\ V}$

o $V_E = I_E R_E \cong I_C R_E$
$= (2.01\text{ mA})(1\text{ k}\Omega)$
$= \mathbf{2.01\ V}$

(f) $V_B = V_{BE} + V_E$
$= 0.7\text{ V} + 2.01\text{ V}$
$= \mathbf{2.71\ V}$

(g) $V_{BC} = V_B - V_C$
$= 2.71\text{ V} - 15.98\text{ V}$
$= \mathbf{-13.27\ V}$ (con polarización inversa como se requiere)

Estabilidad de polarización mejorada

La incorporación del resistor del emisor para la polarización de dc para el BJT, proporciona una mejora en la estabilidad, es decir, la corriente y el voltaje en polarización dc permanecerán cercanos a los niveles establecidos por el circuito a pesar de cambios en las condiciones exteriores como la temperatura y la beta del transistor. Mientras se proporciona un análisis matemático en la sección 4.12, es posible obtener un análisis comparativo de la mejora como se demuestra en el ejemplo 4.5.

EJEMPLO 4.5

Prepare una tabla y compare el voltaje y las corrientes de polarización de los circuitos de las figuras 4.7 y 4.22 para el valor dado de $\beta = 50$ y para el nuevo valor de $\beta = 100$. Compare los cambios en I_C y V_{CE} para el mismo incremento de β.

Solución

Al utilizar los resultados calculados en el ejemplo 4.1 y luego repetir para un valor de $\beta = 100$ tendremos lo siguiente:

β	$I_B\,(\mu A)$	$I_C\,(mA)$	$V_{CE}\,(V)$
50	47.08	2.35	6.83
100	47.08	4.71	1.64

La corriente del colector del BJT cambia 100% debido al cambio de 100% en el valor de β. I_B se mantiene igual, y V_{CE} disminuyó 76%.

Al utilizar los resultados calculados en el ejemplo 4.4 y luego repetirlos para un valor de $\beta = 100$, tendremos lo siguiente:

β	$I_B\,(\mu A)$	$I_C\,(mA)$	$V_{CE}\,(V)$
50	40.1	2.01	13.97
100	36.3	3.63	9.11

Ahora, la corriente del colector del BJT se incrementó 81% debido al incremento del 100% en β. Note que I_B disminuyó, para ayudar a mantener el valor de I_C, o al menos para reducir el cambio global de I_C como consecuencia del cambio en β. El cambio en V_{CE} cayó en cerca de 35%. La red de la figura 4.22 es por lo tanto, más estable que la de la figura 4.7 para el mismo cambio en β.

Nivel de saturación

El nivel de saturación del colector o corriente máxima del colector, para un diseño de polarización en emisor puede determinarse al utilizar el mismo enfoque que se aplicó para la configuración de polarización fija: Aplicando un "corto circuito" entre las terminales colector-emisor como se muestra en la figura 4.23 y calcule la corriente del colector como se observa en la figura 4.23:

$$I_{C_{sat}} = \frac{V_{CC}}{R_C + R_E} \tag{4.25}$$

La incorporación del resistor del emisor redujo el nivel de saturación del colector por debajo del que se obtuvo con una configuración de polarización fija que utiliza el mismo resistor del colector.

Figura 4.23 Determinación de $I_{C_{sat}}$ para el circuito de polarización estabilizada en emisor.

EJEMPLO 4.6

Determine la corriente de saturación de la red del ejemplo 4.4.

Solución

$$I_{C_{sat}} = \frac{V_{CC}}{R_C + R_E} = \frac{20\text{ V}}{2\text{ k}\Omega + 1\text{ k}\Omega} = \frac{20\text{ V}}{3\text{ k}\Omega} = \mathbf{6.67\ mA}$$

lo cual representa cerca de tres veces el nivel de I_{C_Q} del ejemplo 4.4.

Análisis por medio de la recta de carga

El análisis por medio de la recta de carga de la red de polarización en emisor es ligeramente diferente del encontrado para el caso de la configuración en polarización fija. El nivel de I_B como lo determina la ecuación 4.17 define el nivel de I_B sobre las características de la figura 4.24 (denotado como I_{B_Q}).

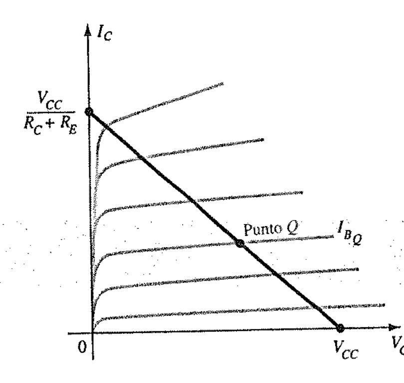


Figura 4.24 Recta de carga para la configuración de polarización en emisor.

La ecuación de la malla colector-emisor que define a la recta de carga es la siguiente:

$$V_{CE} = V_{CC} - I_C(R_C + R_E)$$

Al seleccionar $I_C = 0$ mA, tenemos

$$V_{CE} = V_{CC}\big|_{I_C = 0\text{ mA}} \tag{4.26}$$

según se obtuvo para la configuración de polarización fija. Al seleccionar $V_{CE} = 0$ V tenemos

$$I_C = \frac{V_{CC}}{R_C + R_E}\bigg|_{V_{CE} = 0\text{ V}} \tag{4.27}$$

como se muestra en la figura 4.24. Niveles diferentes de I_{B_Q} desplazarán, como es evidente, al punto Q hacia arriba o hacia abajo sobre la recta de carga.

4.5 POLARIZACIÓN POR DIVISOR DE VOLTAJE

En las configuraciones de polarización previas, la corriente I_{C_Q} y el voltaje V_{CE_Q} de polarización eran función de la ganancia de corriente (β) del transistor. Sin embargo, debido a que β es sensible a la temperatura, especialmente para el caso de los transistores de silicio, y a que el valor real de beta normalmente no se encuentra bien definido, sería muy deseable desarrollar un cir-

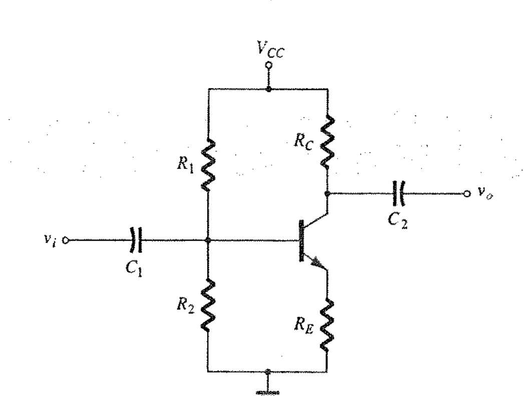


Figura 4.25 Configuración de polarización por divisor de voltaje.

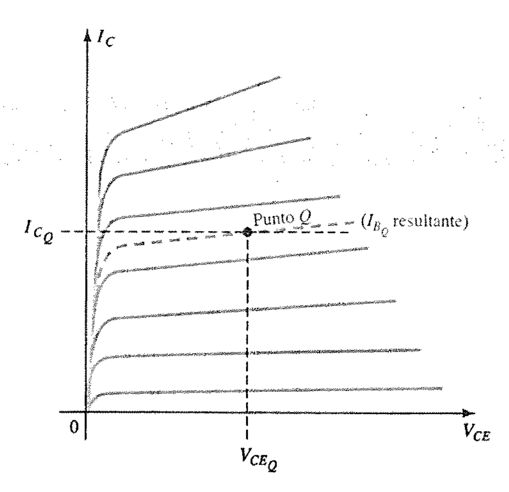


Figura 4.26 Definición del punto Q bajo la configuración de polarización de divisor de voltaje.

cuito de polarización que sea menos dependiente, o de hecho, independiente de la beta del transistor. La configuración de polarización por divisor de voltaje de la figura 4.25 es una red que cumple con tales condiciones. Si ésta se analiza sobre una base rigurosa, la sensibilidad a cambios en beta es muy pequeña. Si los parámetros del circuito son seleccionados adecuadamente, los niveles resultantes de I_{C_Q} y V_{CE_Q} llegan a ser casi totalmente independientes de beta. Recuerde de análisis anteriores que un punto Q se define por un nivel fijo de I_{C_Q} y V_{CE_Q} como se muestra en la figura 4.26. El nivel de I_{B_Q} se alterará con cambios en beta, pero el punto de operación sobre las características definido por I_{C_Q} y V_{CE_Q} puede permanecer fijo si se emplean parámetros apropiados del circuito.

Como se indicó antes, existen dos métodos que pueden aplicarse para analizar la configuración por división de voltaje. La razón para la elección de los nombres para esta configuración será obvia con el análisis siguiente. El primero que se demostrará es el *método exacto* que puede aplicarse en *cualquier* configuración por división de voltaje. El segundo se denomina *método aproximado* y puede aplicarse solamente si se satisfacen condiciones específicas. El método aproximado permite un análisis más directo que ahorra tiempo y energía. Además, es particularmente útil para la modalidad de diseño que se describirá en una sección posterior. En general, el enfoque aproximado puede aplicarse a la mayoría de las situaciones por lo que deberá estudiarse con el mismo interés que el método exacto.

Análisis exacto

La parte de la entrada en la red de la figura 4.25 puede volverse a dibujar como se presenta en la figura 4.27 para el análisis de dc. La red equivalente de Thévenin para la red a la izquierda de la terminal de la base puede determinarse de la siguiente forma:

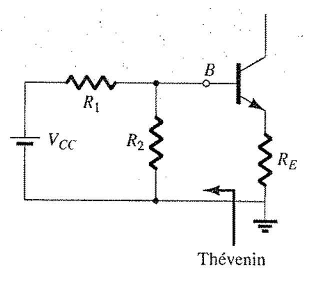


Figura 4.27 Redibujo de la parte de entrada de la red de la figura 4.25.

R_{Th}: La fuente de voltaje se reemplaza por un equivalente de corto circuito como se muestra en la figura 4.28.

$$R_{Th} = R_1 \| R_2 \tag{4.28}$$

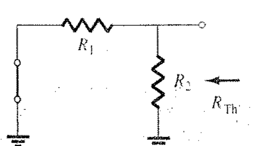


Figura 4.28 Determinación de R_{Th}.

E_{Th}: La fuente de voltaje V_{CC} se reincorpora a la red y se calcula el voltaje Thévenin de circuito abierto de la figura 4.29 como sigue:

Al aplicar la regla del divisor de voltaje:

$$E_{Th} = V_{R_2} = \frac{R_2 V_{CC}}{R_1 + R_2} \tag{4.29}$$

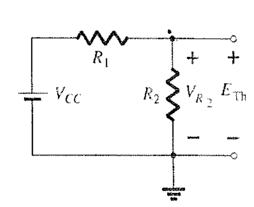


Figura 4.29 Determinación de E_{Th}.

Luego la red de Thévenin se vuelve a dibujar como se muestra en la figura 4.30, y se podrá determinar I_{B_Q} al aplicar primeramente la ley de voltaje de Kirchhoff en dirección de las manecillas de reloj para la malla que se indica:

$$E_{Th} - I_B R_{Th} - V_{BE} - I_E R_E = 0$$

Al sustituir $I_E = (\beta + 1)I_B$ y resolver para I_B tenemos:

$$I_B = \frac{E_{Th} - V_{BE}}{R_{Th} + (\beta + 1)R_E} \tag{4.30}$$

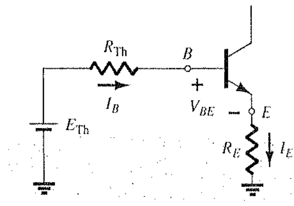


Figura 4.30 Inserción del circuito equivalente de Thévenin.

Aunque la ecuación 4.30 inicialmente parece diferente de aquellas que hemos elaborado antes, observe que nuevamente el numerador es la diferencia entre dos niveles de voltaje y que el denominador es la suma de la resistencia de base y el resistor del emisor reflejado por $(\beta + 1)$, lo cual ciertamente es muy similar a la ecuación 4.17.

Una vez que se conoce I_B, las cantidades restantes de la red pueden encontrarse de la misma forma que la empleada para la configuración con polarización en emisor. Es decir,

$$V_{CE} = V_{CC} - I_C(R_C + R_E) \tag{4.31}$$

lo cual es exactamente igual a la ecuación 4.19. Las ecuaciones restantes para V_E, V_C y V_B son también las mismas que las obtenidas para la configuración de polarización en emisor.

EJEMPLO 4.7

Determine el voltaje de polarización de dc V_{CE} y la corriente I_C para la configuración por divisor de voltaje de la figura 4.31.

Solución

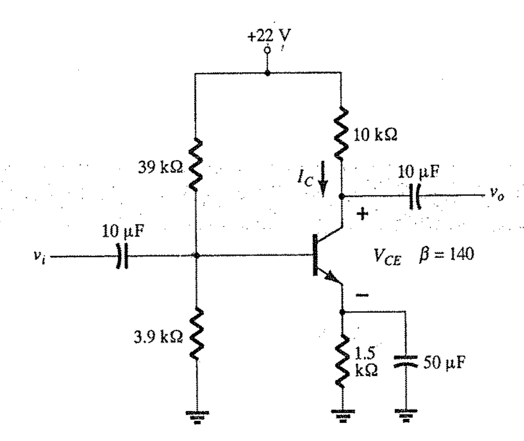
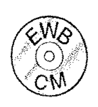


Figura 4.31 Circuito de beta estabilizada para el ejemplo 4.7.



Ecuación (4.28): $R_{Th} = R_1 \| R_2$

$$= \frac{(39\text{ k}\Omega)(3.9\text{ k}\Omega)}{39\text{ k}\Omega + 3.9\text{ k}\Omega} = 3.55\text{ k}\Omega$$

Ecuación (4.29): $E_{Th} = \frac{R_2V_{CC}}{R_1 + R_2}$

$$= \frac{(3.9\text{ k}\Omega)(22\text{ V})}{39\text{ k}\Omega + 3.9\text{ k}\Omega} = 2\text{ V}$$

Ecuación (4.30): $I_B = \frac{E_{Th} - V_{BE}}{R_{Th} + (\beta + 1)R_E}$

$$= \frac{2\text{ V} - 0.7\text{ V}}{3.55\text{ k}\Omega + (141)(1.5\text{ k}\Omega)} = \frac{1.3\text{ V}}{3.55\text{ k}\Omega + 211.5\text{ k}\Omega}$$

$$= 6.05\ \mu\text{A}$$

$$I_C = \beta I_B$$

$$= (140)(6.05\ \mu\text{A})$$

$$= \mathbf{0.85\ mA}$$

Ecuación (4.31): $V_{CE} = V_{CC} - I_C(R_C + R_E)$

$$= 22\text{ V} - (0.85\text{ mA})(10\text{ k}\Omega + 1.5\text{ k}\Omega)$$

$$= 22\text{ V} - 9.78\text{ V}$$

$$= \mathbf{12.22\ V}$$

Análisis aproximado

La sección de entrada de la configuración por divisor de voltaje puede ser representada por la red de la figura 4.32. La resistencia R_i es la resistencia equivalente entre la base y la tierra para el transistor con un resistor en el emisor R_E. Recuerde que en la sección 4.4 (ecuación 4.18) la resistencia reflejada entre la base y el emisor se define por $R_i = (\beta + 1)R_E$. Si R_i es mucho mayor que la resistencia R_2, la corriente I_B será mucho menor que I_2 (la corriente siempre busca el camino con menor resistencia) e I_2 será aproximadamente igual a I_1. Si se acepta la aproximación de que I_B es esencialmente cero amperes, comparada con I_1 o I_2, entonces $I_1 = I_2$ y R_1 y R_2 podrán ser considerados elementos en serie. El voltaje a través de R_2, que en realidad es el voltaje de base, puede determinarse mediante la regla del divisor de voltaje (de ahí el nombre de la configuración). Esto es,

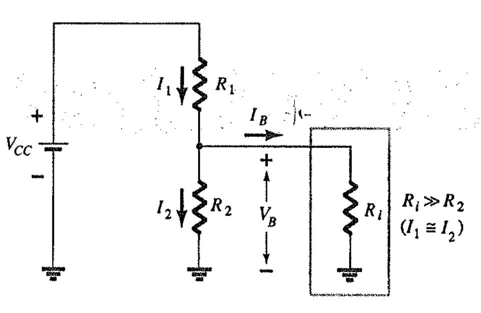


Figura 4.32 Circuito de polarización parcial para calcular el voltaje de base aproximado V_B.

$$V_B = \frac{R_2V_{CC}}{R_1 + R_2} \tag{4.32}$$

Debido a que $R_i = (\beta + 1)R_E \cong \beta R_E$ la condición que definirá si el enfoque aproximado puede aplicarse será la siguiente:

$$\beta R_E \geq 10R_2 \tag{4.33}$$

En otras palabras, si β veces el valor de R_E es al menos 10 veces el valor de R_2, es posible aplicar el enfoque aproximado con un alto grado de exactitud.

Una vez que V_B se determinó, el nivel de V_E puede ser calculado con

$$V_E = V_B - V_{BE} \tag{4.34}$$

y la corriente del emisor se determina a partir de

$$I_E = \frac{V_E}{R_E} \tag{4.35}$$

e

$$I_{C_Q} \cong I_E \tag{4.36}$$

El voltaje colector a emisor se determina por

$$V_{CE} = V_{CC} - I_CR_C - I_ER_E$$

pero dado que $I_E \cong I_C$,

$$V_{CE_Q} = V_{CC} - I_C(R_C + R_E) \tag{4.37}$$

Observe que en la secuencia de cálculos desde la ecuación 4.33 a la ecuación 4.37, β no aparece y que I_B no fue calculada. El punto Q (según se determinó por I_{C_Q} y V_{CE_Q}) será por lo tanto independiente del valor de β.

EJEMPLO 4.8

Repita el análisis de la figura 4.31 utilizando ahora la técnica de aproximación, y compare las soluciones para I_{C_Q} y V_{CE_Q}.

Solución

Probando:

$$\beta R_E \geq 10R_2$$

$$(140)(1.5\text{ k}\Omega) \geq 10(3.9\text{ k}\Omega)$$

$$210\text{ k}\Omega \geq 39\text{ k}\Omega\ (\textit{satisfecha})$$

Ecuación (4.32): $V_B = \frac{R_2V_{CC}}{R_1 + R_2}$

$$= \frac{(3.9\text{ k}\Omega)(22\text{ V})}{39\text{ k}\Omega + 3.9\text{ k}\Omega}$$

$$= 2\text{ V}$$

Observe que el nivel de V_B es el mismo que el de R_{Th} determinado en el ejemplo 4.7. Esencialmente, por lo tanto, la principal diferencia entre las técnicas exacta y aproximada es el efecto de R_{Th} en el caso del análisis exacto, el cual separa E_{Th} y V_B.

Ecuación (4.34): $V_E = V_B - V_{BE}$
$$= 2\text{ V} - 0.7\text{ V}$$
$$= 1.3\text{ V}$$

$$I_{CQ} \cong I_E = \frac{V_E}{R_E} = \frac{1.3\text{ V}}{1.5\text{ k}\Omega} = \mathbf{0.867\text{ mA}}$$

comparado con 0.85 mA bajo análisis exacto. Finalmente,

$$V_{CE_Q} = V_{CC} - I_C(R_C + R_E)$$
$$= 22\text{ V} - (0.867\text{ mA})(10\text{ kV} + 1.5\text{ k}\Omega)$$
$$= 22\text{ V} - 9.97\text{ V}$$
$$= \mathbf{12.03\text{ V}}$$

contra 12.22 V obtenido en el ejemplo 4.7.

Los resultados de I_{C_Q} y V_{CE_Q} son ciertamente muy cercanos, y considerando las variaciones reales en los valores de los parámetros, puede considerarse uno tan preciso como el otro. Mientras mayor sea el nivel de R_i comparado con R_2, más cercana se encontrará la solución aproximada a la exacta. El ejemplo 4.10 comparará las soluciones bajo un nivel muy por debajo de la condición establecida por la ecuación 4.33.

EJEMPLO 4.9

Repita el análisis exacto del ejemplo 4.7 si β se reduce a 70 y compare las soluciones para I_{C_Q} y V_{CE_Q}.

Solución

Este ejemplo no presenta una comparación entre los métodos exacto y aproximado sino una prueba acerca de cuánto se moverá el punto Q si el nivel de β se divide a la mitad. R_{Th} y E_{Th} son los mismos:

$$R_{Th} = 3.55\text{ k}\Omega, \qquad E_{Th} = 2\text{ V}$$

$$I_B = \frac{E_{Th} - V_{BE}}{R_{Th} + (\beta + 1)R_E}$$
$$= \frac{2\text{ V} - 0.7\text{ V}}{3.55\text{ k}\Omega + (71)(1.5\text{ k}\Omega)} = \frac{1.3\text{ V}}{3.55\text{ k}\Omega + 106.5\text{ k}\Omega}$$
$$= 11.81\ \mu\text{A}$$
$$I_{C_Q} = \beta I_B$$
$$= (70)(11.81\ \mu\text{A})$$
$$= 0.83\text{ mA}$$
$$V_{CE_Q} = V_{CC} - I_C(R_C + R_E)$$
$$= 22\text{ V} - (0.83\text{ mA})(10\text{ k}\Omega + 1.5\text{ k}\Omega)$$
$$= \mathbf{12.46\text{ V}}$$

Al tabular los resultados se obtiene:

β	I_{C_Q} (mA)	V_{CE_Q} (V)
140	0.85	12.22
70	0.83	12.46

Los resultados claramente muestran la insensibilidad relativa del circuito ante cambios en β. Incluso cuando β se divide drásticamente a la mitad, de 140 a 70, los niveles de I_{C_Q} y V_{CE_Q} son esencialmente los mismos.

EJEMPLO 4.10

Determine los niveles de I_{C_Q} y V_{CE_Q} para la configuración de divisor de voltaje de la figura 4.33 mediante las técnicas exacta y aproximada y compare las soluciones. En este caso, las condiciones de la ecuación 4.33 no serán satisfechas, sin embargo, los resultados revelarán la diferencia en las soluciones si el criterio de la ecuación 4.33 se ignora.

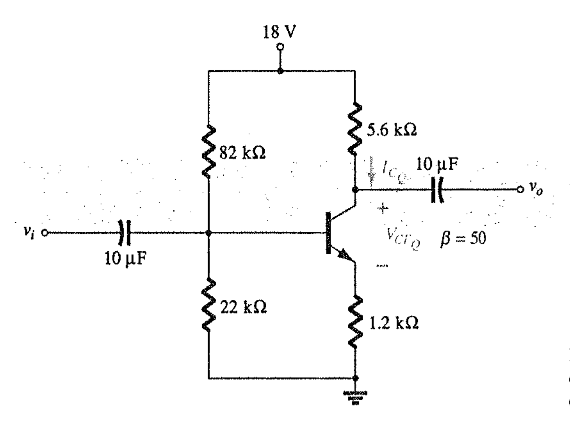


Figura 4.33 Configuración de divisor de voltaje para el ejemplo 4.10.

Solución

Por análisis exacto

Ecuación (4.33): $\beta R_E \geq 10R_2$
$$(50)(1.2\text{ k}\Omega) \geq 10(22\text{ k}\Omega)$$
$$60\text{ k}\Omega \not\geq 220\text{ k}\Omega\ (\textit{no satisfecha})$$
$$R_{Th} = R_1 \| R_2 = 82\text{ k}\Omega \| 22\text{ k}\Omega = 17.35\text{ k}\Omega$$
$$E_{Th} = \frac{R_2 V_{CC}}{R_1 + R_2} = \frac{22\text{ k}\Omega(18\text{ V})}{82\text{ k}\Omega + 22\text{ k}\Omega} = 3.81\text{ V}$$
$$I_B = \frac{E_{Th} - V_{BE}}{R_{Th} + (\beta + 1)R_E} = \frac{3.81\text{ V} - 0.7\text{ V}}{17.35\text{ k}\Omega + (51)(1.2\text{ k}\Omega)} = \frac{3.11\text{ V}}{78.55\text{ k}\Omega} = 39.6\ \mu\text{A}$$

$$I_{C_Q} = \beta I_B = (50)(39.6\ \mu A) = \mathbf{1.98\ mA}$$
$$V_{CE_Q} = V_{CC} - I_C(R_C + R_E)$$
$$= 18\ V - (1.98\ mA)(5.6\ k\Omega + 1.2\ k\Omega)$$
$$= \mathbf{4.54\ V}$$

Por análisis aproximado

$$V_B = E_{Th} = 3.81\ V$$
$$V_E = V_B - V_{BE} = 3.81\ V - 0.7\ V = 3.11\ V$$
$$I_{C_Q} \cong I_E = \frac{V_E}{R_E} = \frac{3.11\ V}{1.2\ k\Omega} = \mathbf{2.59\ mA}$$
$$V_{CE_Q} = V_{CC} - I_C(R_C + R_E)$$
$$= 18\ V - (2.59\ mA)(5.6\ k\Omega + 1.2\ k\Omega)$$
$$= \mathbf{3.88\ V}$$

Tabulando los resultados tenemos:

	I_{C_Q} (mA)	V_{CE_Q} (V)
Exacto	1.98	4.54
Aproximado	2.59	3.88

Los resultados revelan las diferencias entre las soluciones exacta y aproximada. I_{C_Q} es casi 30% mayor con el análisis aproximado, mientras que V_{CE_Q} es cerca de 10% menor. Los resultados son notoriamente diferentes en magnitud, pero incluso aunque βR_E es sólo cerca de tres veces mayor que R_2, los resultados son aún relativamente cercanos entre sí. En el futuro, sin embargo, nuestro análisis será estipulado por la ecuación 4.33 para asegurar una similitud cercana entre las soluciones exacta y aproximada.

Saturación del transistor

El circuito de salida colecto-emisor para la configuración del divisor de voltaje posee la misma apariencia que la del circuito de polarización en emisor analizado en la sección 4.4. La ecuación resultante para la corriente de saturación (donde V_{CE} se hace cero volts en la gráfica) es por tanto, la misma que se obtuvo para la configuración de polarización en emisor. Esto es,

$$I_{C_{sat}} = I_{C_{máx}} = \frac{V_{CC}}{R_C + R_E} \tag{4.38}$$

Análisis por medio de la recta de carga

Las similitudes con el circuito de salida de la configuración de polarización en emisor provocan las mismas intersecciones para la recta de carga de la configuración del divisor de voltaje. Por lo tanto, la recta de carga tendrá la misma apariencia que la de la figura 4.24, con

$$I_C = \left.\frac{V_{CC}}{R_C + R_E}\right|_{V_{CE}=0\ V} \tag{4.39}$$

y

$$V_{CE} = V_{CC}|_{I_C=0\ mA} \tag{4.40}$$

El nivel de I_B es, desde luego, determinado por una ecuación diferente para las configuraciones de polarización por divisor de voltaje y de polarización en emisor.

Mathcad

El poder y la utilidad de Mathcad pueden demostrarse ahora para el caso de la red del ejemplo 4.7. Cuando se utiliza Mathcad, no hay necesidad de preocuparse sobre cuál método (exacto o aproximado) deberá de emplearse para la red de polarización por divisor de voltaje; ya que Mathcad siempre proporcionará los resultados más precisos posibles para los datos capturados.

Como se muestra en la figura 4.34, primero se capturan todos los parámetros (variables) de la red, sin necesidad de incluir las unidades de medición. Aunque el listado aparece como el mostrado en la figura 4.34, en el almacenamiento (disco duro interno o disco flexible) es posible modificar los parámetros en cualquier momento con una actualización inmediata de los resultados. Todas las ecuaciones luego se introducen en un orden que permita utilizar los resultados para calcular la siguiente cantidad de interés. Esto es, las ecuaciones se deberán capturar de izquierda a derecha y hacia abajo de la pantalla. En este ejemplo, **IB** se determina primero ya que será utilizada para encontrar **IC** en la siguiente línea.

Mediante Mathcad, los resultados obtenidos corresponden exactamente para el caso de **IB** e **IC** y son ligeramente diferentes para **VCE** debido a que el nivel de precisión para **IC** que maneja Mathcad para la solución es mayor. La grandiosa ventaja de mantener esta secuencia de cálculos almacenada, es que puede ser recuperada en pantalla para cualquier red de divisor de voltaje, y que es posible obtener los resultados de forma rápida y precisa, cambiando simplemente las magnitudes de variables específicas.

$R1 := 39\cdot10^3$ $R2 := 3.9\cdot10^3$ $RC := 10\cdot10^3$ $RE := 1.5\cdot10^3$

$VCC := 22$ $beta := 140$ $VBE := 0.7$

$RTh := R1\cdot\frac{R2}{(R1+R2)}$ $ETh := R2\cdot\frac{VCC}{(R1+R2)}$

$IB := \frac{ETh - (VBE)}{(RTh + (beta+1)\cdot RE)}$ $IB = 6.045\cdot10^{-6}$

$IC := beta\cdot IB$ $IC = 8.463\cdot10^{-4}$

$VCE := VCC - IC\cdot(RC + RE)$

$VCE = 12.267$

Figura 4.34 Verificación de los resultados del ejemplo 4.7 mediante Mathcad.

4.6 POLARIZACIÓN DE DC CON RETROALIMENTACIÓN DE VOLTAJE

Es posible obtener un mejor nivel de estabilidad al introducir una trayectoria de retroalimentación desde el colector a la base, como se muestra en la figura 4.35. A pesar de que el punto Q no es completamente independiente de la beta (incluso bajo condiciones de aproximación), la sensibilidad ante cambios en la beta o a variaciones de temperatura es normalmente menor que la que se encuentra en las configuraciones de polarización fija o de polarización en emisor. El análisis nuevamente se efectuará comenzando por analizar la malla base-emisor con los resultados aplicados luego a la malla colector-emisor.

Malla base-emisor

La figura 4.36 muestra la malla base-emisor para la configuración de retroalimentación de voltaje. Al aplicar la ley de voltaje de Kirchhoff alrededor de esta malla en la dirección de las manecillas de reloj tenemos el siguiente resultado

$$V_{CC} - I'_C R_C - I_B R_B - V_{BE} - I_E R_E = 0$$

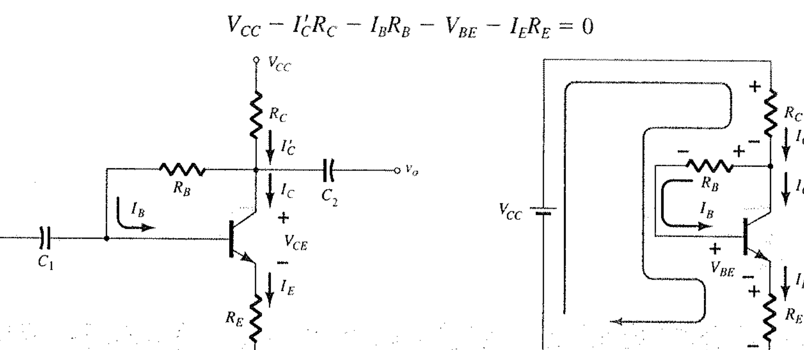


Figura 4.35 Circuito de polarización de dc con retroalimentación de voltaje.

Figura 4.36 Malla base-emisor para la red de la figura 4.35.

Es importante observar que la corriente a través de R_C no es I_C sino I'_C (siendo $I'_C = I_C + I_B$). Sin embargo, los niveles de I_C e I'_C exceden por mucho al nivel de I_B por lo que la aproximación $I'_C \cong I_C$ es normalmente utilizada. Al sustituir $I'_C \cong I_C = \beta I_B$ e $I_E \cong I_C$ resultará

$$V_{CC} - \beta I_B R_C - I_B R_B - V_{BE} - \beta I_B R_E = 0$$

Al agrupar los términos tenemos

$$V_{CC} - V_{BE} - \beta I_B (R_C + R_E) - I_B R_B = 0$$

y al resolver para I_B resulta

$$\boxed{I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta(R_C + R_E)}} \qquad (4.41)$$

El resultado es muy interesante en cuanto a que su formato es muy similar al de las ecuaciones para I_B obtenidas para configuraciones anteriores. Nuevamente el numerador es la diferencia entre los niveles de voltaje disponibles, mientras que el denominador es igual a la resistencia de la base más los resistores del colector y del emisor reflejados por beta. En general, por tanto, la trayectoria de retroalimentación da por resultado un reflejo de la resistencia R_C de regreso hacia el circuito de entrada, de la misma forma que el reflejo de R_E.

En general, la ecuación para I_B ha tenido el siguiente formato:

$$I_B = \frac{V'}{R_B + \beta R'}$$

con la ausencia de R' de la configuración de polarización fija, $R' = R_E$ para la configuración de polarización en emisor (con $(\beta + 1) \cong \beta$), y $R' = R_C + R_E$ para el arreglo de retroalimentación del colector. El voltaje V' es la diferencia entre los dos niveles de voltaje.

Ya que $I_C = \beta I_B$,

$$I_{C_Q} = \frac{\beta V'}{R_B + \beta R'}$$

En general, mientras más grande sea $\beta R'$ comparada con R_B, menor será la sensibilidad de I_{C_Q} ante variaciones en la beta. Obviamente, si $\beta R' \gg R_B$ y $R_B + \beta R' \cong \beta R'$, entonces

$$I_{C_Q} = \frac{\beta V'}{R_B + \beta R'} \cong \frac{\beta V'}{\beta R'} = \frac{V'}{R'}$$

e I_{C_Q} es independiente del valor de beta. Debido a que normalmente R' es mayor para la configuración de retroalimentación de voltaje que para la configuración de polarización en emisor, la sensibilidad a variaciones de β es menor. Desde luego, R' es igual a cero ohms para la configuración de polarización fija y es por tanto muy sensible ante las variaciones en beta.

Malla colector-emisor

La malla colector-emisor para la red de la figura 4.35 se proporciona en la figura 4.37. Al aplicar la ley de voltaje de Kirchhoff alrededor de ésta, en sentido de las manecillas de reloj, el resultado es

$$I_E R_E + V_{CE} + I'_C R_C - V_{CC} = 0$$

Dado que $I'_C \cong I_C$ y que $I_E \cong I_C$, tenemos

$$I_C(R_C + R_E) + V_{CE} - V_{CC} = 0$$

y

$$\boxed{V_{CE} = V_{CC} - I_C(R_C + R_E)} \qquad (4.42)$$

el cual es exactamente el obtenido para las configuraciones de polarización en emisor y de divisor de voltaje.

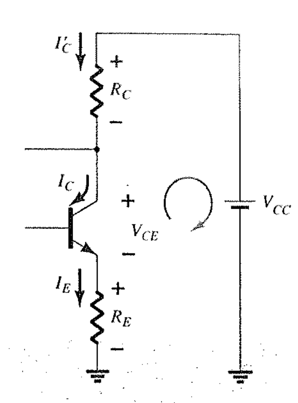


Figura 4.37 Malla colector-emisor para la red de la figura 4.35.

EJEMPLO 4.11

Determine los niveles de reposo de I_{C_Q} y V_{CE_Q} para la red de la figura 4.38.

Solución

Ecuación (4.41):
$$I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta(R_C + R_E)}$$
$$= \frac{10\text{ V} - 0.7\text{ V}}{250\text{ k}\Omega + (90)(4.7\text{ k}\Omega + 1.2\text{ k}\Omega)}$$
$$= \frac{9.3\text{ V}}{250\text{ k}\Omega + 531\text{ k}\Omega} = \frac{9.3\text{ V}}{781\text{ k}\Omega}$$
$$= 11.91\ \mu\text{A}$$
$$I_{C_Q} = \beta I_B = (90)(11.91\ \mu\text{A})$$
$$= \mathbf{1.07\ mA}$$
$$V_{CE_Q} = V_{CC} - I_C(R_C + R_E)$$
$$= 10\text{ V} - (1.07\text{ mA})(4.7\text{ k}\Omega + 1.2\text{ k}\Omega)$$
$$= 10\text{ V} - 6.31\text{ V}$$
$$= \mathbf{3.69\ V}$$

Figura 4.38 Red del ejemplo 4.11.

EJEMPLO 4.12 Repita el ejemplo 4.11 pero utilice ahora una beta de 135 (50% mayor a la del ejemplo 4.11).

Solución

Es importante observar en la solución de I_B en el ejemplo 4.11 que el segundo término en el denominador de la ecuación es mayor que el primero. Recuerde de un análisis anterior que mientras mayor sea este término comparado con el primero, menor será la sensibilidad a cambios en beta. En este ejemplo, el nivel de beta se incrementó 50%, lo cual incrementará la magnitud de este segundo término aún más comparado con el primero. Sin embargo, es más importante observar en estos ejemplos, que una vez que el segundo término es relativamente mayor al primero, la sensibilidad ante cambios en beta es significativamente menor.

Al resolver para I_B resulta

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta(R_C + R_E)}$$
$$= \frac{10\text{ V} - 0.7\text{ V}}{250\text{ k}\Omega + (135)(4.7\text{ k}\Omega + 1.2\text{ k}\Omega)}$$
$$= \frac{9.3\text{ V}}{250\text{ k}\Omega + 796.5\text{ k}\Omega} = \frac{9.3\text{ V}}{1046.5\text{ k}\Omega}$$
$$= 8.89\ \mu\text{A}$$

e

$$I_{C_Q} = \beta I_B$$
$$= (135)(8.89\ \mu\text{A})$$
$$= \mathbf{1.2\ mA}$$

y

$$V_{CE_Q} = V_{CC} - I_C(R_C + R_E)$$
$$= 10\text{ V} - (1.2\text{ mA})(4.7\text{ k}\Omega + 1.2\text{ k}\Omega)$$
$$= 10\text{ V} - 7.08\text{ V}$$
$$= \mathbf{2.92\ V}$$

Incluso aunque el nivel de β se incrementó en un 50%, el nivel de I_{C_Q} sólo lo hizo 12.1% mientras que el nivel de V_{CE_Q} disminuyó cerca de 20.9%. Si la red fuera un diseño de polarización fija, un incremento de 50% en β resultaría en un incremento de 50% en I_{C_Q} y un cambio dramático en la localización del punto Q.

EJEMPLO 4.13 Determine el nivel de dc de I_B y V_C para la red de la figura 4.39.

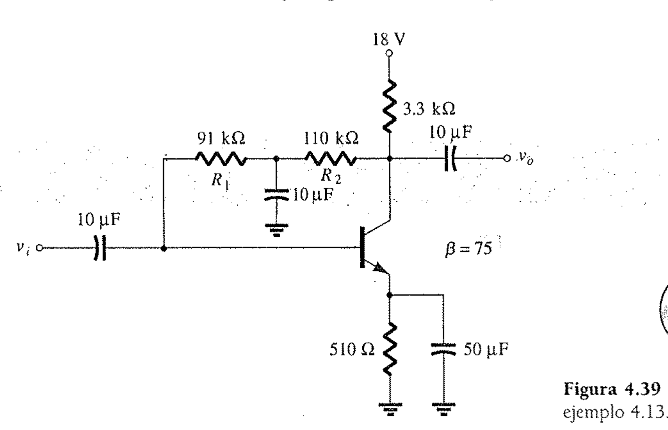


Figura 4.39 Red del ejemplo 4.13.

Solución

En este caso, la resistencia de la base para el análisis en dc está formada por dos resistores y un capacitor conectados desde su unión a tierra. En modo dc, el capacitor es equivalente a un circuito abierto y $R_B = R_1 + R_2$.

Al resolver para I_B tenemos

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta(R_C + R_E)}$$
$$= \frac{18\text{ V} - 0.7\text{ V}}{(91\text{ k}\Omega + 110\text{ k}\Omega) + (75)(3.3\text{ k}\Omega + 0.51\text{ k}\Omega)}$$
$$= \frac{17.3\text{ V}}{201\text{ k}\Omega + 285.75\text{ k}\Omega} = \frac{17.3\text{ V}}{486.75\text{ k}\Omega}$$
$$= \mathbf{35.5\ \mu A}$$
$$I_C = \beta I_B$$
$$= (75)(35.5\ \mu\text{A})$$
$$= 2.66\text{ mA}$$
$$V_C = V_{CC} - I'_C R_C \cong V_{CC} - I_C R_C$$
$$= 18\text{ V} - (2.66\text{ mA})(3.3\text{ k}\Omega)$$
$$= 18\text{ V} - 8.78\text{ V}$$
$$= \mathbf{9.22\ V}$$

Condiciones de saturación

Al utilizar la aproximación $I'_C = I_C$, la ecuación para la corriente de saturación es la misma que la obtenida para las configuraciones de divisor de voltaje y de polarización en emisor. Esto es,

$$I_{C_{sat}} = I_{C_{máx}} = \frac{V_{CC}}{R_C + R_E} \qquad (4.43)$$

Análisis por medio de la recta de carga

Si continuamos con la aproximación $I'_C = I_C$ tendremos la misma recta de carga definida para las configuraciones de divisor de voltaje y de polarización en emisor. El nivel de I_{B_Q} estará definido por la configuración de polarización seleccionada.

4.7 DIVERSAS CONFIGURACIONES DE POLARIZACIÓN

Existen muchas configuraciones de polarización para BJT que no coinciden con el patrón básico de aquéllas analizadas en las secciones previas. De hecho, existen tantas variaciones en el diseño que se requerirían muchas más páginas de las que son posibles para un libro de este tipo. Sin embargo, el propósito principal aquí, es hacer énfasis en aquellas características del dispositivo que permiten un análisis de dc de la configuración y establecer un procedimiento general para la solución deseada. Para cada configuración discutida hasta ahora, el primer paso ha sido la obtención de una expresión para la corriente de base. Una vez que la corriente de base se conoce, es posible determinar de forma considerablemente directa, la corriente del colector y los

niveles de voltaje del circuito de salida. Esto no implica que todas la soluciones tomarán este camino, pero sugiere una posible ruta a seguir si se encuentra una nueva configuración.

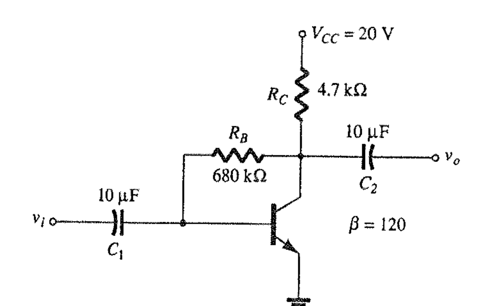
El primer ejemplo es uno donde simplemente el resistor del emisor ha sido eliminado de la configuración de retroalimentación de voltaje de la figura 4.35. El análisis es muy similar pero requiere deshacerse de R_E de la ecuación aplicada.

EJEMPLO 4.14

Para la red de la figura 4.40:

(a) Determine I_{C_Q} y V_{CE_Q}.

(b) Encuentre V_B, V_C, V_E y V_{BC}.



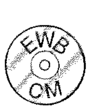


Figura 4.40 Retroalimentación del colector con $R_E = 0\ \Omega$.

Solución

(a) La ausencia de R_E reduce el reflejo de los niveles resistivos simplemente al nivel de R_C y la ecuación para I_B se reduce a

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta R_C}$$

$$= \frac{20\text{ V} - 0.7\text{ V}}{680\text{ k}\Omega + (120)(4.7\text{ k}\Omega)} = \frac{19.3\text{ V}}{1.244\text{ M}\Omega}$$

$$= 15.51\ \mu\text{A}$$

$$I_{C_Q} = \beta I_B = (120)(15.51\ \mu\text{A})$$

$$= \mathbf{1.86\ mA}$$

$$V_{CE_Q} = V_{CC} - I_C R_C$$

$$= 20\text{ V} - (1.86\text{ mA})(4.7\text{ k}\Omega)$$

$$= \mathbf{11.26\ V}$$

(b)

$$V_B = V_{BE} = \mathbf{0.7\ V}$$

$$V_C = V_{CE} = \mathbf{11.26\ V}$$

$$V_E = \mathbf{0\ V}$$

$$V_{BC} = V_B - V_C = 0.7\text{ V} - 11.26\text{ V}$$

$$= \mathbf{-10.56\ V}$$

En el siguiente ejemplo, el voltaje aplicado se conecta a la terminal del emisor y R_C se conecta directamente a tierra. Inicialmente, éste pareciera un tanto heterodoxo y diferente de los que hemos revisado hasta ahora, pero la aplicación de la ley de voltaje de Kirchhoff sobre el circuito de la base traerá por resultado la corriente de base buscada.

EJEMPLO 4.15

Determine V_C y V_B para la red de la figura 4.41.

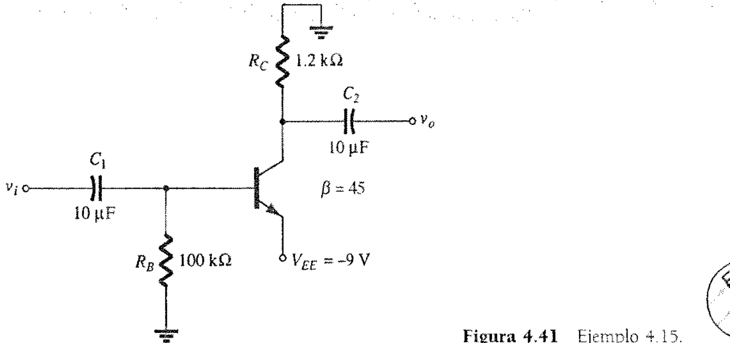


Figura 4.41 Ejemplo 4.15.

Solución

Al aplicar la ley de voltaje de Kirchhoff en dirección de las manecillas del reloj para la malla base-emisor tendremos como resultado

$$-I_B R_B - V_{BE} + V_{EE} = 0$$

e

$$I_B = \frac{V_{EE} - V_{BE}}{R_B}$$

Por medio de sustitución tenemos

$$I_B = \frac{9\text{ V} - 0.7\text{ V}}{100\text{ k}\Omega}$$

$$= \frac{8.3\text{ V}}{100\text{ k}\Omega}$$

$$= 83\ \mu\text{A}$$

$$I_C = \beta I_B$$

$$= (45)(83\ \mu\text{A})$$

$$= 3.735\text{ mA}$$

$$V_C = -I_C R_C$$

$$= -(3.735\text{ mA})(1.2\text{ k}\Omega)$$

$$= \mathbf{-4.48\ V}$$

$$V_B = -I_B R_B$$

$$= -(83\ \mu\text{A})(100\text{ k}\Omega)$$

$$= \mathbf{-8.3\ V}$$

El siguiente ejemplo emplea una red denominada de configuración *emisor-seguidor*. Cuando esta misma red se analiza sobre una base de ac, encontraremos que las señales de salida y entrada se encuentran en fase (una siguiendo a la otra) y que el voltaje de salida es ligeramente menor que el de la señal aplicada. Para el análisis de dc, el colector está conectado a tierra y el voltaje aplicado se encuentra en la terminal del emisor.

EJEMPLO 4.16

Determine V_{CE_Q} e I_E para la red de la figura 4.42.

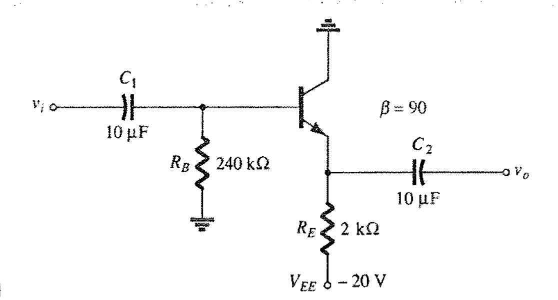


Figura 4.42 Configuración de colector común (emisor-seguidor).

Solución

Al aplicar la ley de voltaje de Kirchhoff al circuito de entrada tendremos como resultado

$$-I_BR_B - V_{BE} - I_ER_E + V_{EE} = 0$$

pero

$$I_E = (\beta + 1)I_B$$

y

$$V_{EE} - V_{BE} - (\beta + 1)I_BR_E - I_BR_B = 0$$

con

$$I_B = \frac{V_{EE} - V_{BE}}{R_B + (\beta + 1)R_E}$$

Al sustituir valores tenemos

$$I_B = \frac{20\text{ V} - 0.7\text{ V}}{240\text{ k}\Omega + (91)(2\text{ k}\Omega)}$$
$$= \frac{19.3\text{ V}}{240\text{ k}\Omega + 182\text{ k}\Omega} = \frac{19.3\text{ V}}{422\text{ k}\Omega}$$
$$= 45.73\ \mu\text{A}$$
$$I_C = \beta I_B$$
$$= (90)(45.73\ \mu\text{A})$$
$$= 4.12\text{ mA}$$

Al aplicar la ley de voltaje de Kirchhoff al circuito de salida, tenemos

$$-V_{EE} + I_ER_E + V_{CE} = 0$$

pero

$$I_E = (\beta + 1)I_B$$

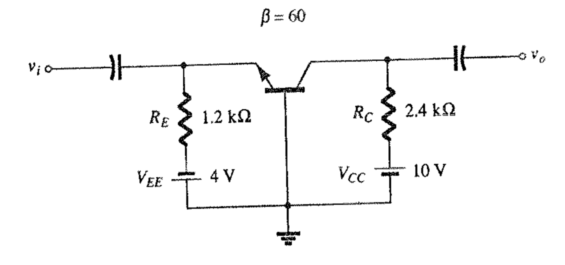
y

$$V_{CE_Q} = V_{EE} - (\beta + 1)I_BR_E$$
$$= 20\text{ V} - (91)(45.73\ \mu\text{A})(2\text{ k}\Omega)$$
$$= \mathbf{11.68\ V}$$
$$I_E = \mathbf{4.16\ mA}$$

Todos los ejemplos hasta este punto han empleado una configuración de emisor-común o de colector-común. En el siguiente ejemplo analizaremos la configuración base-común. Bajo esta situación, el circuito de entrada se utilizará para determinar I_E en lugar de I_B. La corriente del colector, entonces, se encontrará disponible para efectuar un análisis del circuito de salida.

EJEMPLO 4.17

Determine el voltaje V_{CB} y la corriente I_B de la configuración de base-común de la figura 4.43.



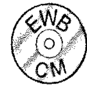
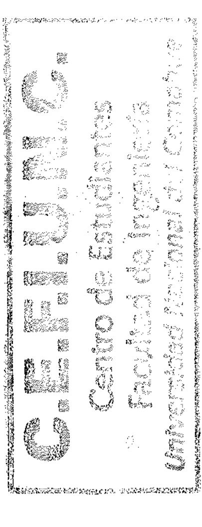


Figura 4.43 Configuración de base-común.



Solución

Al aplicar la ley de voltaje de Kirchhoff al circuito de entrada obtenemos

$$-V_{EE} + I_ER_E + V_{BE} = 0$$

e

$$I_E = \frac{V_{EE} - V_{BE}}{R_E}$$

Al sustituir valores, obtenemos

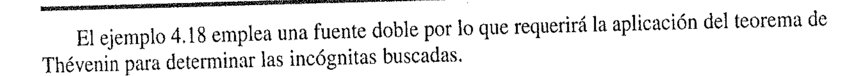
$$I_E = \frac{4\text{ V} - 0.7\text{ V}}{1.2\text{ k}\Omega} = 2.75\text{ mA}$$

Al aplicar la ley de voltaje de Kirchhoff al circuito de salida obtenemos

$$-V_{CB} + I_CR_C - V_{CC} = 0$$

y

$$V_{CB} = V_{CC} - I_CR_C \text{ con } I_C \cong I_E$$
$$= 10\text{ V} - (2.75\text{ mA})(2.4\text{ k}\Omega)$$
$$= \mathbf{3.4\ V}$$
$$I_B = \frac{I_C}{\beta}$$
$$= \frac{2.75\text{ mA}}{60}$$
$$= \mathbf{45.8\ \mu A}$$


El ejemplo 4.18 emplea una fuente doble por lo que requerirá la aplicación del teorema de Thévenin para determinar las incógnitas buscadas.

EJEMPLO 4.18 Determine V_C y V_B para la red de la figura 4.44.

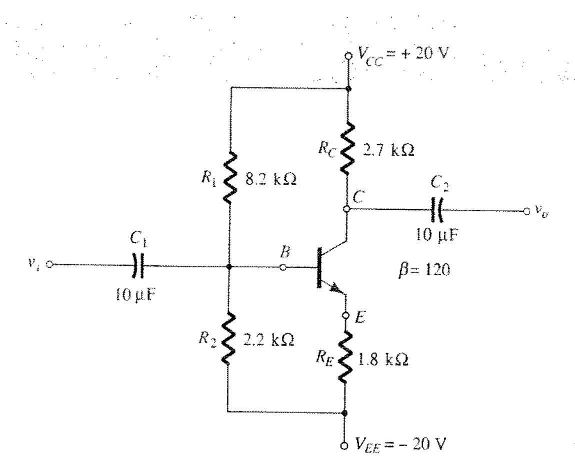


Figura 4.44 Ejemplo 4.18.

Solución

Se determinan la resistencia y el voltaje de Thévenin para la red de la izquierda de la terminal de la base como se muestra en las figuras 4.45 y 4.46.

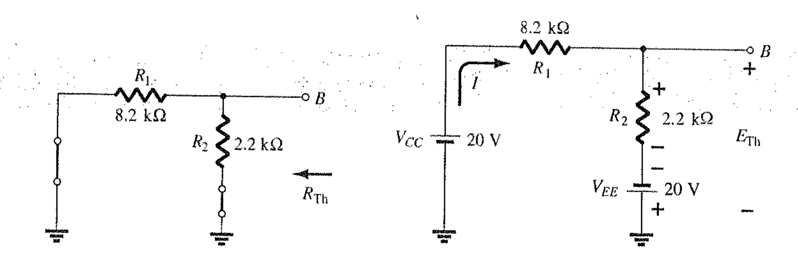


Figura 4.45 Determinación de R_{Th}.

Figura 4.46 Determinación de E_{Th}.

R_{Th}:

$$R_{Th} = 8.2\ \text{k}\Omega \| 2.2\ \text{k}\Omega = 1.73\ \text{k}\Omega$$

E_{Th}:

$$I = \frac{V_{CC} + V_{EE}}{R_1 + R_2} = \frac{20\ \text{V} + 20\ \text{V}}{8.2\ \text{k}\Omega + 2.2\ \text{k}\Omega} = \frac{40\ \text{V}}{10.4\ \text{k}\Omega}$$
$$= 3.85\ \text{mA}$$
$$E_{Th} = IR_2 - V_{EE}$$
$$= (3.85\ \text{mA})(2.2\ \text{k}\Omega) - 20\ \text{V}$$
$$= -11.53\ \text{V}$$

La red puede volverse a dibujar como se muestra en la figura 4.47, donde la aplicación de la ley de voltaje de Kirchhoff dará como resultado

$$-E_{Th} - I_B R_{Th} - V_{BE} - I_E R_E + V_{EE} = 0$$

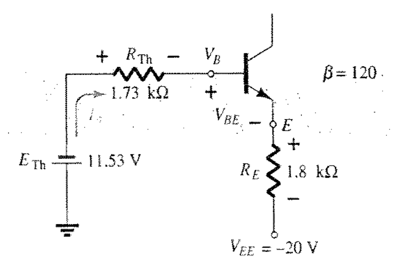


Figura 4.47 Sustitución del circuito equivalente de Thévenin.

Al sustituir $I_E = (\beta + 1)I_B$ tenemos

$$V_{EE} - E_{Th} - V_{BE} - (\beta + 1)I_B R_E - I_B R_{Th} = 0$$

e

$$I_B = \frac{V_{EE} - E_{Th} - V_{BE}}{R_{Th} + (\beta + 1)R_E}$$
$$= \frac{20\ \text{V} - 11.53\ \text{V} - 0.7\ \text{V}}{1.73\ \text{k}\Omega + (121)(1.8\ \text{k}\Omega)}$$
$$= \frac{7.77\ \text{V}}{219.53\ \text{k}\Omega}$$
$$= 35.39\ \mu\text{A}$$
$$I_C = \beta I_B$$
$$= (120)(35.39\ \mu\text{A})$$
$$= 4.25\ \text{mA}$$
$$V_C = V_{CC} - I_C R_C$$
$$= 20\ \text{V} - (4.25\ \text{mA})(2.7\ \text{k}\Omega)$$
$$= \mathbf{8.53\ V}$$
$$V_B = -E_{Th} - I_B R_{Th}$$
$$= -(11.53\ \text{V}) - (35.39\ \mu\text{A})(1.73\ \text{k}\Omega)$$
$$= \mathbf{-11.59\ V}$$

4.8 OPERACIONES DE DISEÑO

Hasta ahora la discusión se ha centrado en el análisis de redes existentes. Todos los elementos se encuentran ya definidos y simplemente es cuestión de resolver los niveles de corriente y de voltaje de la configuración. El proceso de diseño es aquél en el que la corriente y/o el voltaje pueden estar definidos y se deberán determinar los elementos requeridos para establecer los niveles deseados. Este proceso de síntesis requiere de un claro entendimiento de las características del dispositivo, de las ecuaciones básicas de la red y un firme entendimiento de las leyes básicas del análisis de circuitos, tales como la ley de Ohm, la ley de voltaje de Kirchhoff, etcétera. En la mayoría de los casos, se requiere un proceso de razonamiento de mayor nivel para el caso del proceso de diseño que el requerido para la secuencia de análisis. Ya que el camino hacia la solución se encuentra menos definido y de hecho, podría requerir algunos supuestos básicos que no se requieren realizar cuando solamente se analiza una red.

La secuencia de diseño es obviamente sensible ante los elementos que ya han sido precisados y ante los que serán determinados. Si las fuentes y los transistores se encuentran especificados, el proceso de diseño simplemente deberá determinar los resistores requeridos para un diseño en particular. Una vez que los valores teóricos de los resistores se determinaron, normalmente se seleccionan los valores comerciales más cercanos a éstos y cualquier variación que resulte como consecuencia de no haber utilizado los valores de resistencia exactos se aceptará como parte del diseño. Ésta es sin duda, una aproximación válida si se consideran las tolerancias normalmente asociadas con los elementos resistivos y con los parámetros del transistor.

Si se requiere determinar valores resistivos, una de las ecuaciones más poderosas es simplemente la ley de Ohm en la siguiente forma:

$$R_{\text{desconocida}} = \frac{V_R}{I_R} \tag{4.44}$$

Para un diseño particular, el voltaje a través de un resistor puede a menudo ser determinado a partir de los niveles especificados. Si especificaciones adicionales definen el nivel de corriente, puede utilizarse la ecuación 4.44 para calcular el nivel de resistencia requerido. Los primeros ejemplos demostrarán la forma de determinar elementos particulares a partir de niveles especificados. Luego, se presentará un proceso completo de diseño para dos configuraciones comunes.

EJEMPLO 4.19

A partir de las características del dispositivo de la figura 4.48a, determine V_{CC}, R_B y R_C para la configuración de polarización fija de la figura 4.48b.

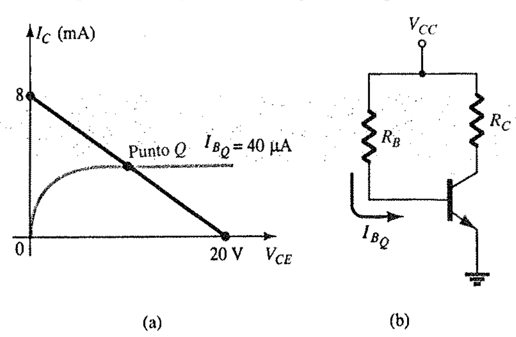


Figura 4.48 Ejemplo 4.19.

Solución

De la recta de carga

$$V_{CC} = \mathbf{20\ V}$$

$$I_C = \frac{V_{CC}}{R_C}\bigg|_{V_{CE}=0\ V}$$

y

$$R_C = \frac{V_{CC}}{I_C} = \frac{20\ V}{8\ mA} = \mathbf{2.5\ k\Omega}$$

$$I_B = \frac{V_{CC} - V_{BE}}{R_B}$$

con

$$R_B = \frac{V_{CC} - V_{BE}}{I_B}$$

$$= \frac{20\ V - 0.7\ V}{40\ \mu A} = \frac{19.3\ V}{40\ \mu A}$$

$$= \mathbf{482.5\ k\Omega}$$

Valores estándares de resistor:

$$R_C = 2.4\ k\Omega$$

$$R_B = 470\ k\Omega$$

Al utilizar valores estándares de resistor tenemos

$$I_B = 41.1\ \mu A$$

el cual se encuentra dentro del 5% de valor especificado.

EJEMPLO 4.20

Dados $I_{C_Q} = 2$ mA y $V_{CE_Q} = 10$ V, determine R_1 y R_C para la red de la figura 4.49.

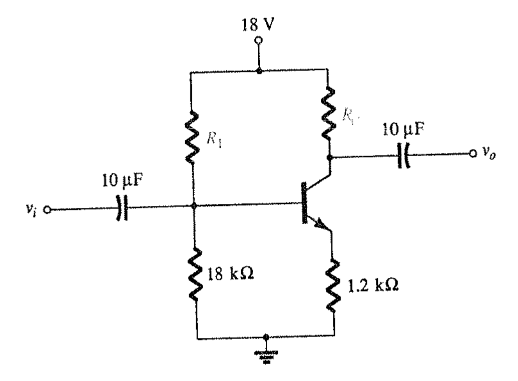


Figura 4.49 Ejemplo 4.20.

Solución

$$V_E = I_E R_E \cong I_C R_E$$

$$= (2\ mA)(1.2\ k\Omega) = 2.4\ V$$

$$V_B = V_{BE} + V_E = 0.7\ V + 2.4\ V = 3.1\ V$$

$$V_B = \frac{R_2 V_{CC}}{R_1 + R_2} = 3.1\ V$$

y

$$\frac{(18\ k\Omega)(18\ V)}{R_1 + 18\ k\Omega} = 3.1\ V$$

$$324\ k\Omega = 3.1R_1 + 55.8\ k\Omega$$

$$3.1R_1 = 268.2\ k\Omega$$

$$R_1 = \frac{268.2\ k\Omega}{3.1} = \mathbf{86.52\ k\Omega}$$

Ecuación (4.44): $$R_C = \frac{V_{R_C}}{I_C} = \frac{V_{CC} - V_C}{I_C}$$

con

$$V_C = V_{CE} + V_E = 10\ V + 2.4\ V = 12.4\ V$$

y

$$R_C = \frac{18\ V - 12.4\ V}{2\ mA}$$

$$= \mathbf{2.8\ k\Omega}$$

El valor comercial más cercano a R_1 son 82 y 91 kΩ. Sin embargo, si se utiliza una combinación en serie de los valores estándares de 82 kΩ y de 4.7 kΩ = 86.7 kΩ que resulta un valor muy cercano al nivel del diseño.

EJEMPLO 4.21 La configuración de polarización en emisor de la figura 4.50 posee las siguientes especificaciones: $I_{C_Q} = \frac{1}{2}I_{sat}$, $I_{C_{sat}} = 8$ mA, $V_C = 18$ V, y $\beta = 110$. Determine R_C, R_E y R_B.

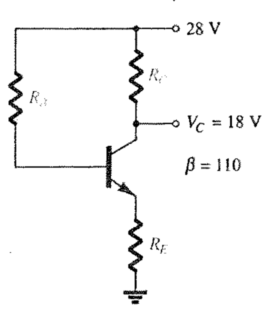


Figura 4.50 Ejemplo 4.21.

Solución

$$I_{C_Q} = \tfrac{1}{2}I_{C_{sat}} = 4 \text{ mA}$$

$$R_C = \frac{V_{R_C}}{I_{C_Q}} = \frac{V_{CC} - V_C}{I_{C_Q}}$$

$$= \frac{28 \text{ V} - 18 \text{ V}}{4 \text{ mA}} = \mathbf{2.5\ k\Omega}$$

$$I_{C_{sat}} = \frac{V_{CC}}{R_C + R_E}$$

y

$$R_C + R_E = \frac{V_{CC}}{I_{C_{sat}}} = \frac{28 \text{ V}}{8 \text{ mA}} = 3.5 \text{ k}\Omega$$

$$R_E = 3.5 \text{ k}\Omega - R_C$$

$$= 3.5 \text{ k}\Omega - 2.5 \text{ k}\Omega$$

$$= \mathbf{1\ k\Omega}$$

$$I_{B_Q} = \frac{I_{C_Q}}{\beta} = \frac{4 \text{ mA}}{110} = 36.36\ \mu\text{A}$$

$$I_{B_Q} = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E}$$

y

$$R_B + (\beta + 1)R_E = \frac{V_{CC} - V_{BE}}{I_{B_Q}}$$

con

$$R_B = \frac{V_{CC} - V_{BE}}{I_{B_Q}} - (\beta + 1)R_E$$

$$= \frac{28 \text{ V} - 0.7 \text{ V}}{36.36\ \mu\text{A}} - (111)(1 \text{ k}\Omega)$$

$$= \frac{27.3 \text{ V}}{36.36\ \mu\text{A}} - 111 \text{ k}\Omega$$

$$= \mathbf{639.8\ k\Omega}$$

Para valores estándares:

$$R_C = 2.4 \text{ k}\Omega$$
$$R_E = 1 \text{ k}\Omega$$
$$R_B = 620 \text{ k}\Omega$$

Los argumentos siguientes presentarán una técnica para el diseño de un circuito completo que opere en un punto de polarización especificado. Regularmente, las hojas de especificaciones del fabricante proporcionan información sobre un punto de operación sugerido (o región de operación) para un transistor particular. Además, otros componentes del sistema conectados a la etapa de amplificación determinada pueden también definir para el diseño, la amplitud de la corriente, del voltaje, del valor de la fuente de voltaje común, etcétera.

En la práctica real, existen otros muchos factores que deben ser considerados y que pueden afectar la selección del punto de operación deseado. Por el momento, sin embargo, debemos concentrarnos en la determinación del valor de los componentes para obtener un punto de operación específico. La discusión estará limitada a las configuraciones de polarización en emisor y de divisor de voltaje, aunque puede aplicarse el mismo procedimiento para una variedad de otros circuitos de transistores.

Diseño de un circuito de polarización con un resistor de retroalimentación en emisor

Consideremos primero el diseño de los componentes en polarización de dc de un circuito amplificador que cuenta con estabilización de polarización por resistor en emisor como se muestra en la figura 4.51. El voltaje de la fuente y el punto de operación fueron seleccionados de la información del fabricante del transistor utilizado en el amplificador.

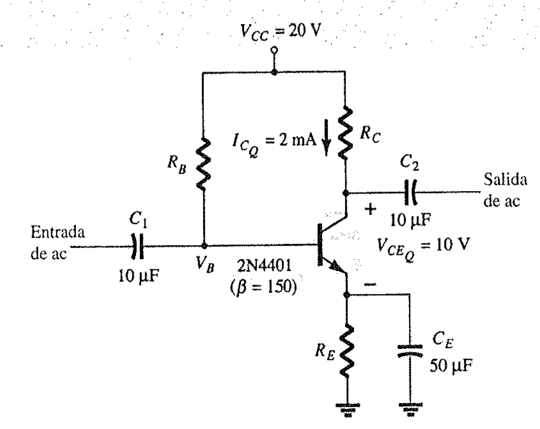


Figura 4.51 Circuito de polarización estabilizado en emisor para consideración de diseño.

La selección de los resistores del colector y del emisor no puede derivarse directamente de la información especificada. La ecuación que relaciona los voltajes alrededor de la malla colector-emisor presenta dos cantidades desconocidas: los resistores R_C y R_E. En este punto deberá efectuarse algún tipo de juicio de ingeniería, como el del nivel del voltaje del emisor en comparación con el voltaje de alimentación aplicado. Recuerde que la razón de incluir un resistor del emisor a tierra se debía a la necesidad de proporcionar una forma de estabilización en polarización de dc, de tal forma que el cambio en la corriente del colector debido a fugas de corriente en el transistor y a la beta del transistor, no causarán un desplazamiento considerable del punto de operación. El resistor del emisor no puede ser excesivamente grande porque el voltaje a través de él, limitaría el rango de la amplitud del voltaje para el voltaje que va del colector al emisor (que se observará cuando se analice la respuesta de ac). Los ejemplos revisados en

este capítulo, indican que el voltaje del emisor a tierra es normalmente de cerca de una cuarta parte a una décima parte del voltaje de alimentación. Si seleccionamos el caso conservador de un décimo nos permitirá calcular el resistor del emisor R_E y el resistor R_C de una forma similar a la de los ejemplos recién concluidos. En el siguiente ejemplo, efectuaremos un diseño completo de la red de la figura 4.51 utilizando el criterio recién presentado para el voltaje del emisor.

EJEMPLO 4.22

Determine los valores de los resistores para la red de la figura 4.51 para el punto de operación y alimentación de voltaje indicados.

Solución

$$V_E = \tfrac{1}{10}V_{CC} = \tfrac{1}{10}(20\text{ V}) = 2\text{ V}$$

$$R_E = \frac{V_E}{I_E} \cong \frac{V_E}{I_C} = \frac{2\text{ V}}{2\text{ mA}} = \mathbf{1\ k\Omega}$$

$$R_C = \frac{V_{R_C}}{I_C} = \frac{V_{CC} - V_{CE} - V_E}{I_C} = \frac{20\text{ V} - 10\text{ V} - 2\text{ V}}{2\text{ mA}} = \frac{8\text{ V}}{2\text{ mA}}$$

$$= \mathbf{4\ k\Omega}$$

$$I_B = \frac{I_C}{\beta} = \frac{2\text{ mA}}{150} = 13.33\ \mu\text{A}$$

$$R_B = \frac{V_{R_B}}{I_B} = \frac{V_{CC} - V_{BE} - V_E}{I_B} = \frac{20\text{ V} - 0.7\text{ V} - 2\text{ V}}{13.33\ \mu\text{A}}$$

$$\cong \mathbf{1.3\ M\Omega}$$

Diseño de un circuito con ganancia de corriente estabilizada (independiente de beta)

El circuito de la figura 4.52 proporciona estabilización ante cambios provocados tanto por fugas de corriente como por ganancias en ésta (beta). Deben obtenerse los valores de los cuatro resistores mostrados para el punto de operación señalado. Si se utiliza un juicio de ingeniería para seleccionar el valor del voltaje del emisor, V_E, de la misma forma que hicimos en las consideraciones de diseño previas, esto nos llevará a una solución clara y directa para todos los valores de los resistores. Los pasos del diseño para esto se demuestran en el siguiente ejemplo.

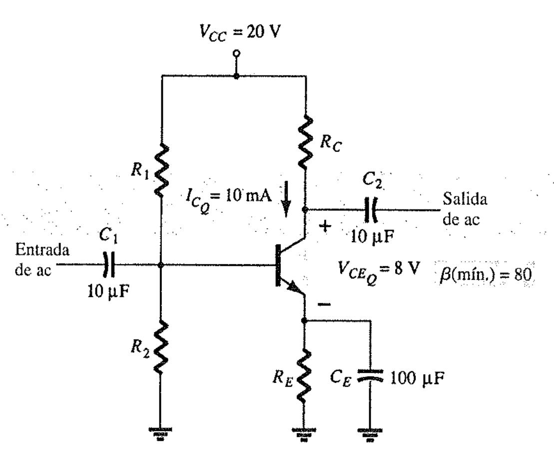


Figura 4.52 Circuito de ganancia estabilizada para consideraciones de diseño.

EJEMPLO 4.23

Determine los valores de R_C, R_E, R_1 y R_2 para la red de la figura 4.52 para el punto de operación señalado.

Solución

$$V_E = \tfrac{1}{10}V_{CC} = \tfrac{1}{10}(20\text{ V}) = 2\text{ V}$$

$$R_E = \frac{V_E}{I_E} \cong \frac{V_E}{I_C} = \frac{2\text{ V}}{10\text{ mA}} = \mathbf{200\ \Omega}$$

$$R_C = \frac{V_{R_C}}{I_C} = \frac{V_{CC} - V_{CE} - V_E}{I_C} = \frac{20\text{ V} - 8\text{ V} - 2\text{ V}}{10\text{ mA}} = \frac{10\text{ V}}{10\text{ mA}}$$

$$= \mathbf{1\ k\Omega}$$

$$V_B = V_{BE} + V_E = 0.7\text{ V} + 2\text{ V} = 2.7\text{ V}$$

Las ecuaciones para el cálculo de los resistores de la base R_1 y R_2 requerirán de un mayor esfuerzo de análisis. Al utilizar el valor del voltaje de la base calculado anteriormente y el valor del voltaje de alimentación se podrá obtener una ecuación, pero con dos incógnitas, R_1 y R_2. Es posible obtener una ecuación adicional al entender cómo funcionan estos dos resistores para proporcionar el voltaje de la base necesario. Para que el circuito opere de manera eficiente, se asume que la corriente a través de R_1 y R_2 será aproximadamente igual o mucho mayor a la corriente de la base (al menos en proporción 10:1). Este hecho junto con la ecuación del divisor de voltaje para el voltaje de la base, proporcionan las dos relaciones necesarias para determinar los resistores de la base. Esto es,

$$R_2 \leq \tfrac{1}{10}\beta R_E$$

y

$$V_B = \frac{R_2}{R_1 + R_2}V_{CC}$$

Sustituyendo tenemos

$$R_2 \leq \tfrac{1}{10}(80)(0.2\text{ k}\Omega)$$

$$= \mathbf{1.6\ k\Omega}$$

$$V_B = 2.7\text{ V} = \frac{(1.6\text{ k}\Omega)(20\text{ V})}{R_1 + 1.6\text{ k}\Omega}$$

y

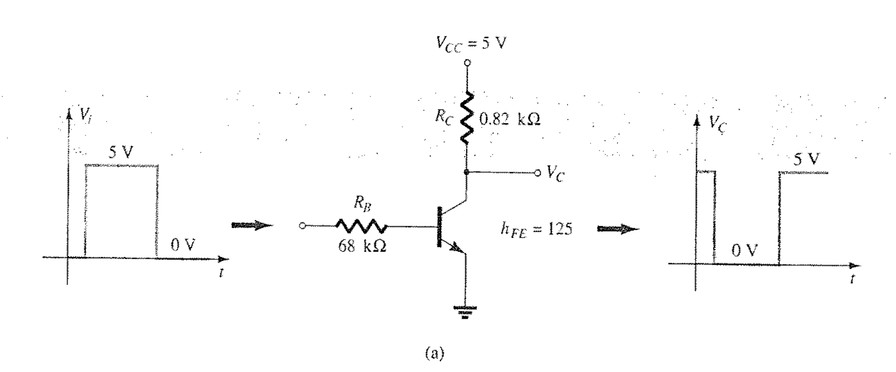
$$2.7R_1 + 4.32\text{ k}\Omega = 32\text{ k}\Omega$$

$$2.7R_1 = 27.68\text{ k}\Omega$$

$$R_1 = \mathbf{10.25\ k\Omega} \quad (\text{use } 10\text{ k}\Omega)$$

4.9 REDES DE CONMUTACIÓN CON TRANSISTORES

Las aplicaciones de los transistores no se limitan únicamente a la amplificación de señales. Mediante un diseño apropiado, se pueden utilizar como interruptores para aplicaciones de cómputo y de control. La red de la figura 4.53a puede emplearse como un *inversor* para circuitos lógicos de cómputo. Observe que el voltaje de salida V_C es el opuesto del que se aplica en la terminal de la base o de entrada. Además, observe la ausencia de una fuente de dc conectada al circuito de la base. La única fuente de dc se encuentra conectada al colector o lado de salida y, para aplicaciones de cómputo, éste es generalmente igual a la magnitud "alta" de la señal aplicada, que para este caso son 5 V.



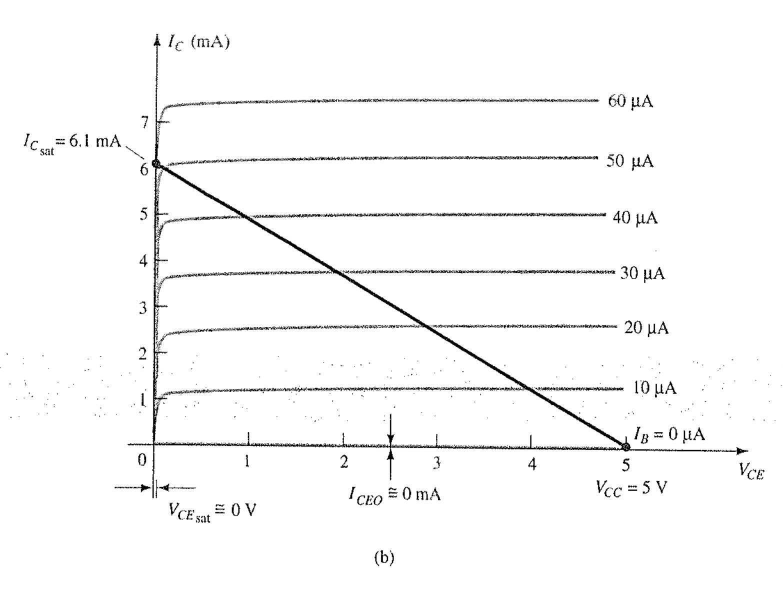


Figura 4.53 Transistor inversor.

Un diseño apropiado para el proceso de inversión requiere que el punto de operación alterne entre el corte y la saturación durante la recta de carga demostrada en la figura 4.53b. Para nuestros propósitos, asumiremos que $I_C = I_{CEO} = 0$ mA cuando $I_B = 0$ μA (lo que es una excelente aproximación a la luz de las mejoras en las técnicas de construcción), como se muestra en la figura 4.53b. Además de esto, asumiremos que $V_{CE} = V_{CE_{sat}} = 0$ V en lugar del valor común de 0.1 a 0.3 V.

Cuando $V_i = 5$ V, el transistor se encontrará "encendido" y el diseño deberá asegurar que la red se encuentra altamente saturada por un nivel de I_B mayor que el asociado con la curva de I_B que aparece cerca del nivel de saturación. En la figura 4.53b, esto requiere que $I_B > 50$ μA. El nivel de saturación de la corriente del colector para el circuito de la figura 4.53a está definido por

$$I_{C_{sat}} = \frac{V_{CC}}{R_C} \tag{4.45}$$

El nivel de I_B en la región activa justo antes de que ocurra la saturación puede aproximarse con la siguiente ecuación:

$$I_{B_{max}} \cong \frac{I_{C_{sat}}}{\beta_{dc}}$$

Para el nivel de saturación debemos, por lo tanto, asegurar que se satisface la siguiente condición:

$$I_B > \frac{I_{C_{sat}}}{\beta_{dc}} \tag{4.46}$$

Para la red de la figura 4.53b, cuando $V_i = 5$ V, el nivel de I_B resultante es el siguiente:

$$I_B = \frac{V_i - 0.7\text{ V}}{R_B} = \frac{5\text{ V} - 0.7\text{ V}}{68\text{ k}\Omega} = 63\ \mu\text{A}$$

e

$$I_{C_{sat}} = \frac{V_{CC}}{R_C} = \frac{5\text{ V}}{0.82\text{ k}\Omega} \cong 6.1\text{ mA}$$

Al probar la ecuación 4.46 tenemos

$$I_B = 63\ \mu\text{A} > \frac{I_{C_{sat}}}{\beta_{dc}} = \frac{6.1\text{ mA}}{125} = 48.8\ \mu\text{A}$$

lo cual se satisface. Desde luego, cualquier nivel de I_B mayor de 60 μA pasará a través de un punto Q sobre la recta de carga que se encuentra muy cercana al eje vertical.

Cuando $V_i = 0$ V, $I_B = 0$ μA, y dado que estamos asumiendo que $I_C = I_{CEO} = 0$ mA, la caída de voltaje a través de R_C, determinada por $V_{R_C} = I_C R_C = 0$ V, resulta en $V_C = +5$ V para la respuesta indicada en la figura 4.53a.

Además de contribuir con la lógica computacional, el transistor puede también emplearse como un interruptor utilizando los mismos extremos de la recta de carga. En la saturación, la corriente I_C es muy alta y el voltaje V_{CE} es muy bajo. El resultado es un nivel de resistencia, entre las dos terminales, determinado por

$$R_{sat} = \frac{V_{CE_{sat}}}{I_{C_{sat}}}$$

y representado en la figura 4.54.

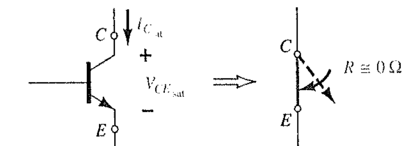


Figura 4.54 Condiciones de saturación y la resistencia de terminal resultante.

Al utilizar un valor promedio típico de $V_{CE_{sat}}$ como 0.15 V tenemos

$$R_{sat} = \frac{V_{CE_{sat}}}{I_{C_{sat}}} = \frac{0.15\text{ V}}{6.1\text{ mA}} = 24.6\ \Omega$$

el cual es un valor relativamente bajo y $\cong 0\ \Omega$ cuando es colocado en serie con resistores del rango de los kiloohms.

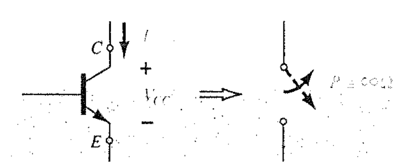


Figura 4.55 Condiciones de corte y la resistencia de terminal resultante.

Cuando $V_i = 0$ V, como se muestra en la figura 4.55, la condición de corte ocasionará un nivel de resistencia de magnitud siguiente:

$$R_{\text{corte}} = \frac{V_{CC}}{I_{CEO}} = \frac{5\text{ V}}{0\text{ mA}} = \infty\ \Omega$$

lo que resulta en la equivalencia de circuito abierto. Para un valor típico de $I_{CEO} = 10\ \mu$A, la magnitud de la resistencia de corte es

$$R_{\text{corte}} = \frac{V_{CC}}{I_{CEO}} = \frac{5\text{ V}}{10\ \mu\text{A}} = \mathbf{500\ k\Omega}$$

el cual, ciertamente se aproxima a una equivalencia de circuito abierto para varias situaciones.

EJEMPLO 4.24 Determine R_B y R_C para el transistor inversor de la figura 4.56 si $I_{C_{sat}} = 10$ mA.

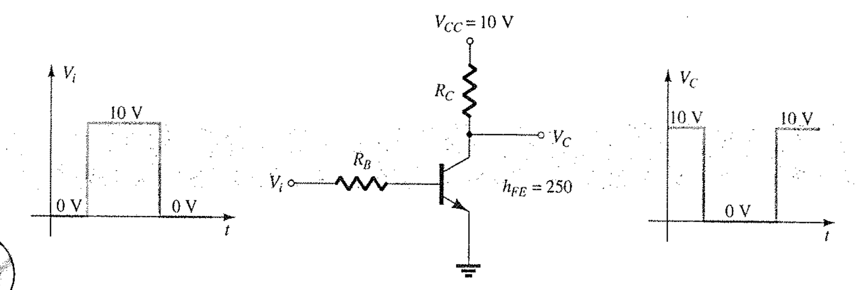


Figura 4.56 Inversor del ejemplo 4.24.

Solución

En la saturación:

$$I_{C_{sat}} = \frac{V_{CC}}{R_C}$$

y

$$10\text{ mA} = \frac{10\text{ V}}{R_C}$$

por lo que

$$R_C = \frac{10\text{ V}}{10\text{ mA}} = 1\text{ k}\Omega$$

En la saturación:

$$I_B \cong \frac{I_{C_{sat}}}{\beta_{dc}} = \frac{10\text{ mA}}{250} = 40\ \mu\text{A}$$

Al seleccionar $I_B = 60\ \mu$A para asegurar la saturación y utilizar

$$I_B = \frac{V_i - 0.7\text{ V}}{R_B}$$

obtenemos

$$R_B = \frac{V_i - 0.7\text{ V}}{I_B} = \frac{10\text{ V} - 0.7\text{ V}}{60\ \mu\text{A}} = 155\text{ k}\Omega$$

Seleccionar $R_B = 150$ kΩ, el cual es un valor estándar. Entonces

$$I_B = \frac{V_i - 0.7\text{ V}}{R_B} = \frac{10\text{ V} - 0.7\text{ V}}{150\text{ k}\Omega} = 62\ \mu\text{A}$$

e

$$I_B = 62\ \mu\text{A} > \frac{I_{C_{sat}}}{\beta_{dc}} = 40\ \mu\text{A}$$

Por lo tanto, se debe utilizar R_B = **150 kΩ** y R_C = **1 kΩ.**

Existen transistores que se denominan como *transistores de conmutación* debido a la velocidad con la que pueden conmutar de un nivel de voltaje al otro. En la figura 3.23c se presentan los periodos definidos como t_s, t_d, t_r y t_f graficados en función de la corriente del colector. Su impacto sobre la velocidad de respuesta de la salida del colector se define por la respuesta de la corriente del colector de la figura 4.57. El tiempo total requerido para que el transistor conmute del estado de "apagado" al de "encendido" se designa como $t_{\text{encendido}}$ y se define por

$$\boxed{t_{\text{encendido}} = t_r + t_d} \tag{4.47}$$

donde t_d el tiempo de retraso en el estado de carga de la entrada y el inicio de una respuesta de la salida. El elemento de tiempo t_r, es el tiempo de subida de 10% a 90% del valor final.

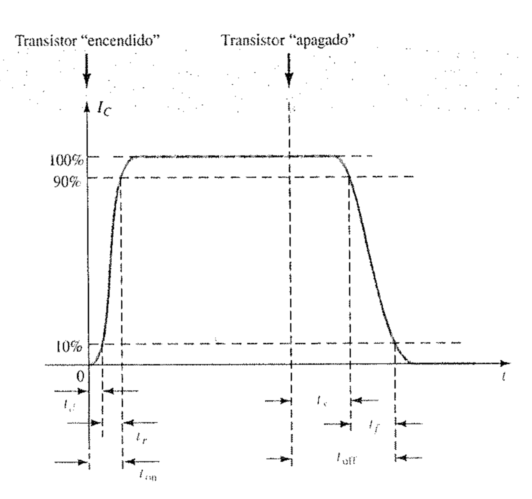


Figura 4.57 Definición de los intervalos de tiempo de una forma de onda de pulso.

El tiempo total requerido para que un transistor alterne entre el estado de "encendido" y el de "apagado" se denomina como t_{apagado} y se define como

$$\boxed{t_{\text{apagado}} = t_s + t_f} \tag{4.48}$$

donde t_s es el tiempo de almacenamiento y t_f es el tiempo de caída de 90% a 10% del valor inicial.

Para el transistor de propósito general de la figura 3.23c cuando $I_C = 10\text{mA}$, tenemos

$$t_s = 120 \text{ ns}$$
$$t_d = 25 \text{ ns}$$
$$t_r = 13 \text{ ns}$$

y $$t_f = 12 \text{ ns}$$

por lo que $$t_{\text{encendido}} = t_r + t_d = 13 \text{ ns} + 25 \text{ ns} = \mathbf{38 \text{ ns}}$$

y $$t_{\text{apagado}} = t_s + t_f = 120 \text{ ns} + 12 \text{ ns} = \mathbf{132 \text{ ns}}$$

Al comparar los valores anteriores con los siguientes parámetros de un transistor interruptor BSV52L se hace evidente uno de los motivos para seleccionar un transistor de conmutación cuando es necesario.

$$t_{\text{encendido}} = \mathbf{12 \text{ ns}} \quad \text{y} \quad t_{\text{apagado}} = \mathbf{18 \text{ ns}}$$

4.10 TÉCNICAS PARA LOCALIZACIÓN DE FALLAS

El arte de la localización de fallas es un campo tan amplio que no es posible cubrir las numerosas posibilidades y técnicas en unas cuantas secciones de un libro. Sin embargo, el profesional del área debe conocer algunas mediciones y maniobras básicas que pueden ayudar a aislar el área del problema y posiblemente a identificar una solución.

Obviamente, el primer paso para poder detectar problemas en una red es el entender completamente el comportamiento de ésta, y contar con cierta idea sobre los niveles esperados de corriente y de voltaje. Para la región activa del transistor, el nivel de medida de dc más importante es el voltaje de base a emisor.

Para un transistor en estado de "encendido", el voltaje V_{BE} debe andar alrededor de 0.7 V.

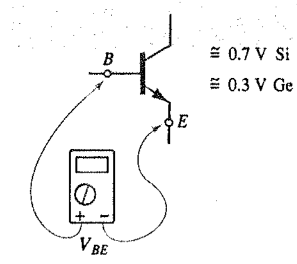


Figura 4.58 Verificación del nivel de dc de V_{BE}.

Las conexiones apropiadas para medir V_{BE} se muestran en la figura 4.58. Observe que la punta de prueba positiva (roja) se conecta a la terminal de la base para el caso de un transistor *npn* y que la punta de prueba negativa (negra) se conecta a la terminal del emisor. Deberá desconfiarse de cualquier lectura completamente diferente del nivel esperado de 0.7 V, tal como 0, 4 o 12 V, o un valor negativo, y deberán verificarse las conexiones de la red o del dispositivo. Para un transistor *pnp*, se pueden utilizar las mismas conexiones, pero se deberá esperar un valor negativo.

Un nivel de voltaje de igual importancia es el voltaje de colector a emisor. Recuerde de las características generales de un BJT, que para dispositivos saturados (una condición que no debería presentarse a menos que el dispositivo se utilice como conmutador) el nivel de V_{CE} se encuentra en la cercanía de 0.3 V. Sin embargo,

Para el transistor amplificador típico en la región activa, V_{CE} normalmente se encuentra de 25% a 75% de V_{CC}.

Para cuando $V_{CC} = 20$ V, una lectura de 1 a 2 V o de 18 a 20 V como se muestra en la figura 4.59 es, sin lugar a dudas, un resultado inusual, y a menos que haya sido diseñado para proporcionar esta respuesta, la operación y el diseño deberán ser verificados. Si $V_{CE} = 20$ V (con $V_{CC} = 20$ V) tenemos al menos dos posibilidades: ya sea que el dispositivo (BJT) se encuentra dañado y presenta las características de un circuito abierto entre las terminales del colector y del emisor, o se encuentra abierta una conexión entre la malla colector-emisor o base-emisor como se muestra en la figura 4.60, provocando que I_C se encuentra en 0 mA y $V_{R_C} = 0$ V. En la figura 4.60, la punta de prueba negra del voltímetro se encuentra conectada con la tierra

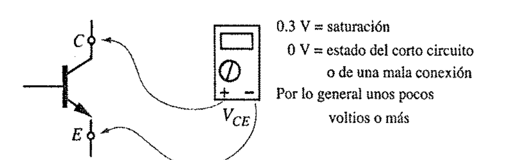


Figura 4.59 Revisión el nivel de V_{CE}.

común de la fuente y la punta de prueba roja con la terminal inferior del transistor. La ausencia de corriente del colector y una caída resultante a través de R_C ocasionarán una lectura de 20 V. Si el medidor se conecta con la terminal del colector del BJT, la lectura será de 0 V, ya que V_{CC} se encuentra bloqueado del dispositivo activo a causa del circuito abierto. Uno de los errores más comunes en la experiencia del laboratorio es el empleo del valor equivocado de la resistencia para un diseño dado. Imagine el impacto de utilizar un resistor de 680 Ω en R_B en lugar del valor del diseño de 680 kΩ. Para un valor de $V_{CC} = 20$ V y una configuración de polarización fija, el valor resultante de la corriente de base sería

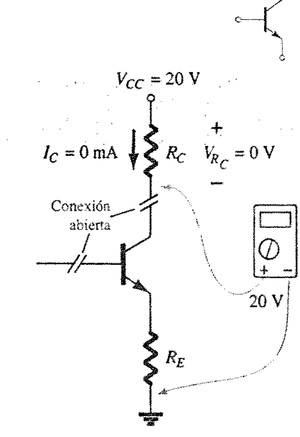


Figura 4.60 Efecto de una conexión deficiente o un dispositivo dañado.

$$I_B = \frac{20 \text{ V} - 0.7 \text{ V}}{680 \, \Omega} = 28.4 \text{ mA}$$

en lugar del valor deseado de 28.4 μA, ¡una diferencia muy importante!

Una corriente de base de 28.4 mA efectivamente situaría al diseño en una región de saturación y posiblemente dañaría al dispositivo. Debido a que los valores reales de los resistores son generalmente distintos de los valores nominales que se dan mediante los códigos de color (recuerde los niveles de tolerancia comunes para los elementos resistivos), bien vale la pena tomar la medición del resistor para conocer su valor real antes de incluirlo en la red. El resultado de esto es hacer que los valores reales sean lo más cercanos a los valores teóricos y lograr con esto una mayor seguridad de que los valores correctos de resistencia se están empleando.

Sin embargo, existirán momentos frustrantes; se habrá verificado el dispositivo en un trazador de curvas, o en algún otro instrumento de pruebas para BJT y al parecer, se encuentra en buenas condiciones. Todos los niveles de los resistores parecen correctos, las conexiones se muestran sólidas, se está aplicando el suministro de voltaje correcto; ¿qué sigue? Ahora, quien se encargue de la localización de la falla, deberá arreglárselas para llegar a un nivel mayor de sofisticación. ¿Podría ser que la conexión interna entre el cable y la conexión final de la punta se encuentre dañada? ¿Cuántas veces el simple hecho de tocar una punta en el lugar correcto acarrea una situación de "funciona/no funciona" entre las conexiones? Quizá la fuente se encendió y se colocó en el voltaje correcto, pero la perilla que limita la corriente se dejó en la posición de cero, evitando un nivel de corriente adecuado para el consumo del diseño de la red. Obviamente, mientras más sofisticado sea el sistema, mayor será el rango de posibilidades. En cualquier caso, uno de los métodos más efectivos para verificar la operación de una red es probar distintos niveles de voltaje con respecto a tierra conectando la punta de prueba negra (negativa) de un voltímetro con tierra y "tocando" las terminales más importantes con la punta de prueba roja (positiva). En la figura 4.61, si la punta de prueba roja se encuentra conectada directamente con V_{CC}, se deberá obtener la lectura de V_{CC} volts ya que la red posee una tierra común para la fuente y para los componentes de la red. En el punto V_C la lectura deberá ser menor, determinada por la caída a través de R_C, y V_E deberá ser menor que V_C por el voltaje colector-emisor V_{CE}. La falla al obtener en cualquiera de estos puntos lo que debiera ser un nivel de voltaje razonable, debería ser en sí mismo suficiente para identificar al elemento o a la conexión deficiente. Si V_{R_C} y V_{R_E} tienen valores razonables, pero V_{CE} es igual a 0 V, existe la posibilidad de que el BJT se encuentre dañado y muestre una equivalencia de corto circuito entre las terminales del colector y del emisor. Como se observó anteriormente, si V_{CE} registra un valor cercano a 0.3 V, la red podría encontrarse en saturación como lo define $V_{CE} = V_C - V_E$ (la diferencia entre los dos niveles como se midió antes) con un dispositivo que se encuentre o no defectuoso.

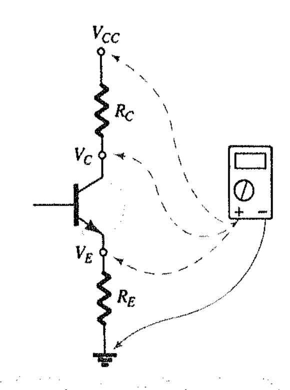


Figura 4.61 Revisión de niveles de voltaje con respecto a tierra.

Del análisis anterior, parecería algo obvio que la parte del voltímetro de un VOM o DMM (multímetro digital) sea muy importante para el proceso de localización de fallas. Por lo general, los niveles de corriente se calculan a partir de los niveles de voltaje a través de los resistores, en lugar de "romper" la red e insertar el miliamperímetro del multímetro. En diagramas grandes se proporcionan niveles de voltaje específicos con respecto a tierra para una verificación e identificación más fácil de posibles áreas problemáticas. Para las redes que se cubren en este capítulo, es importante considerar los niveles típicos dentro del sistema, definidos por el potencial aplicado y por la operación general de la red.

De todas formas, el proceso de localización de fallas es una verdadera prueba del claro entendimiento del comportamiento adecuado de una red y de la habilidad para aislar las áreas problemáticas utilizando unas cuantas mediciones básicas con los instrumentos adecuados. La experiencia es la clave y ésta vendrá únicamente con el contacto con los circuitos prácticos.

EJEMPLO 4.25

Con base en las lecturas que se proporcionan en la figura 4.62, determine si la red se encuentra operando de forma correcta y si no lo está, la causa probable de esto.

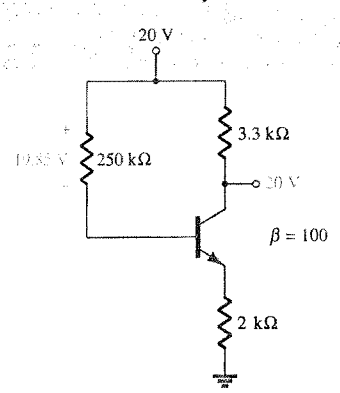


Figura 4.62 Red del ejemplo 4.25.

Solución

La lectura de 20 V en el colector inmediatamente revela que $I_C = 0$ mA debido a un circuito abierto o a un transistor inoperante. El nivel de $V_{R_B} = 19.85$ V también revela que el transistor se encuentra "apagado" ya que la diferencia de $V_{CC} - V_{R_B} = 0.15$ V es menor que la requerida para "encender" al transistor y proporcionar algún voltaje para V_E. De hecho, si asumimos una condición de corto circuito entre la base y el emisor, se obtiene la siguiente corriente a través de R_B:

$$I_{R_B} = \frac{V_{CC}}{R_B + R_E} = \frac{20 \text{ V}}{252 \text{ k}\Omega} = 79.4 \ \mu\text{A}$$

lo cual coincide con la obtenida de

$$I_{R_B} = \frac{V_{R_B}}{R_B} = \frac{19.85 \text{ V}}{250 \text{ k}\Omega} = 79.4 \ \mu\text{A}$$

Si la red se encontrara operando adecuadamente, la corriente de base debería ser

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E} = \frac{20 \text{ V} - 0.7 \text{ V}}{250 \text{ k}\Omega + (101)(2 \text{ k}\Omega)} = \frac{19.3 \text{ V}}{452 \text{ k}\Omega} = 42.7 \ \mu\text{A}$$

El resultado, por lo tanto, es que el transistor se encuentra dañado, con una condición de corto circuito entre la base y el emisor.

EJEMPLO 4.26

Con base en las lecturas que aparecen en la figura 4.63, determine si el transistor se encuentra "encendido" y si la red se encuentra operando adecuadamente.

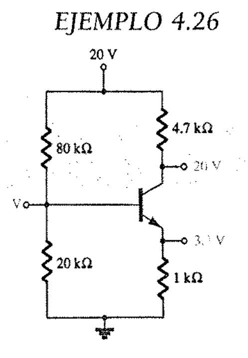


Figura 4.63 Red del ejemplo 4.26.

Solución

Con base en los valores de los resistores R_1 y R_2, y la magnitud de V_{CC}, el voltaje $V_B = 4$ V parece adecuado (y de hecho lo es). Los 3.3 V en el emisor ocasionan una caída de 0.7 V a través de la unión base-emisor del transistor, lo que sugiere un transistor "encendido". Sin embargo, los 20 V en el colector indican que $I_C = 0$ mA, a menos que la conexión con la fuente fuera "sólida", los 20 V no deberían aparecer en el colector del dispositivo. Existen dos posibilidades: puede existir una conexión pobre entre R_C y la terminal del colector del transistor o el transistor tiene una unión base-colector abierta. Primero verifique la continuidad en la conexión del colector utilizando un óhmetro; si está correcta, deberá verificarse el transistor utilizando alguno de los métodos presentados en el capítulo 3.

4.11 TRANSISTORES *PNP*

Hasta ahora, el análisis se ha limitado completamente a transistores *npn* para asegurar que el análisis de las configuraciones básicas sea lo más claro y sencillo posible al no alternar entre tipos de transistores. Por fortuna, el análisis de los transistores *pnp* sigue el mismo patrón que se estableció para los transistores *npn*. Primero se determina el nivel de I_B, seguido por la aplicación de las relaciones apropiadas del transistor para determinar la lista de cantidades desconocidas. De hecho, la única diferencia entre las ecuaciones resultantes para una red en la que un transistor *npn* se reemplazó por un transistor *pnp* es el signo asociado a las cantidades particulares.

Como se observa en la figura 4.64, la notación de doble subíndice continúa, como comúnmente se definió. Sin embargo, las direcciones de la corriente se invirtieron para reflejar las direcciones reales de la conducción. Mediante las polaridades definidas en la figura 4.64, tanto V_{BE} como V_{CE} serán cantidades negativas.

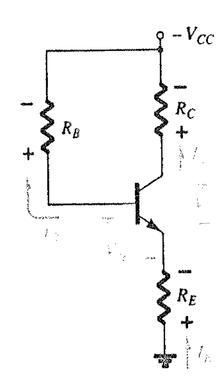


Figura 4.64 El transistor de tipo *pnp* en una configuración de emisión-estabilizada.

Al aplicar la ley de voltaje de Kirchhoff a la malla base-emisor, obtendremos la siguiente ecuación para la red de la figura 4.64:

$$-I_E R_E + V_{BE} - I_B R_B + V_{CC} = 0$$

Al sustituir $I_E = (\beta + 1)I_B$ y resolviendo para I_B tenemos

$$I_B = \frac{V_{CC} + V_{BE}}{R_B + (\beta + 1)R_E} \tag{4.49}$$

La ecuación obtenida es la misma que la ecuación 4.17, excepto por el signo de V_{BE}. Sin embargo, en este caso, $V_{BE} = -0.7$ V y la sustitución de los valores resultará en el mismo signo para cada término de la ecuación 4.49 como en la ecuación 4.17. Tenga en mente que la dirección de I_B se define ahora opuesta a la del transistor *pnp* como se muestra en la figura 4.64.

Al aplicar la ley de voltaje de Kirchhoff a la malla colector-emisor, tenemos la siguiente ecuación:

$$-I_E R_E + V_{CE} - I_C R_C + V_{CC} = 0$$

Al sustituir $I_E \cong I_C$ tenemos

$$V_{CE} = -V_{CC} + I_C(R_C + R_E) \tag{4.50}$$

La ecuación resultante tiene el mismo formato que la ecuación (4.19), pero el signo frente a cada término al lado derecho del signo igual ha cambiado. Dado que V_{CC} será mayor que la magnitud del término subsiguiente, el voltaje V_{CE} tendrá un signo negativo como se advirtió en un párrafo anterior.

EJEMPLO 4.27

Determine V_{CE} para la configuración de polarización por divisor de voltaje de la figura 4.65.

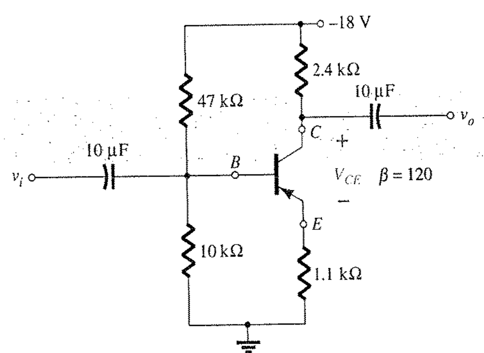


Figura 4.65 Transistor *pnp* en una configuración de polarización por divisor de voltaje.

Solución

Comprobando la condición

$$\beta R_E \geq 10R_2$$

da por resultado $(120)(1.1\ \text{k}\Omega) \geq 10(10\ \text{k}\Omega)$

$$132\ \text{k}\Omega \geq 100\ \text{k}\Omega\ (\textit{satisfecho})$$

Al resolver para V_B, tenemos

$$V_B = \frac{R_2V_{CC}}{R_1 + R_2} = \frac{(10\ \text{k}\Omega)(-18\ \text{V})}{47\ \text{k}\Omega + 10\ \text{k}\Omega} = -3.16\ \text{V}$$

Observe la similitud en el formato de la ecuación con el voltaje negativo resultante para V_B.

Al aplicar la ley de voltaje de Kirchhoff alrededor de la malla base-emisor genera

$$+V_B - V_{BE} - V_E = 0$$

y

$$V_E = V_B - V_{BE}$$

Al sustituir valores, obtenemos

$$V_E = -3.16\ \text{V} - (-0.7\ \text{V})$$
$$= -3.16\ \text{V} + 0.7\ \text{V}$$
$$= -2.46\ \text{V}$$

Observe en la ecuación anterior la utilización de la notación estándar de subíndice sencillo y doble. Para un transistor *npn* la ecuación $V_E = V_B - V_{BE}$ sería exactamente la misma. La única diferencia surge cuando los valores se sustituyen.

La corriente

$$I_E = \frac{V_E}{R_E} = \frac{2.46\ \text{V}}{1.1\ \text{k}\Omega} = 2.24\ \text{mA}$$

Para la malla colector-emisor:

$$-I_ER_E + V_{CE} - I_CR_C + V_{CC} = 0$$

Al sustituir $I_E \cong I_C$ y agrupar términos, resulta

$$V_{CE} = -V_{CC} + I_C(R_C + R_E)$$

Al sustituir valores, se obtiene

$$V_{CE} = -18\ \text{V} + (2.24\ \text{mA})(2.4\ \text{k}\Omega + 1.1\ \text{k}\Omega)$$
$$= -18\ \text{V} + 7.84\ \text{V}$$
$$= \mathbf{-10.16\ V}$$

4.12 ESTABILIZACIÓN DE LA POLARIZACIÓN

La estabilidad de un sistema es una medida de la sensibilidad de una red ante variaciones en sus parámetros. Para cualquier amplificador que emplee un transistor, la corriente del colector I_C es sensible a cada uno de los siguientes parámetros:

β: se incrementa con el aumento de la temperatura

$|V_{BE}|$: disminuye cerca de 7.5 mV por cada incremento de la temperatura de un grado Celsius (°C)

I_{CO} (corriente de saturación inversa): se duplica en su valor por cada incremento de 10°C en la temperatura

Cualquiera de estos factores puede ocasionar que el punto de polarización se desvíe del punto de operación determinado. En la tabla 4.1 se muestra cómo cambian I_{CO} y V_{BE} con el incremento en la temperatura para un transistor particular. A temperatura ambiente (aprox. 25°C) I_{CO} = 0.1 nA, mientras que a 100°C (punto de ebullición del agua) I_{CO} es cerca de 200 veces más grande en 20 nA. Para la misma variación de temperatura, β se incrementó de 50 a 80 y V_{BE} cayó de 0.65 a 0.48 V. Recuerde que I_B es muy sensible al nivel de V_{BE}, especialmente para niveles más allá del valor del umbral.

TABLA 4.1 Variación en los parámetros del transistor de silicio con la temperatura

T (°C)	I_{CO} (nA)	β	V_{BE} (V)
−65	0.2×10^{-3}	20	0.85
25	0.1	50	0.65
100	20	80	0.48
175	3.3×10^{3}	120	0.3

El efecto de los cambios en la corriente de fuga (I_{CO}) y en la ganancia de corriente (β) sobre el punto de polarización en dc se demuestra por las características del colector emisor-común de las figuras 4.66a y b. La figura 4.66 muestra cómo las características del colector del transistor cambian de una temperatura de 25°C a una de 100°C. Observe que el incremento importante en la corriente de fuga no sólo ocasiona que las curvas se eleven sino también ocasiona un incremento en beta, como lo muestra el mayor espaciamiento entre curvas.

Es posible especificar un punto de operación al dibujar la recta de carga de dc del circuito sobre la gráfica de la característica del colector y observar la intersección de la recta de carga con la corriente de base de dc establecida por el circuito de entrada. En la figura 4.66a se marcó un punto arbitrario en I_B = 30 μA. Debido a que el circuito de polarización fija proporciona una corriente de base cuyo valor depende aproximadamente del voltaje de la fuente de voltaje y del

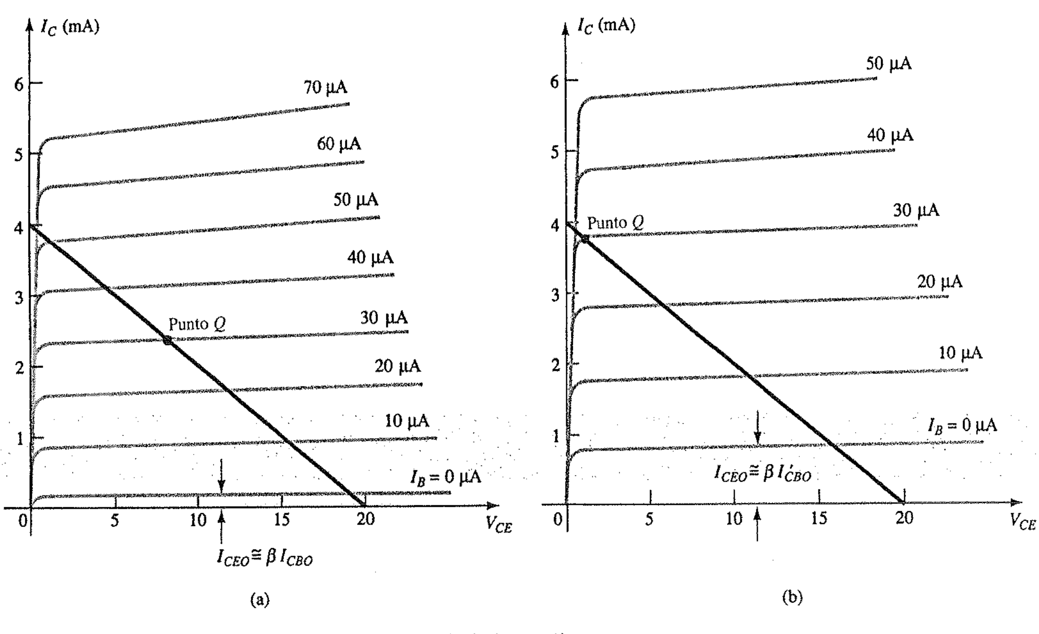


Figura 4.66 Desplazamiento del punto de polarización de dc (punto Q) debido al cambio en la temperatura: (a) 25°C; (b) 100°C.

resistor de la base y que ninguno de los dos se afecta por la temperatura o por el cambio en la corriente de fuga o en la beta, existirá la misma magnitud de la corriente de base a temperaturas altas, como lo muestra la figura 4.66b. Como lo señala la figura, esto ocasionará un desplazamiento del punto de polarización de dc hacia una mayor corriente de colector y hacia un punto de operación con un voltaje colector-emisor menor. Llevado al extremo, el transistor puede llegar a la saturación. De cualquier forma, el nuevo punto de operación puede no ser del todo satisfactorio y ocasionar una distorsión importante debido al desplazamiento del punto de polarización. Un mejor circuito de polarización es aquel que estabiliza o mantiene la polarización de dc originalmente establecida, de forma que el amplificador pueda emplearse en un ambiente con cambios de temperatura.

Factores de estabilidad $S(I_{CO})$, $S(V_{BE})$ y $S(\beta)$

Se define un factor de estabilidad S, para cada uno de los parámetros que afectan la estabilidad de la polarización, según la siguiente lista:

$$S(I_{CO}) = \frac{\Delta I_C}{\Delta I_{CO}} \tag{4.51}$$

$$S(V_{BE}) = \frac{\Delta I_C}{\Delta V_{BE}} \tag{4.52}$$

$$S(\beta) = \frac{\Delta I_C}{\Delta \beta} \tag{4.53}$$

En cada caso, el símbolo delta (Δ) significa un cambio en dicha cantidad. El numerador de cada ecuación es el cambio en la corriente del colector ocasionado por el cambio en la cantidad del denominador. Para una configuración particular, si un cambio en I_{CO} no es capaz de producir un cambio significativo en I_C, el factor de estabilidad, definido como $S(I_{CO}) = \Delta I_C/\Delta I_{CO}$ será muy pequeño. En otras palabras:

Las redes que son muy estables y relativamente insensibles ante variaciones de la temperatura tienen factores de estabilidad bajos.

De alguna forma, podría parecer más apropiado considerar a las cantidades definidas por las ecuaciones (4.51 a 4.53) como factores de sensibilidad ya que:

Mientras mayor sea el factor de estabilidad, más sensible será la red ante variaciones en ese parámetro.

El estudio de los factores de estabilidad requiere del conocimiento de cálculo diferencial. Sin embargo, nuestro propósito aquí solamente es revisar los resultados del análisis matemático y evaluar de forma general los factores de estabilidad para algunas de las configuraciones de polarización más comunes. Existe un amplio acervo de literatura sobre este tema, si el tiempo lo permite se le exhorta a estudiar más sobre él.

$S(I_{CO})$: Configuración de polarización en emisor

Para la configuración de polarización en emisor, el análisis de la red dará por resultado

$$S(I_{CO}) = (\beta + 1)\frac{1 + R_B/R_E}{(\beta + 1) + R_B/R_E} \tag{4.54}$$

Cuando $R_B/R_E \gg (\beta + 1)$, la ecuación 4.54 se reduce a la siguiente:

$$S(I_{CO}) = \beta + 1 \tag{4.55}$$

como se muestra en la gráfica de $S(I_{CO})$ *en función de* R_B/R_E en la figura 4.67.

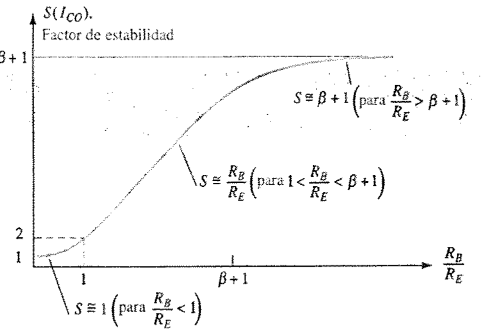


Figura 4.67 Variación del factor de estabilidad $S(I_{CO})$ ante la relación de resistores R_B/R_E para la configuración de polarización en emisor.

Cuando $R_B/R_E \ll 1$, la ecuación 4.54 se aproximará al siguiente nivel (como lo muestra la figura 4.67):

$$S(I_{CO}) = (\beta + 1)\frac{1}{(\beta + 1)} = \rightarrow 1 \tag{4.56}$$

con lo que se manifiesta que el factor de estabilidad se aproximará a su nivel más bajo a medida que R_E se vuelva lo suficientemente grande. Sin embargo, tenga en mente que un adecuado control de la polarización requiere normalmente que R_B sea mayor que R_E. El resultado de esto, evidentemente, es que tenemos una situación donde los mejores niveles de estabilidad se encuentran asociados a un criterio de un diseño pobre. Obviamente, deberá existir un compromiso que satisfaga tanto la estabilidad como las especificaciones de polarización. Es interesante observar en la figura 4.67 que el valor más bajo de $S(I_{CO})$ es 1, lo que indica que siempre I_C se incrementará a un ritmo igual o mayor que I_{CO}.

Para el rango de R_B/R_E que va de 1 hasta $(\beta+1)$, el factor de estabilidad está determinado por

$$S(I_{CO}) \cong \frac{R_B}{R_E} \tag{4.57}$$

como se muestra en la figura 4.67. Los resultados revelan que la configuración de polarización en emisor es lo más estable cuando la relación R_B/R_E es lo más pequeña posible y lo menos estable cuando la misma razón se aproxima a $(\beta+1)$.

EJEMPLO 4.28

Calcule el factor de estabilidad y la variación en I_C desde 25°C hasta 100°C del transistor definido en la tabla 4.1 para los siguientes arreglos de polarización en emisor.

(a) $R_B/R_E = 250$ $(R_B = 250R_E)$.
(b) $R_B/R_E = 10$ $(R_B = 10R_E)$.
(c) $R_B/R_E = 0.01$ $(R_E = 100R_B)$.

Solución

(a) $S(I_{CO}) = (\beta + 1)\dfrac{1 + R_B/R_E}{(\beta + 1) + R_B/R_E}$

$= 51\left(\dfrac{1 + 250}{51 + 250}\right) = 51\left(\dfrac{251}{301}\right)$

$\cong \mathbf{42.53}$

el cual comienza a aproximarse al nivel definido por $\beta+1 = 51$

$\Delta I_C = [S(I_{CO})](\Delta I_{CO}) = (42.53)(19.9 \text{ nA})$

$\cong \mathbf{0.85\ \mu A}$

(b) $S(I_{CO}) = (\beta + 1)\dfrac{1 + R_B/R_E}{1 + \beta + R_B/R_E}$

$= 51\left(\dfrac{1 + 10}{51 + 10}\right) = 51\left(\dfrac{11}{61}\right)$

$\cong$ **9.2**

$\Delta I_C = [S(I_{CO})](\Delta I_{CO}) = (9.2)(19.9 \text{ nA})$

$\cong$ **0.18 μA**

(c) $S(I_{CO}) = (\beta + 1)\dfrac{1 + R_B/R_E}{1 + \beta + R_B/R_E}$

$= 51\left(\dfrac{1 + 0.01}{51 + 0.01}\right) = 51\left(\dfrac{1.01}{51.01}\right)$

$\cong$ **1.01**

el cual verdaderamente se encuentra muy cercano al nivel de 1 pronosticado si $R_B/R_E \ll 1$.

$$\Delta I_C = [S(I_{CO})](\Delta I_{CO}) = 1.01(19.9 \text{ nA})$$
$$= \mathbf{20.1 \text{ nA}}$$

El ejemplo 4.28 revela cómo los niveles más y más bajos de I_{CO} de los transistores BJT más modernos, han mejorado el nivel de estabilidad de las configuraciones de polarización básicas. Aun cuando el cambio en I_C sea considerablemente diferente en un circuito que cuente con estabilidad ideal ($S = 1$) de uno que tenga un factor de estabilidad de 42.53, la variación en I_C no será tan significativa. Por ejemplo, la magnitud de la variación en I_C de una corriente en polarización de dc, establecida en, digamos 2 mA, sería de 2 a 2.085 mA en el peor de los casos, lo cual es claramente lo suficiente pequeño como para ignorarse para la mayoría de las aplicaciones. Algunos transistores de potencia presentan corrientes de fuga mayores, pero para la mayoría de los circuitos amplificadores los menores niveles de I_{CO} han tenido un impacto muy positivo sobre el asunto de la estabilidad.

Configuración de polarización fija

Para la configuración de polarización fija, si multiplicamos tanto la parte superior como la inferior de la ecuación 4.54 por R_E y luego hacemos que $R_E = 0\ \Omega$, tendremos la siguiente ecuación:

$$S(I_{CO}) = \beta + 1 \tag{4.58}$$

Observe que la ecuación resultante coincide con el valor máximo para la configuración de polarización en emisor. El resultado es una configuración con un factor de estabilidad muy pobre y con una alta sensibilidad ante las variaciones de I_{CO}.

Configuración de polarización por divisor de voltaje

Recuerde de la sección 4.5 el desarrollo de la red equivalente de Thévenin que aparece en la figura 4.68, para la configuración de polarización por divisor de voltaje. Para la red de la figura 4.68, la ecuación para $S(I_{CO})$ es la siguiente:

$$S(I_{CO}) = (\beta + 1)\frac{1 + R_{Th}/R_E}{(\beta + 1) + R_{Th}/R_E} \tag{4.59}$$

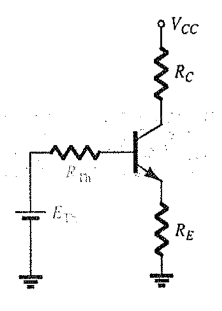


Figura 4.68 Circuito equivalente para la configuración de divisor de voltaje.

Observe las similitudes con la ecuación 4.54, donde se determinó que $S(I_{CO})$ tiene su nivel más bajo y la red tiene su mayor estabilidad cuando $R_E > R_B$. Para la ecuación 4.59, la condición correspondiente es $R_E > R_{Th}$ o R_{Th}/R_E lo más pequeño posible. Para la configuración de polarización por divisor de voltaje, R_{Th} puede ser mucho menor que la correspondiente R_B de la configuración de polarización en emisor y aun así tener un diseño eficaz.

Configuración de polarización por retroalimentación ($R_E = 0\ \Omega$)

En este caso,

$$S(I_{CO}) = (\beta + 1)\frac{1 + R_B/R_C}{(\beta + 1) + R_B/R_C} \tag{4.60}$$

Debido a que la ecuación es similar en su formato a la obtenida para las configuraciones de polarización en emisor y de polarización por divisor de voltaje, se pueden aplicar aquí las mismas conclusiones con respecto a la razón R_B/R_C.

Impacto físico

El tipo de ecuaciones que se desarrollaron antes a menudo no pueden proporcionar un significado físico acerca de por qué las redes se comportan como lo hacen. Ahora estamos conscientes de los niveles relativos de estabilidad y de cómo la selección de los parámetros puede afectar la sensibilidad de la red, pero sin las ecuaciones nos sería difícil explicar con palabras por qué una red es más estable que otra. Los siguientes párrafos intentan llenar este vacío mediante el uso de algunas de las relaciones más básicas asociadas con cada configuración.

Para la configuración de polarización fija de la figura 4.69a, la ecuación para la corriente de base es la siguiente:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B}$$

con la corriente de colector determinada por

$$I_C = \beta I_B + (\beta + 1)I_{CO} \tag{4.61}$$

Si I_C como se encuentra definida en la ecuación (4.61) se incrementa como resultado de un incremento de I_{CO}, no hay nada en la ecuación para I_B que intente corregir este incremento no deseado en el nivel de la corriente (asumiendo que V_{BE} permanece constante). En otras palabras, el nivel de I_C continuará incrementándose con la temperatura, con I_B manteniéndose en un nivel abiertamente constante, lo cual presentará una situación muy inestable.

Sin embargo, para la configuración de polarización en emisor de la figura 4.69b, un incremento en I_C como resultado de un incremento en I_{CO} ocasionará que el voltaje $V_E = I_E R_E \cong I_C R_E$ se incremente. El resultado será una caída en el nivel de I_B como lo determina la siguiente ecuación:

$$I_B\downarrow = \frac{V_{CC} - V_{BE} - V_E\uparrow}{R_B} \tag{4.62}$$

Una caída en I_B tendrá el efecto de reducir el nivel de I_C mediante la acción del transistor y, por tanto, compensar la tendencia de I_C a incrementarse debido al aumento en la temperatura.

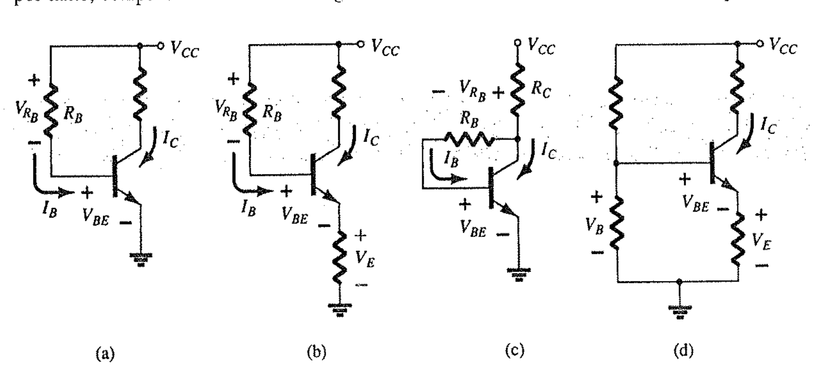


Figura 4.69 Revisión de mecanismos de polarización y del factor de estabilidad $S(I_{CO})$.

En total, por tanto, la configuración es tal que existe una reacción ante un incremento en I_C que tenderá a oponerse al cambio en las condiciones de polarización.

La configuración de retroalimentación de la figura 4.69c opera de forma muy similar a la configuración de polarización en emisor en cuanto a niveles de estabilidad se refiere. Si I_C se incrementa como resultado del incremento en el nivel de temperatura, el nivel de V_{R_C} se incrementará en la siguiente ecuación:

$$I_B \downarrow = \frac{V_{CC} - V_{BE} - V_{R_C}\uparrow}{R_B} \tag{4.63}$$

y el nivel de I_B disminuirá. El resultado es un efecto estabilizador como el descrito para la configuración de polarización en emisor. Es necesario estar conscientes de que la acción descrita anteriormente no sucede en una secuencia de paso a paso; más bien, se trata de una acción simultánea para mantener las condiciones de polarización establecidas. En otras palabras, en el preciso momento en que I_C comienza a elevarse, la red se percatará de esta variación y tendrá lugar el efecto de estabilización descrito antes.

La configuración más estable es la red de polarización por divisor de voltaje presentada en la figura 4.69d. Si la condición $\beta R_E \gg 10R_2$ se satisface, el voltaje V_B permanecerá razonablemente constante ante los niveles cambiantes de I_C. El voltaje base-emisor de la configuración se encuentra determinado por $V_{BE} = V_B - V_E$. Si I_C se incrementa, V_E también lo hará como se describió antes, y para un V_B constante, el voltaje V_{BE} caerá. Una caída en V_{BE} establecerá un menor nivel de I_B, el cual tratará de compensar el incremento de nivel de I_C.

$S(V_{BE})$

El factor de estabilidad definido por

$$S(V_{BE}) = \frac{\Delta I_C}{\Delta V_{BE}}$$

resultará en la siguiente ecuación para la configuración de polarización en emisor:

$$\boxed{S(V_{BE}) = \frac{-\beta}{R_B + (\beta + 1)R_E}} \tag{4.64}$$

Al sustituir $R_E = 0\ \Omega$ como ocurre para el caso de la configuración de polarización fija, dará por resultado

$$\boxed{S(V_{BE}) = -\frac{\beta}{R_B}} \tag{4.65}$$

La ecuación 4.64 puede escribirse de la siguiente forma:

$$S(V_{BE}) = \frac{-\beta/R_E}{R_B/R_E + (\beta + 1)} \tag{4.66}$$

Al sustituir la condición $(\beta + 1) \gg R_B/R_E$ tendremos la siguiente ecuación para $S(V_{BE})$:

$$\boxed{S(V_{BE}) \cong \frac{-\beta/R_E}{\beta + 1} \cong \frac{-\beta/R_E}{\beta} = -\frac{1}{R_E}} \tag{4.67}$$

con lo que se manifiesta que mientras mayor sea la resistencia R_E, menor será el factor de estabilidad y el sistema será más estable.

EJEMPLO 4.29

Determine el factor de estabilidad $S(V_{BE})$ y la variación de I_C desde 25°C hasta 100°C para el transistor definido en la tabla 4.1 con los siguientes arreglos de polarización.
(a) Polarización fija con $R_B = 240\ k\Omega$ y $\beta = 100$.
(b) Polarización en emisor con $R_B = 240\ k\Omega$, $R_E = 1\ k\Omega$ y $\beta = 100$.
(c) Polarización en emisor con $R_B = 47\ k\Omega$, $R_E = 4.7\ k\Omega$ y $\beta = 100$.

Solución

(a) Ecuación (4.65): $S(V_{BE}) = -\frac{\beta}{R_B}$

$$= -\frac{100}{240\ k\Omega}$$

$$= \mathbf{-0.417 \times 10^{-3}}$$

y

$$\Delta I_C = [S(V_{BE})](\Delta V_{BE})$$
$$= (-0.417 \times 10^{-3})(0.48\ V - 0.65\ V)$$
$$= (-0.417 \times 10^{-3})(-0.17\ V)$$
$$= \mathbf{70.9\ \mu A}$$

(b) En este caso, $(\beta+1) = 101$ y $R_B/R_E = 240$. La condición $(\beta + 1) \gg R_B/R_E$ no se satisface, lo cual niega el uso de la ecuación 4.67 y requiere del uso de la ecuación 4.64.

Ecuación (4.64): $S(V_{BE}) = \frac{-\beta}{R_B + (\beta + 1)R_E}$

$$= \frac{-100}{240\ k\Omega + (101)1\ k\Omega} = -\frac{100}{341\ k\Omega}$$

$$= \mathbf{-0.293 \times 10^{-3}}$$

lo cual es cerca de 30% menor que el valor en polarización fija debido al término adicional $(\beta+1)R_E$ en el denominador de la ecuación $S(V_{BE})$.

$$\Delta I_C = [S(V_{BE})](\Delta V_{BE})$$
$$= (-0.293 \times 10^{-3})(-0.17\ V)$$
$$\cong \mathbf{50\ \mu A}$$

(c) En este caso,

$$(\beta + 1) = 101 \gg \frac{R_B}{R_E} = \frac{47\ k\Omega}{4.7\ k\Omega} = 10\ (\textit{satisfecha})$$

Ecuación (4.67): $S(V_{BE}) = -\frac{1}{R_E}$

$$= -\frac{1}{4.7\ k\Omega}$$

$$= \mathbf{-0.212 \times 10^{-3}}$$

y

$$\Delta I_C = [S(V_{BE})](\Delta V_{BE})$$
$$= (-0.212 \times 10^{-3})(-0.17\ V)$$
$$= \mathbf{36.04\ \mu A}$$

En el ejemplo 4.29, el incremento de 70.9 μA tendrá cierto impacto sobre el nivel de I_{C_Q}. Para el caso cuando $I_{C_Q} = 2$ mA, la corriente del colector resultante se incrementará a

$$I_{C_Q} = 2\ mA + 70.9\ \mu A$$
$$= 2.0709\ mA$$

un incremento de 3.5%.

Para la configuración por divisor de voltaje, el nivel de R_B se cambiará por el de R_{Th} en la ecuación 4.64 (según se definió en la figura 4.68). En el ejemplo 4.29 al utilizar $R_B = 47\ k\Omega$ tenemos un diseño discutible. Sin embargo, para la configuración por divisor de voltaje, R_{Th} puede encontrarse en éste nivel o incluso menor y preservar las características de un buen diseño. La ecuación desarrollada para $S(V_{BE})$ para la red de retroalimentación será similar a la de la ecuación 4.64 al reemplazar R_E por R_C.

$S(\beta)$

El último factor de estabilidad que analizaremos es el de $S(\beta)$. El desarrollo matemático es más complejo que el que se encontró para $S(I_{CO})$ y $S(V_{BE})$, como lo sugiere la siguiente ecuación para la configuración de polarización en emisor:

$$S(\beta) = \frac{\Delta I_C}{\Delta \beta} = \frac{I_{C_1}(1 + R_B/R_E)}{\beta_1(1 + \beta_2 + R_B/R_E)} \tag{4.68}$$

La notación I_{C_1} y β_1 se emplea para definir sus valores bajo un conjunto de condiciones de la red, mientras que la notación β_2 se utiliza para definir un valor de beta nuevo establecido por causas tales como alteraciones en la temperatura, variación en β para el mismo transistor o un cambio en los transistores.

EJEMPLO 4.30

Determine I_{C_Q} para una temperatura de 100°C si $I_{C_Q} = 2$ mA a 25°C. Utilice el transistor descrito en la tabla 4.1, donde $\beta_1 = 50$ y $\beta_2 = 80$, y la relación R_B/R_E es 20.

Solución

Ecuación (4.68):
$$S(\beta) = \frac{I_{C_1}(1 + R_B/R_E)}{\beta_1(1 + \beta_2 + R_B/R_E)} = \frac{(2 \times 10^{-3})(1 + 20)}{(50)(1 + 80 + 20)} = \frac{42 \times 10^{-3}}{5050} = \mathbf{8.32 \times 10^{-6}}$$

y
$$\Delta I_C = [S(\beta)][\Delta\beta] = (8.32 \times 10^{-6})(30) \cong \mathbf{0.25\ mA}$$

Por tanto en conclusión, la corriente del colector se modificó de 2 mA a temperatura ambiente a 2.25 mA a 100°C, lo cual representa un cambio de 12.5%.

Para la configuración por polarización fija $S(\beta) = I_{C_1}/\beta_1$ y para la configuración por divisor de voltaje R_B de la ecuación 4.68 se reemplaza por R_{Th}.

Para la configuración por retroalimentación en colector con $R_E = 0\ \Omega$,

$$S(\beta) = \frac{I_{C_1}(R_B + R_C)}{\beta_1(R_B + R_C(1 + \beta_2))} \tag{4.69}$$

Resumen

Ahora que se presentaron los tres factores de estabilidad más importantes, es posible determinar el efecto total sobre la corriente del colector mediante la siguiente ecuación:

$$\Delta I_C = S(I_{CO})\Delta I_{CO} + S(V_{BE})\Delta V_{BE} + S(\beta)\Delta\beta \tag{4.70}$$

Inicialmente, la ecuación podría parecer muy compleja, pero observe que cada componente de ella es sólo un factor de estabilidad para la configuración multiplicado por el cambio resultante en un parámetro entre los límites de temperatura de interés. Además, el ΔI_C que se calculará es únicamente el cambio en I_C a partir del nivel a temperatura ambiente.

Por ejemplo, si analizamos la configuración de polarización fija, la ecuación 4.70 se convierte en la siguiente:

$$\Delta I_C = (\beta + 1)\Delta I_{CO} - \frac{\beta}{R_B}\Delta V_{BE} + \frac{I_{C_1}}{\beta_1}\Delta\beta \tag{4.71}$$

después de sustituir los factores de estabilidad como se derivó en esta sección. Ahora se utilizará la tabla 4.1 para hallar el cambio en la corriente del colector ante un cambio en la temperatura de 25°C (temperatura ambiente) a 100°C (el punto de ebullición del agua). Para este rango, la tabla muestra que:

$$\Delta I_{CO} = 20\ nA - 0.1\ nA = 19.9\ nA$$
$$\Delta V_{BE} = 0.48\ V - 0.65\ V = -0.17\ V \quad \text{(obsérvese el signo)}$$

y
$$\Delta\beta = 80 - 50 = 30$$

Iniciando con una corriente de colector de 2 mA con un R_B de 240 kΩ, el cambio resultante en I_C como consecuencia de un incremento de 75°C en la temperatura es el siguiente:

$$\Delta I_C = (50 + 1)(19.9\ nA) - \frac{50}{240\ k\Omega}(-0.17\ V) + \frac{2\ mA}{50}(30)$$
$$= 1.01\ \mu A + 35.42\ \mu A + 1200\ \mu A$$
$$= 1.236\ mA$$

lo cual es un cambio importante debido principalmente al cambio en β. La corriente del colector se ha incrementado de 2 a 3.326 mA; lo cual era de esperarse ya que en esta sección identificamos a la configuración por polarización fija como la menos estable.

Si se emplea la configuración más estable por divisor de voltaje con una relación $R_{Th}/R_E = 2$ y con $R_E = 4.7\ k\Omega$, entonces

$$S(I_{CO}) = 2.89, \qquad S(V_{BE}) = -0.2 \times 10^{-3}, \qquad S(\beta) = 1.445 \times 10^{-6}$$

y
$$\Delta I_C = (2.89)(19.9\ nA) - 0.2 \times 10^{-3}(-0.17\ V) + 1.445 \times 10^{-6}(30)$$
$$= 57.51\ nA + 34\ \mu A + 43.4\ \mu A$$
$$= 0.077\ mA$$

La corriente resultante es 2.077 mA, básicamente 2.1 mA, comparada con los 2.0 mA a 25°C. La red obviamente es mucho más estable que la configuración por polarización fija, como se mencionó en análisis anteriores. En este caso, $S(\beta)$ no anula a los otros dos factores y los efectos de $S(V_{BE})$ y de $S(I_{CO})$ fueron igualmente importantes. De hecho, a mayores temperaturas, los efectos de $S(I_{CO})$ y de $S(V_{BE})$ serán mayores que $S(\beta)$ para el dispositivo de la tabla 4.1. Para temperaturas inferiores a 25°C, I_C disminuirá ante niveles crecientes de temperaturas negativas.

El efecto de $S(I_{CO})$ sobre el proceso de diseño se ha convertido en una preocupación menor, debido a las mejoras en las técnicas de fabricación que continúan disminuyendo el nivel de $I_{CO} = I_{CBO}$. También debe mencionarse que para un transistor particular la variación en los niveles de I_{CBO} y V_{BE} de un transistor a otro dentro de un lote es prácticamente despreciable en comparación con la variación en beta. Además, los resultados del análisis anterior sustentan el hecho de que para un adecuado diseño estable:

Las relaciones R_B/R_E o R_{Th}/R_E deberán ser lo más pequeñas posibles bajo las debidas consideraciones de todos los aspectos de diseño, incluyendo la respuesta en ac.

A pesar de que el análisis anterior puede resultar algo confuso debido a algunas ecuaciones complejas de ciertas sensibilidades, el propósito aquí fue el de desarrollar un mayor nivel

de comprensión de los factores involucrados con un adecuado diseño y de conocer de cerca los parámetros de los transistores y su impacto sobre el desempeño de la red. El análisis de las secciones anteriores se dirigió a situaciones idealizadas con valores invariables de parámetros. Ahora estamos mucho más conscientes de cómo la respuesta en dc del diseño puede variar como resultado de las variaciones de parámetros de un transistor.

4.13 APLICACIONES PRÁCTICAS

De la misma forma que para los diodos en el capítulo 2, sería virtualmente imposible proporcionar incluso un tratamiento superficial de las amplias áreas de aplicación de los BJTs. Sin embargo, se seleccionaron algunas aplicaciones para demostrar cómo los distintos aspectos de las características de los BJTs se emplean para realizar distintas funciones.

Manejador de relevador

Esta aplicación es de alguna manera una continuación del análisis presentado para los diodos sobre cómo es posible minimizar los efectos del impulso inductivo mediante un diseño apropiado. En la figura 4.70a, se emplea un transistor para establecer la corriente necesaria para activar el relevador en el circuito del colector. Sin entrada en la base del transistor, tanto la corriente de base, la corriente de colector y la corriente de la bobina son esencialmente de 0 A, y el relevador permanecerá en el estado inactivo, no energizado (normalmente abierto NA). Sin embargo, cuando se aplica un pulso positivo en la base, el transistor se encenderá, estableciendo suficiente corriente a través de la bobina del electroimán para cerrar al relevador. Pueden surgir problemas cuando la señal de la base se desconecta para apagar al transistor y desactivar al relevador. Idealmente, la corriente a través de la bobina y del transistor caerá rápidamente a cero, el brazo del relevador se liberará y el relevador simplemente permanecerá inactivo hasta la siguiente señal. Sin embargo, sabemos por nuestros cursos básicos de circuitos, que la corriente a través de la bobina no puede cambiar instantáneamente, y que de hecho, mientras más rápido cambie, mayor será el voltaje inducido a través de la bobina como lo define: $v_L = L(di_L/dt)$. En este caso, la corriente que cambia rápidamente a través de la bobina, desarrollará un voltaje mayor a través de la bobina con la polaridad que se muestra en la figura 4.70a y que se presentará directamente a través de la salida del transistor. Es probable que su magnitud exceda los niveles nominales máximos del transistor, y el semiconductor quedará dañado permanentemente. El voltaje a través de la bobina no permanecerá en su nivel de conmutación más alto sino que oscilará como se muestra, hasta que su nivel caiga a cero a medida que el sistema se asiente.

Esta acción destructiva puede anularse al colocar un diodo a través de la bobina como se muestra en la figura 4.70b. Durante el estado de encendido del transistor, el diodo se encuentra en polarización inversa, permaneciendo como un circuito abierto sin afectar. Sin embargo, cuando el transistor se apaga, el voltaje a través de la bobina se invertirá y polarizará de forma directa al diodo, encendiéndolo. La corriente a través del inductor establecida durante el esta-

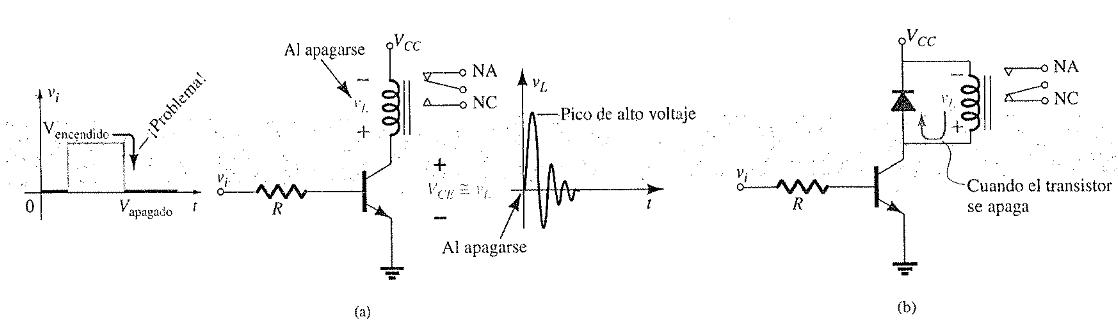


Figura 4.70 Manejador de relevador: (a) con ausencia de dispositivo de protección; (b) con un diodo a través de la bobina del relevador.

do de encendido del transistor podrá continuar fluyendo a través del diodo, eliminando el cambio severo en el nivel de corriente. Debido a que la corriente inductiva se transfiere al diodo de forma prácticamente instantánea una vez que el estado de apagado se establece, el diodo debe tener un valor nominal de corriente equivalente a la corriente a través del inductor y del transistor cuando se encuentre en el estado encendido. Eventualmente, por causa de los elementos resistivos en la malla, que incluyen la resistencia de las vueltas del devanado de la bobina y al diodo mismo, la variación a alta frecuencia (rápida oscilación) del nivel de voltaje a través de la bobina decaerá a cero, y el sistema se asentará.

Transistor interruptor

En la figura 4.71a, se emplea un transistor como un interruptor para controlar los estados de encendido y apagado de una lámpara eléctrica en su colector. Cuando el interruptor se encuentra en la posición de encendido, tenemos una situación de polarización fija donde el voltaje base-emisor se encuentra en su nivel de 0.7 V y la corriente de base la controlan el resistor R_1 y la impedancia de entrada del transistor. La corriente a través de la lámpara será entonces de beta veces la corriente de la base y la lámpara encenderá. Sin embargo, puede surgir un problema si la lámpara no se ha encendido por un tiempo. Cuando una lámpara se prende por primera vez, su resistencia es muy baja, aun cuando ésta se incrementa rápidamente a medida que la lámpara permanezca encendida. Esto puede causar un breve nivel alto de la corriente del colector que con el tiempo podría dañar a la lámpara y al transistor. En la figura 4.71b, por ejemplo, se incluye la recta de carga para la misma red, con una resistencia en frío y en caliente para la lámpara. Observe que incluso aunque la corriente de base es determinada por el circuito de la base, la intersección con la recta de carga ocasiona una corriente mayor para la lámpara en frío. Cualquier problema con respecto al nivel de encendido puede corregirse al insertar un pequeño resistor adicional en serie con la lámpara, como se muestra en la figura 4.71c, sólo para asegurar un límite en la sobrecarga inicial de corriente cuando la lámpara se enciende por primera vez.

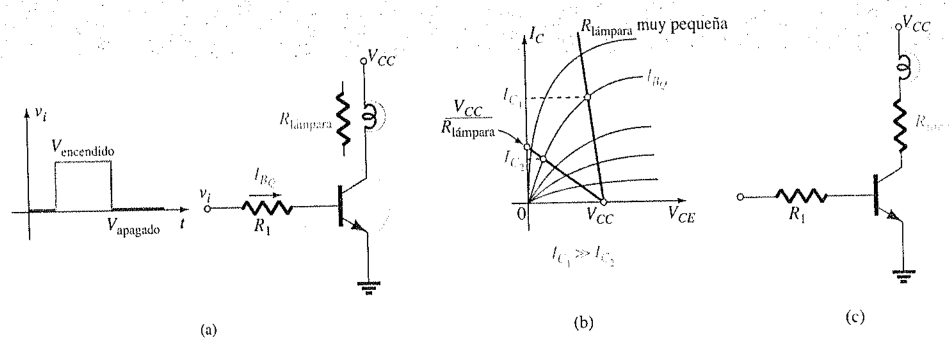


Figura 4.71 Utilización del transistor como un interruptor para controlar los estados de encendido-apagado de una lámpara: (a) red; (b) efecto de una resistencia baja de la lámpara sobre la corriente del colector; (c) resistor limitador.

Fuente de corriente constante (FCC)

Si asumimos que las características de un transistor son como las presentadas en la figura 4.72a (con beta constante siempre), puede construirse una excelente fuente de corriente empleando la configuración de transistor simple de la figura 4.72b ya que sin importar cuál es la resistencia de carga, la corriente de colector o de carga permanecerá igual como lo muestra la figura 4.72c. La corriente de base se encuentra fija, y sin importar dónde se encuentre la recta de carga, la corriente del colector permanecerá siendo la misma. En otras palabras, la corriente del colector es independiente de la carga en el circuito del colector: una fuente de corriente perfecta. Sin embargo, debido a que las características reales son más cercanas a las presentadas en la figura 4.71b, donde la beta varía de un punto a otro, y a pesar de que la corriente de base sea

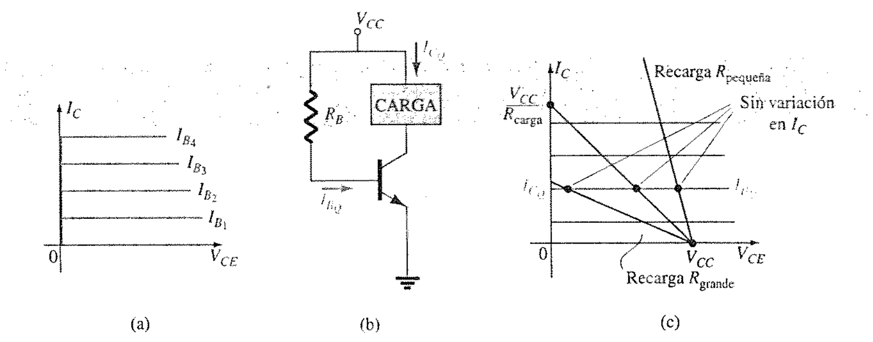


Figura 4.72 Construcción de una fuente de corriente constante, asumiendo características ideales del BJT: (a) características ideales; (b) red; (c) demostración de la causa por la que I_C permanece constante.

fija debido a la configuración, la beta variará de un punto a otro con la intersección de la carga, e $I_C = I_L$ variará, lo cual no es una característica de una fuente de corriente buena. Sin embargo, recuerde que la configuración por divisor de voltaje provoca un bajo nivel de sensibilidad a la beta, por lo que quizá si se emplea ese arreglo de polarización, la fuente de corriente equivalente se encuentre más cercana a la realidad. De hecho, éste es el caso. Si se utiliza un arreglo de polarización como el que se presenta en la figura 4.73, la sensibilidad ante los cambios del punto de operación debidos a cargas variables será mucho menor y la corriente del colector permanecerá prácticamente constante ante cambios en la resistencia de carga en la sección del colector. De hecho, el voltaje del emisor quedará determinado por

$$V_E = V_B - 0.7\text{ V}$$

con la corriente del colector o de carga determinada por

$$I_C \cong I_E = \frac{V_E}{R_E} = \frac{V_B - 0.7\text{ V}}{R_E}$$

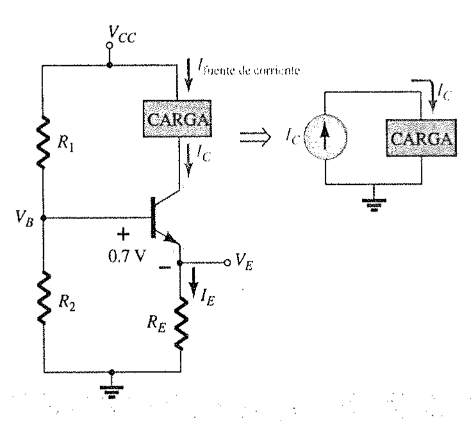


Figura 4.73 Red que establece una fuente de corriente prácticamente constante debido a su reducida sensibilidad ante cambios en beta.

Empleando la figura 4.73, es posible demostrar la mejora en la estabilidad analizando el caso en el que I_C pueda tratar de elevarse por cualquier motivo. El resultado será que $I_E = I_C$ también se elevará y el voltaje $V_{R_E} = I_E R_E$ se incrementará. Sin embargo, si asumimos que V_B se encuentra fijo (un supuesto correcto debido a que su nivel lo determinan dos resistores fijos y una fuente de voltaje), el voltaje base-emisor $V_{BE} = V_B - V_{R_E}$ caerá. Una caída en V_{BE} ocasionará que I_B y por tanto $I_C (= \beta I_B)$ caigan. El resultado de esto será una situación donde cualquier tendencia de I_C a incrementarse se topará con una reacción de la red que trabajará en contra de este cambio con el objetivo de estabilizar al sistema.

Sistema de alarma con FCC

En la figura 4.74 se presenta un sistema de alarma con una fuente de corriente constante del tipo que se acaba de revisar. Dado que $\beta R_E = (100)(1\text{ k}\Omega) = 100\text{ k}\Omega$ es mucho mayor que R_1, podemos utilizar el enfoque aproximado y encontrar el voltaje V_{R_1} como sigue:

$$V_{R_1} = \frac{2\text{ k}\Omega(16\text{ V})}{2\text{ k}\Omega + 4.7\text{ k}\Omega} = 4.78\text{ V}$$

y luego el voltaje a través de R_E:

$$V_{R_E} = V_{R_1} - 0.7\text{ V} = 4.78\text{ V} - 0.7\text{ V} = 4.08\text{ V}$$

y finalmente la corriente del emisor y del colector:

$$I_E = \frac{V_{R_E}}{R_E} = \frac{4.08\text{ V}}{1\text{ k}\Omega} = 4.08\text{ mA} \cong 4\text{ mA} = I_C$$

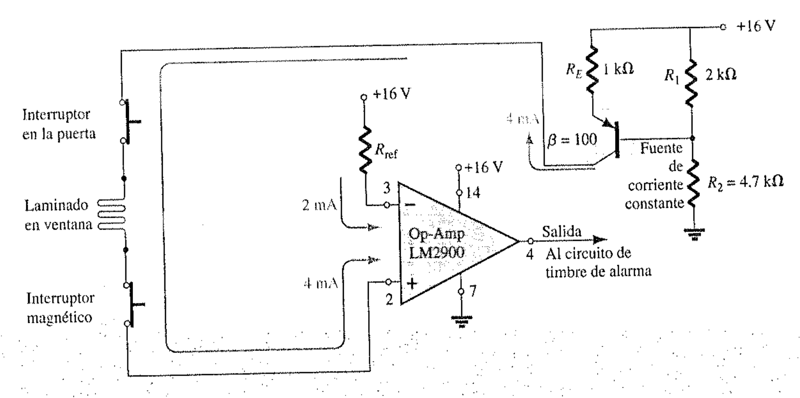
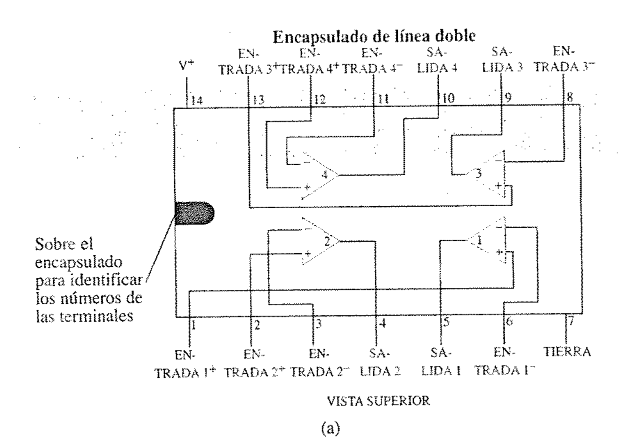


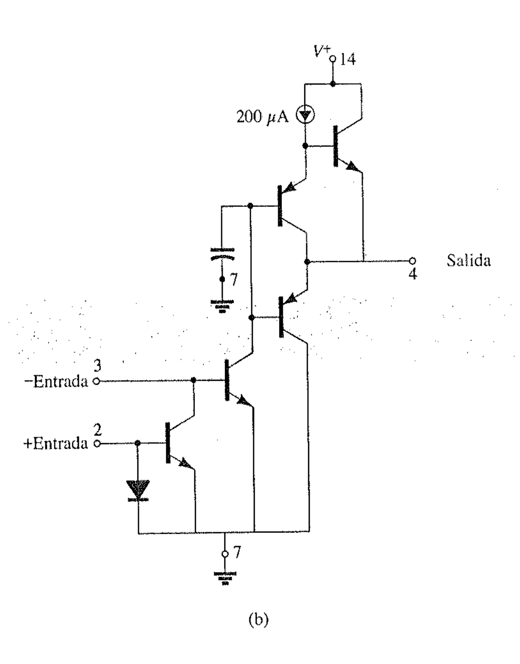
Figura 4.74 Sistema de alarma con una fuente de corriente constante y un op-amp como comparador.

Puesto que la corriente del colector es la corriente a través del circuito, la corriente de 4 mA permanecerá prácticamente constante ante ligeras variaciones en la carga de la red. Observe que la corriente pasa por una serie de elementos sensores y finalmente por un op-amp diseñado para comparar el nivel de 4 mA con un nivel de referencia de 2 mA. (A pesar de que el op-amp pueda ser un dispositivo nuevo para usted, éste se analizará con detalle en el capítulo 13 y no será necesario conocer los detalles de su comportamiento para esta aplicación.)

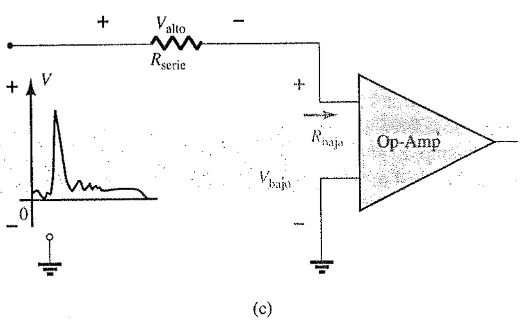
El amplificador operacional, op-amp, LM2900 de la figura 4.74 es uno de los cuatro que se encuentran en el encapsulado de circuito integrado de doble línea que aparece en la figura 4.75a. Las terminales 2, 3, 4, 7 y 14 se utilizaron en el diseño de la figura 4.74. Solamente por motivo de interés, observe en la figura 4.75b el número de elementos requeridos para establecer las características terminales buscadas del op-amp; como se mencionó anteriormente, los detalles de su operación interna se dejan para otro momento. Los 2 mA en la terminal 3 del op-amp es una corriente de *referencia* que establecen la fuente de 16 V y R_{ref} en la parte inversora de la entrada del op-amp. El nivel de corriente de 2 mA se requiere como un nivel con el cual se comparará la corriente de 4 mA de la red. En tanto la corriente de 4 mA en la entrada no inversora del op-amp permanezca constante, el op-amp proporcionará un voltaje de salida "alto" que excederá a 13.5V, con un nivel típico de 14.2 V (de acuerdo con las hojas de especificaciones del op-amp). Sin embargo, si la corriente del sensor cae de un nivel de 4 mA a un nivel inferior a 2 mA, el op-amp responderá con un voltaje de salida "bajo" que típicamente es cercano a 0.1 V. La salida del op-amp entonces avisará al circuito de alarma sobre esta alteración. Observe de lo anterior que no es necesario que la corriente del sensor caiga completamente hasta 0 mA para avisar al circuito de alarma; sólo se requiere una variación con respecto al nivel de referencia que parezca inusual, lo cual es una buena característica de la alarma.



(a)



(b)



(c)

Figura 4.75 Amplificador operacional LM2900: (a) encapsulado de doble línea (DIP, del inglés Dual-in-Line Package); (b) componentes; (c) impacto de una impedancia de entrada baja.

Una característica muy importante de este op-amp en particular es su baja impedancia de entrada, como lo muestra la figura 4.75c. Esta característica es importante ya que no se desea que el circuito de alarma reaccione ante cualquier pico de voltaje o turbulencia que llegue a la línea debido a cualquier acción de interrupción externa o a fuerzas externas como rayos. Por ejemplo, en la figura 4.75c, si un pico alto de voltaje apareciera en la entrada de la configuración en serie, la mayor parte de este voltaje se presentaría a través del resistor en serie, en lugar de en el op-amp, impidiendo de esta forma una salida falsa y una activación de la alarma.

Compuertas lógicas

Hasta ahora, quizá sea una sorpresa para el lector que los transistores en modo dc se empleen para múltiples aplicaciones. Para la mayoría de los estudiantes que cuentan con un conocimiento previo acerca de los transistores, el supuesto inicial es que un transistor se emplea únicamente como un amplificador de ac. De hecho, la mayoría de los componentes electrónicos cuentan con una variedad de aplicaciones tanto en ac como en dc.

En esta aplicación, explota al máximo el hecho de que la impedancia del colector al emisor de un transistor es muy baja, cercana al punto de saturación (o sobre él) y muy grande en el punto de corte (o en él). Por ejemplo, la recta de carga define *saturación* como el punto donde la corriente es muy alta y el voltaje colector-emisor muy bajo como se muestra en la figura 4.76. La resistencia resultante, definida por

$R_{sat} = \dfrac{V_{CE_{sat}}(\text{bajo})}{I_{C_{sat}}(\text{alta})}$, es muy pequeña y generalmente se aproxima a un circuito cerrado. En el *corte*, la corriente es relativamente baja y el voltaje se encuentra cercano a su valor máximo como se muestra en la figura 4.76, ocasionando una impedancia muy alta entre las terminales del colector y las del emisor, lo cual se aproxima comúnmente por medio de un circuito abierto.

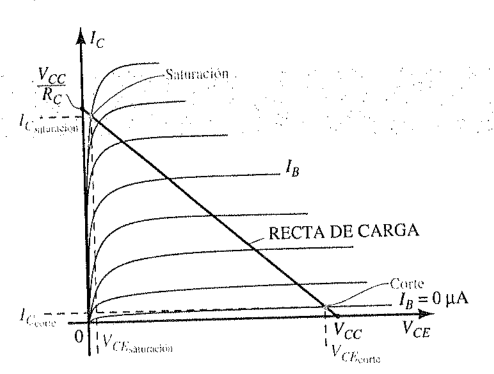
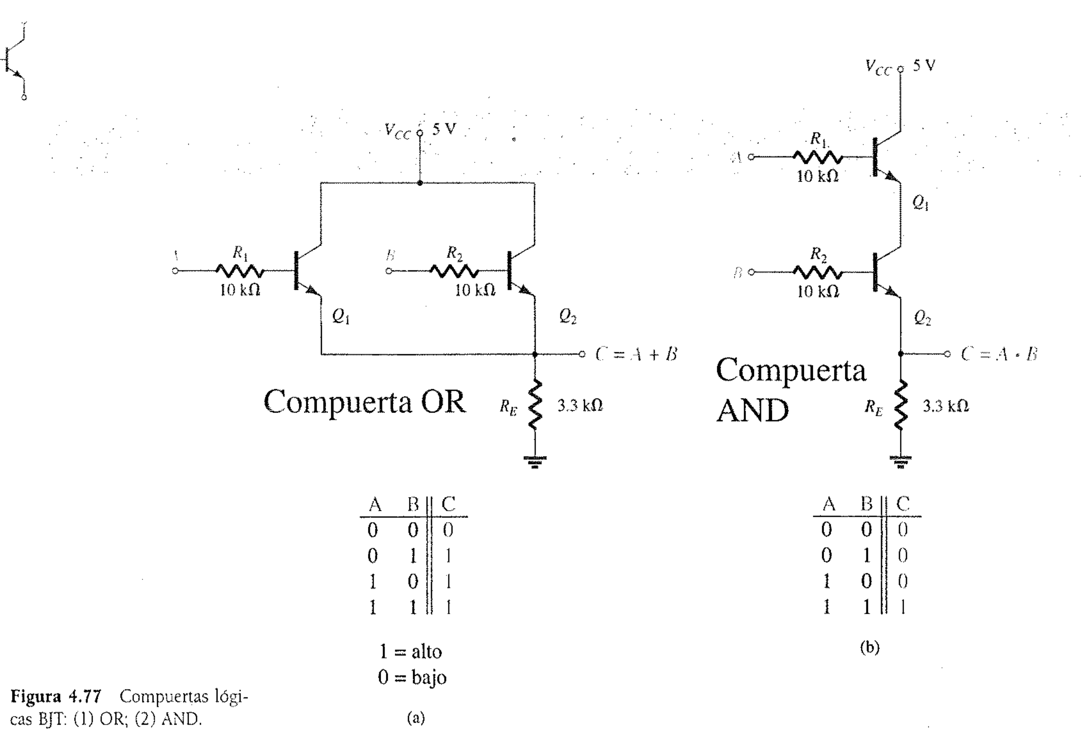


Figura 4.76 Puntos de operación para una compuerta lógica de BJT.

Los niveles de impedancia anteriores establecidos por transistores de encendido y apagado hacen que sea relativamente fácil entender la operación de las compuertas lógicas de la figura 4.77. Dado que cada compuerta cuenta con dos entradas, existen cuatro posibles combinaciones de voltajes en la entrada de los transistores. Un 1 o estado encendido se representa por un voltaje alto en la terminal de la base que enciende al transistor. Un 0 o estado apagado se representa por 0 V en la base, asegurando con esto que el transistor se encuentre apagado. Si tanto *A* como *B* para la compuerta lógica OR de la figura 4.77a cuentan con una entrada baja o de 0 V, ambos transistores se encontrarán apagados (en corte), y la impedancia entre el colector y el emisor de cada transistor se podrá aproximar a un circuito abierto. Si mentalmente se reemplazan ambos transistores por circuitos abiertos entre el colector y el emisor se eliminará cualquier conexión entre la polarización aplicada de 5 V y la salida. El resultado será una corriente cero a través de cada transistor y a través del resistor de 3.3 kΩ. El voltaje de salida es por tanto 0 V o "bajo" (un estado 0). Por el otro lado, si el transistor Q_1 se encuentra encendido y Q_2 se encuentra apagado debido a un voltaje positivo en la base de Q_1 y 0 V en la base de Q_2, entonces se podrá aplicar el equivalente a un circuito cerrado entre el colector y el emisor de Q_1, y el voltaje en la salida será de 5 V o "alto" (un estado 1). Finalmente, si ambos transistores se encienden gracias a un



A	B	C
0	0	0
0	1	1
1	0	1
1	1	1

A	B	C
0	0	0
0	1	0
1	0	0
1	1	1

Figura 4.77 Compuertas lógicas BJT: (1) OR; (2) AND.

voltaje positivo aplicado a la base de cada uno, ambos asegurarán que el voltaje de salida sea de 5 V o "alto" (un estado 1). Con esto queda correctamente definida la operación de una compuerta OR: se obtiene una salida si cualquier terminal de entrada cuenta con un voltaje aplicado de encendido o si ambas se encuentran en el estado de encendido. Un estado 0 se presentará solamente si ambas no cuentan con un estado 1 en las terminales de entrada.

La compuerta AND de la figura 4.77b requiere que la salida sea alta solamente si ambas entradas cuentan con un voltaje de encendido aplicado. Si ambas se encuentran en el estado de encendido, es posible emplear un equivalente de circuito cerrado para la conexión entre el colector y el emisor de cada transistor, proporcionando una línea directa que va de la fuente aplicada de 5 V a la salida, estableciendo un estado alto o de 1 en la terminal de salida. Si uno o ambos transistores se encuentran apagados como consecuencia de tener 0 V en la terminal de entrada, se colocará un equivalente de circuito abierto en serie con la línea directa que va de la fuente de voltaje de 5 V a la salida, con lo que el voltaje de salida será de 0 V o un estado apagado.

Espejo de corriente

El espejo de corriente es una red de dc en la cual la corriente a través de la carga es la imagen en espejo de otra corriente de la misma red. Si la corriente de control en la red se modifica, la corriente a través de la carga también lo hará.

En la figura 4.78 se presenta un espejo de corriente común construido con dos transistores *npn*. La corriente de carga es la corriente del colector de Q_2 y la corriente de control es la corriente del colector de Q_1. Observe que, en particular, la corriente del colector de Q_1 se encuentra conectada directamente con la base del mismo transistor, estableciendo el mismo potencial para cada punto. El resultado es que $V_{C_1} = V_{B_1} = V_{B_2} = 0.7$ V para el transistor encendido. El elemento que controla es el resistor R. Si se modifica este valor, se modifica la corriente de control como lo determina $I_R = I_{C_1} = (10\text{ V} - 0.7\text{ V})/R$ (ignorando la caída en I_{C_1} debida a I_B como lo muestra la figura 4.78).

Una vez que la resistencia se varía, la corriente del colector de Q_2 cambiará inmediatamente al nuevo nivel. La operación de la red de espejo es completamente dependiente del hecho de que tanto Q_1 como Q_2 son transistores equivalentes, esto es, transistores con características muy

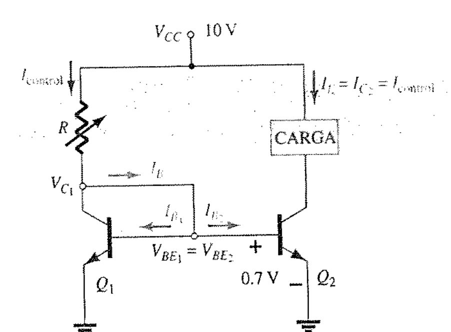


Figura 4.78 Espejo de corriente empleando dos transistores BJT.

similares (idealmente las mismas). En otras palabras, una corriente de base de 10 μA en cualquiera de ellos provocará la misma corriente de colector para cada uno; el voltaje base-emisor de cada uno en el estado encendido será el mismo, etcétera.

La operación de la configuración se define mejor si primero se establece la corriente de control al nivel deseado, digamos I_{R_1}. Esto definirá el nivel de I_{C_1} y de I_{B_1} a partir de $I_{C_1}/\beta_1 = I_{R_1}/\beta_1$ y establecerá el nivel de V_{BE} como lo muestra la figura 4.79. Dado que se trata de transistores pareados, idénticos, $V_{BE_1} = V_{BE_2}$, y el nivel resultante de I_{B_2} será el mismo que el de I_{B_1}. El resultado es la misma corriente de colector (corriente de carga) definida por $I_L = I_{C_2} = \beta_2 I_{B_2}$ dado que ambas betas son iguales. En general, por lo tanto, $I_L = I_{C_2} = I_{C_1} = I_R$ para transistores equivalentes.

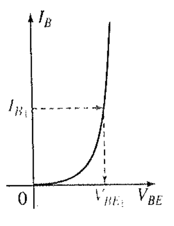


Figura 4.79 Características de la base para el transistor Q_1 (y Q_2).

La red también contiene una medida de control integrada que intentará asegurar que cualquier variación en la corriente de carga será corregida por la misma configuración. Por ejemplo, si I_L intentara incrementarse por cualquier motivo, la corriente de base de Q_2 también se incrementaría debido a la relación $I_{B_2} = I_{C_2}/\beta_2 = I_L/\beta_2$. Regresando a la figura 4.79, encontramos que un incremento en I_{B_2} ocasionaría que también se incrementara el voltaje V_{BE_2}. Dado que la base de Q_2 se encuentra conectada directamente con el colector de Q_1, el voltaje V_{CE_1} también se incrementará. Esta acción ocasiona que el voltaje a través del resistor de control R diminuya, provocando que I_R caiga. Pero si I_R cae, la corriente de base I_B caerá, ocasionando que tanto I_{B_1} como I_{B_2} caigan también. El resultado, por tanto, es una sensibilidad ante cambios no deseados que la red intentará corregir.

La secuencia completa de eventos recién descrita puede presentarse en una sola línea como se muestra adelante. Observe que en un extremo la corriente de carga se trata de incrementar, y en el otro extremo, al final de la secuencia, la corriente de carga se ve obligada a regresar a su nivel original.

$$I_L \uparrow I_{C_2} \uparrow I_{B_2} \uparrow V_{BE_2} \uparrow V_{CE_1} \downarrow,\ I_R \downarrow,\ I_B \downarrow,\ I_{B_2} \downarrow I_{C_2} \downarrow I_L \downarrow$$

Observe

Indicador del nivel de voltaje

La última aplicación que se presentará en esta sección, el indicador del nivel de voltaje, incorpora tres de los elementos presentados hasta este punto del texto: el transistor, el diodo Zener y el LED. El indicador de nivel de voltaje es una red relativamente simple que emplea un LED verde para indicar cuando el voltaje de la fuente se encuentra cercano a su nivel de monitoreo de 9 V. En la figura 4.80 el potenciómetro se regula para establecer 5.4 V en el punto indicado. El resultado es un voltaje suficiente para encender tanto al Zener de 4.7 V como al transistor y para establecer una corriente en el colector a través del LED de magnitud suficiente como para encender al LED verde.

Una vez que se mantiene fijo el potenciómetro, el LED emitirá su luz verde mientras el voltaje de la fuente se encuentre cercano a 9 V. Sin embargo, si el voltaje en las terminales de la batería de 9 V disminuye, el voltaje que estableció la red del divisor de voltaje podría caer a 5 V de 5.4 V. En el nivel de 5 V, el voltaje es insuficiente para encender tanto al Zener como al

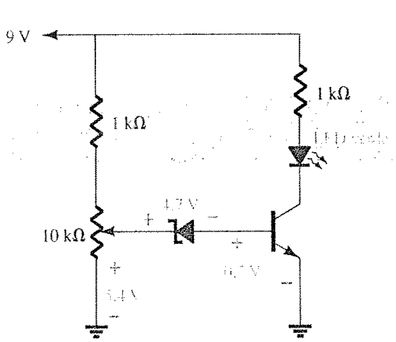


Figura 4.80 Indicador del nivel de voltaje.

transistor, y el transistor se encontrará en el estado de apagado. El LED inmediatamente se apagará, mostrando que el voltaje de la fuente ha caído por debajo de los 9 V o que la fuente de alimentación se ha desconectado.

4.14 RESUMEN

Conclusiones y conceptos importantes

1. Sin importar el tipo de configuración en el que se utilice un transistor, las relaciones básicas entre las corrientes son **siempre las mismas** y el voltaje base-emisor es el **valor de umbral** si el transistor se encuentra en estado encendido.
2. El punto de operación define dónde operará el transistor sobre sus curvas características bajo **condiciones de dc**. Para el caso de amplificación lineal (mínima distorsión), el punto de operación de dc no deberá ser muy cercano a los valores nominales máximos de potencia, corriente o voltaje y se deberán evitar las regiones de saturación y de corte.
3. Para la mayoría de las configuraciones, el análisis de dc inicia con la determinación de la **corriente de la base**.
4. Para el análisis de dc de una red de transistores, todos los capacitores se reemplazan por un **equivalente de circuito abierto**.
5. La configuración de polarización fija es la más simple para la polarización de un transistor, pero también es muy inestable debido a su **sensibilidad a la beta** en el punto de operación.
6. La determinación de la corriente de saturación (máxima) del colector para cualquier configuración puede realizarse de forma sencilla si se sobrepone un **circuito cerrado imaginario** entre las terminales colector y emisor del transistor. La corriente resultante a través del corto será entonces la corriente de saturación.
7. La ecuación de la recta de carga de una red de transistores puede encontrarse al aplicar la **ley de voltaje de Kirchhoff** a la red de salida o del colector. El punto Q se determina, por tanto, al encontrar la **intersección** entre la corriente de base y la recta de carga trazada sobre las características del dispositivo.
8. El arreglo de polarización por estabilización en emisor es menos sensible ante cambios en beta, lo que proporciona una mayor estabilidad para la red. Tenga en mente, sin embargo, que cualquier resistencia en la terminal del emisor se "observa" en la base del transistor como un **resistor mucho mayor**, un hecho que reducirá la corriente de base de la configuración.
9. La configuración por divisor de voltaje es probablemente la más común de todas las configuraciones. Su popularidad se debe principalmente a su **baja sensibilidad** ante cambios en la beta de un transistor a otro dentro de un mismo lote (con la misma etiqueta de transistor). El análisis exacto se puede aplicar a cualquier configuración, pero el aproximado sólo puede aplicarse si la resistencia del emisor reflejada en la base **es mucho mayor** que el resistor más bajo de la configuración de polarización por divisor de voltaje conectada a la base del transistor.

10. Cuando se analiza la polarización de dc para una configuración por retroalimentación de voltaje, debe estar seguro de recordar que ***tanto*** el resistor del emisor como el del colector se reflejan al circuito de la base multiplicados por beta. La menor sensibilidad ante beta se obtiene cuando la resistencia reflejada es mucho mayor que el resistor de retroalimentación entre la base y el colector.
11. Para la configuración de base común, la **corriente del emisor normalmente se determina primero** por la presencia de la unión base-emisor en la misma malla. Luego se aprovecha el hecho de que la corriente del emisor y del colector son básicamente de la misma magnitud.
12. Un claro entendimiento del procedimiento empleado para analizar una red de transistores en dc generalmente permitirá un diseño de la misma configuración con un mínimo de dificultad y de confusión. Sencillamente comience con aquellas relaciones que **minimizan el número de incógnitas**, y luego proceda a tomar decisiones acerca de los elementos desconocidos de la red.
13. En una configuración de conmutación, un transistor se desplaza rápidamente entre **la saturación y el corte, o viceversa**. Esencialmente, la impedancia entre el colector y el emisor puede aproximarse como un circuito cerrado para la saturación y como un circuito abierto para el corte.
14. Al verificar la operación de una red de transistores en dc, primero verifique que el voltaje base-emisor se encuentre muy cercano a **0.7 V** y que el voltaje colector-emisor se encuentre entre **25 y 75% del voltaje aplicado V_{CC}**.
15. El análisis de las configuraciones *pnp* es exactamente el mismo que el aplicado para los transistores *npn* con la excepción de que las direcciones de las corrientes se **invertirán** y que los voltajes tendrán polaridades **opuestas**.
16. La beta es muy sensible a la **temperatura**, y V_{BE} **disminuye** cerca de 7.5 mV (0.0075 V) por cada incremento de 1° en la temperatura en la escala de Celsius. La corriente de saturación inversa típicamente **se duplica** por cada incremento de 10° en la escala de Celsius.
17. Tenga en mente que las redes que son las **más estables** y las menos sensibles ante variaciones de temperatura tienen los **factores de estabilidad más pequeños**.

Ecuaciones

$$V_{BE} = 0.7\text{ V}$$

$$I_E = (\beta + 1)I_B \cong I_C$$

$$I_C = \beta I_B$$

Polarización fija:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B}$$

$$I_C = \beta I_B$$

Estabilización en emisor:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E}$$

$$R_i = (\beta + 1)R_E$$

Polarización por divisor de voltaje:

Exacto: $R_{Th} = R_1 \| R_2$

$$E_{Th} = V_{R_2} = \frac{R_2 V_{CC}}{R_1 + R_2}$$

$$I_B = \frac{E_{Th} - V_{BE}}{R_{Th} + (\beta + 1)R_E}$$

Aproximado: Probar $\beta R_E \geq 10R_2$

$$V_B = \frac{R_2 V_{CC}}{R_1 + R_2}$$

$$V_E = V_B - V_{BE}$$

$$I_E = \frac{V_E}{R_E} \cong I_C$$

Polarización dc con retroalimentación de voltaje:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta(R_C + R_E)}$$

$$I'_C \cong I_C \cong I_E$$

Base común:

$$I_E = \frac{V_{EE} - V_{BE}}{R_E}$$

$$I_C \cong I_E$$

Redes de transistores de conmutación:

$$I_{C_{sat}} = \frac{V_{CC}}{R_C}$$

$$I_B > \frac{I_{C_{sat}}}{\beta_{dc}}$$

$$R_{sat} = \frac{V_{CE_{sat}}}{I_{C_{sat}}}$$

$$t_{encendido} = t_r + t_d$$

$$t_{apagado} = t_s + t_f$$

Factores de estabilidad:

$$S(I_{CO}) = \frac{\Delta I_C}{\Delta I_{CO}}$$

$$S(V_{BE}) = \frac{\Delta I_C}{\Delta V_{BE}}$$

$$S(\beta) = \frac{\Delta I_C}{\Delta \beta}$$

$S(I_{CO})$:

Polarización fija: $S(I_{CO}) = \beta + 1$

Polarización por emisor: $S(I_{CO}) = (\beta + 1)\dfrac{1 + R_B/R_E{}^*}{(\beta + 1) + R_B/R_E}$

*Polarización por divisor de voltaje: Cambiar R_B por R_{Th} en la ecuación de arriba.

*Polarización por retroalimentación: Cambiar R_E por R_C en la ecuación de arriba.

$S(V_{BE})$:

Polarización fija: $S(V_{BE}) = -\dfrac{\beta}{R_B}$

Polarización por emisor: $S(V_{BE}) = \dfrac{-\beta^{\dagger}}{R_B + (\beta + 1)R_E}$

†Polarización por divisor de voltaje: Cambiar R_B por R_{Th} en la ecuación de arriba.

†Polarización por retroalimentación: Cambiar R_E por R_C en la ecuación de arriba.

$S(\beta)$:

Polarización fija: $S(\beta) = \dfrac{I_{C_1}}{\beta_1}$

Polarización en emisor: $S(\beta) = \dfrac{I_{C_1}(1 + R_B/R_E)^{\ddagger}}{\beta_1(1 + \beta_2 + R_B/R_E)}$

‡Polarización por divisor de voltaje: Cambiar R_B por R_{Th} en la ecuación de arriba.

‡Polarización por retroalimentación: Cambiar R_E por R_C en la ecuación de arriba.

4.15 ANÁLISIS POR COMPUTADORA

PSpice para Windows

CONFIGURACIÓN POR DIVISOR DE VOLTAJE

Ahora se verificarán los resultados del ejemplo 4.7 mediante PSpice para Windows. La red de la figura 4.81 puede construirse empleando los métodos descritos en capítulos anteriores. Recuerde que el transistor puede localizarse en la biblioteca **EVAL.slb**, la fuente de dc bajo **SOURCE.slb** y el resistor bajo **ANALOG.slb.** El capacitor aparecerá también dentro de la biblioteca **ANALOG.slb.** En la figura 4.81 aparecen tres **VIEWPOINTS** (puntos de observación) obtenidos de la biblioteca **SPECIAL.slb**. La corriente del colector será detectada por la opción **IPROBE**, que también aparece en la biblioteca **SPECIAL.slb**. Recuerde que se obtiene un resultado positivo en **IPROBE** si la dirección convencional de la corriente entra por la parte del símbolo con la curva interna que representa la escala de medición. Ahora buscaremos que el valor de la beta del transistor coincida con la del ejemplo. Esto se logra haciendo clic en el símbolo del transistor (para obtener el delineado rojo) seguido por **Edit-Model-Edit Instance Model (text)** para obtener el **Model Editor** (Editor del modelo). Luego se modifica **Bf** a 140 para igualarla con el valor del ejemplo 4.7. Oprima **OK** y la red estará preparada para el análisis.

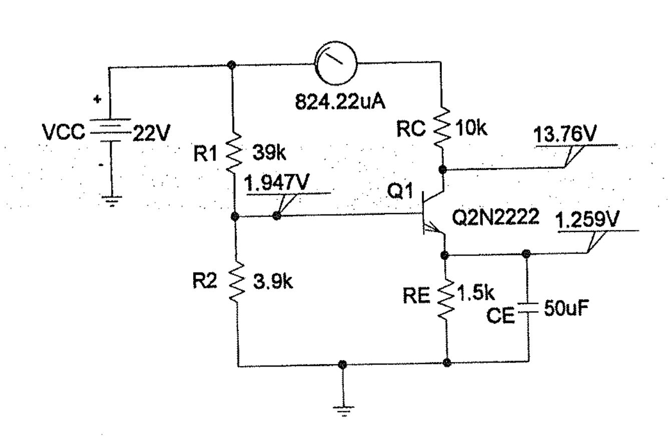


Figura 4.81 Aplicación de PSpice para Windows a la configuración por divisor de voltaje del ejemplo 4.7.

Para este caso, debido a que estamos interesados únicamente en la respuesta de dc, el **Probe Setup** bajo **Analysis** deberá habilitar la opción **Do not auto-run Probe**. Esto nos evitará tener que pasar por la respuesta de Probe antes de ver el archivo o la pantalla de salida. La secuencia **Analysis-Simulate** ocasionará los niveles de dc que aparecen en la figura 4.81, que se acercan a los del ejemplo 4.7. El voltaje colector-emisor es de 13.76 V − 1.259 V = 12.5 V, contra 12.22 V del ejemplo 4.7, y la corriente del colector es de 0.824 mA, contra 0.85 mA. Las diferencias son debidas al hecho de que estamos empleando transistores reales con un conjunto de parámetros que no se consideran en nuestro análisis. Recuerde la diferencia en beta entre el valor especificado y el valor obtenido de la gráfica del capítulo anterior.

Debido a que la red de divisor de voltaje es una de las cuales tiene menor sensibilidad ante variaciones de beta, regresemos al transistor y reemplacemos la beta de 140 por el valor implícito, "por default", de 225.9 e inspeccione los resultados. El análisis producirá los niveles de dc que aparecen en la figura 4.82, los cuales son muy cercanos a los de la figura 4.81.

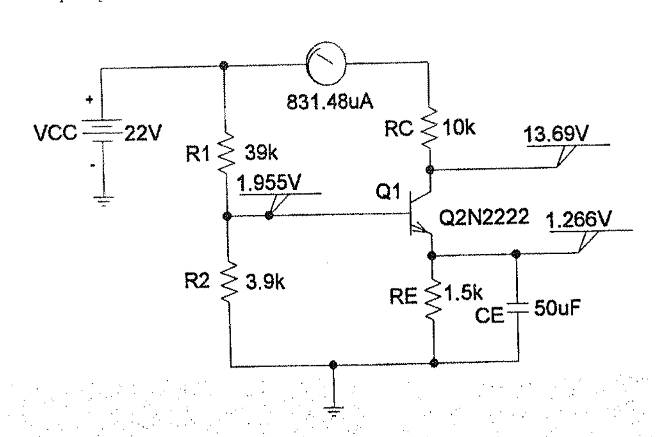


Figura 4.82 Respuesta obtenida después de cambiar la β de 140 a 255.9 para la red de la figura 4.81.

El voltaje del colector-emisor es 13.69 V − 1.266 V = 12.42 V, el cual es muy cercano al obtenido al emplear una beta mucho menor. La corriente del colector realmente se encuentra más cercana a la del nivel calculado a mano, 0.832 mA contra 0.85 mA. Por tanto, no hay duda que la configuración por divisor de voltaje muestra una baja sensibilidad ante variaciones en beta. Sin embargo, recuerde que la configuración de polarización fija era muy sensible a los cambios en beta, procedamos ahora con el mismo tipo de análisis para la configuración de polarización fija a fin de compararlas.

CONFIGURACIÓN DE POLARIZACIÓN FIJA

La configuración de polarización fija de la figura 4.83 proviene del ejemplo 4.1 para permitir una comparación de los resultados. La beta se fijó en 50 por medio del procedimiento descrito antes. Para este caso, emplearemos un **VIEWPOINT** para leer el voltaje de colector-emisor y habilitaremos el despliegue de las corrientes de polarización (mediante el icono con la letra **I** mayúscula). Además, inhibiremos el despliegue de algunas corrientes de polarización utilizando el icono con la letra **I** mayúscula más pequeña y el símbolo del diodo. El toque final será mover algunas de las corrientes desplegadas para depurar la presentación.

Un análisis PSpice de la red generará los niveles que aparecen en la figura 4.83. Los cuales son muy cercanos a los obtenidos con la solución hecha a mano, teniendo al voltaje del colector en 6.998 V contra 6.83 V, la corriente del colector en 2.274 mA contra 2.35 mA, y la corriente de base en 47.23 μA contra 47.08 μA.

Ahora probemos la sensibilidad ante variaciones de la beta cambiando al valor implícito de 255.9. Los resultados se presentan en la figura 4.84. Observe la caída dramática en V_C a 0.113 V comparada con 6.83 V y la importante elevación en I_D a 5.4 mA contra la solución de 2.35 mA. Obviamente la configuración de polarización fija es muy sensible a beta.

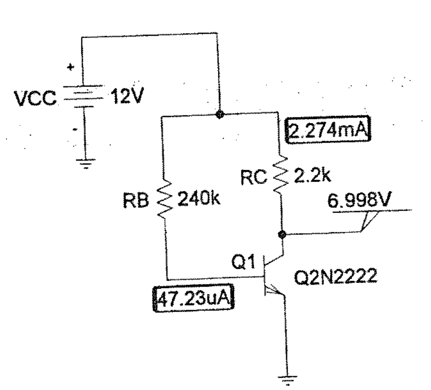


Figura 4.83 Configuración de polarización fija con una β de 50.

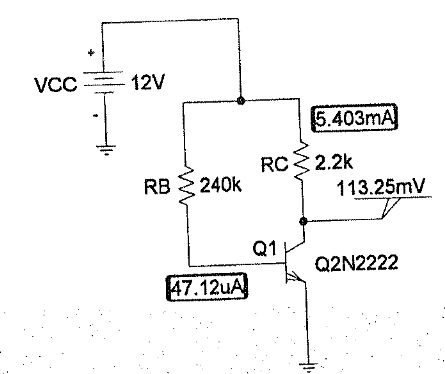


Figura 4.84 Red de la figura 4.83 con una β de 255.9.

Electronics Workbench

Ahora se aplicará Electronics Workbench para la red de polarización fija del ejemplo 4.4 para proporcionar una oportunidad para revisar las opciones internas del transistor en el paquete de software y para comparar los resultados con la solución realizada a mano.

Se encuentra disponible una selección amplia de transistores al sólo seleccionar la opción de transistor del **Component Tool Bar** (Barra de herramientas de componentes). Con esto se presenta un cuadro de diálogo informativo **Component Browser** del cual es posible elegir un componente (**Select Component**). Bajo la lista de componentes (**Component List**) se tienen distintos transistores de donde se seleccionó el transistor 2N2712. Una vez que esto se realice, aparecerán los datos del modelo (**Model Data**) que muestran los parámetros importantes del dispositivo. Haga clic en **OK**, y entonces será posible posicionar el transistor en cualquier lugar de la pantalla como se muestra en la figura 4.85. Haga doble clic sobre el dispositivo y aparecerá un cuadro de diálogo **BJT NPN** que le permitirá modificar algunos de los parámetros de nuestra aplicación. Seleccione primero **Edit**, y cambie **Bf** a 50 e **Is** a 1 nA, y seleccione **Change Part Model** para modificarlo. Haga clic en **OK**, y el transistor de la pantalla presentará ahora un asterisco sobre su etiqueta para indicar que se ha efectuado un cambio en los parámetros. El nuevo valor de beta puede desplegarse en la pantalla utilizando la opción **Place Text** bajo **Edit**. Con un clic del botón izquierdo se establecerá la posición del texto que se capturará. Una vez que se haya tecleado **BF=50,** con un doble clic la casilla con la información se establecerá alrededor del ingreso de datos. Con un clic izquierdo adicional, la etiqueta se habrá ingresado. Para eliminarla, solamente hay que seleccionar la casilla con un clic izquierdo del ratón sobre la etiqueta, y luego mediante un clic del botón derecho seleccionar de la lista de opciones presentadas la opción **Cut.** Puede accederse a la opción **Place Text** (Colocar texto) en cualquier momento con un clic derecho del ratón, después de lo cual se continúa con el proceso descrito anteriormente.

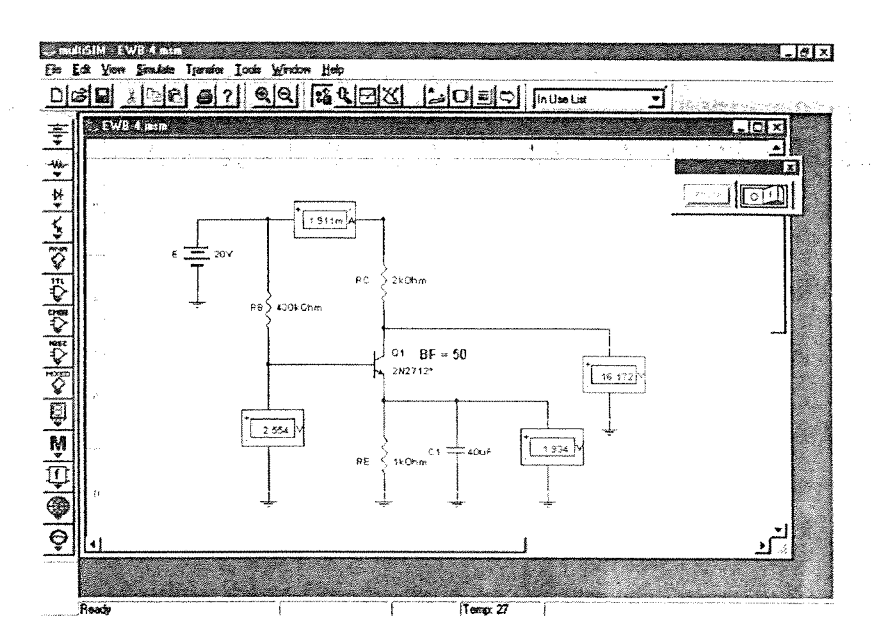


Figura 4.85 Verificación de los resultados del ejemplo 4.4 mediante Electronics Workbench.

Debido a que siempre es importante conocer el estatus del control de simulación (**Simulation**), se recomienda colocar un interruptor simulado (**Simulate Switch**) en la pantalla en todo momento, ya que una vez que la opción de ejecución (**RUN**) se selecciona debajo de **Simulation,** no es posible realizar cambios en la red hasta que la simulación (**Simulation**)se detenga. El interruptor claramente mostrará el estatus de la simulación con un **1** o un **0**. Para desplegar el interruptor, solamente seleccione **Show Simulate Switch** debajo de la opción **View**.

Una vez que el transistor se encuentra en su lugar, los elementos restantes pueden colocarse como lo muestra la figura 4.85 empleando el procedimiento descrito a detalle en capítulos previos. El único amperímetro empleado para medir la corriente del colector se obtiene mediante la secuencia **Indicators-Ammeter H-OK**, mientras que los voltímetros se obtienen mediante **Indicators-Voltmeters V-OK**.

Por último, la simulación se arranca seleccionando el **1**, con lo que se obtendrán los resultados de la figura 4.85. Observe en particular que el voltaje base-emisor es de 2.554 V − 1.934 V = 0.62 V en lugar de los 0.7 V supuestos para el nivel relativamente bajo de corriente de este transistor. Sin embargo, todas las lecturas se encuentran muy cercanas a las obtenidas asumiendo un modelo muy simple del transistor, proporcionando una validación de las aproximaciones presentadas en este capítulo.

PROBLEMAS

§ 4.3 Circuito de polarización fija

1. Para la configuración de polarización fija de la figura 4.86, determine:

(a) I_{B_Q}.
(b) I_{C_Q}.
(c) V_{CE_Q}.
(d) V_C.
(e) V_B.
(f) V_E.

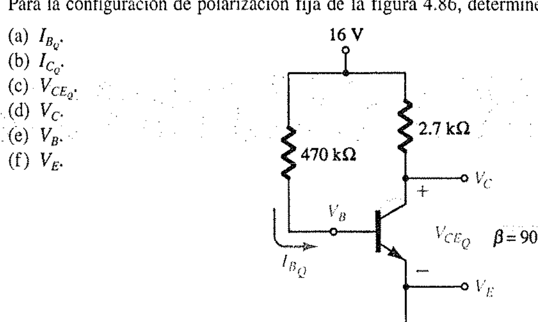


Figura 4.86 Problemas 1, 4, 11, 47, 51, 52 y 53.

2. Con la información que aparece en la figura 4.87, determine:

(a) I_C.
(b) R_C.
(c) R_B.
(d) V_{CE}.

3. Con la información que aparece en la figura 4.88, determine:

(a) I_C.
(b) V_{CC}.
(c) β.
(d) R_B.

4. Encuentre la corriente de saturación ($I_{C_{sat}}$) para la configuración de polarización fija de la figura 4.86.

***5.** De acuerdo con las características del transistor BJT de la figura 4.89:

(a) Dibuje una recta de carga sobre las características determinadas por E = 21 V y R_C = 3 kΩ para una configuración de polarización fija.
(b) Seleccione un punto de operación a mitad del camino entre el corte y la saturación. Determine el valor de R_B para establecer el punto de operación resultante.
(c) ¿Cuáles son los valores resultantes de I_{C_Q} y V_{CE_Q}?
(d) ¿Cuál es el valor de β en el punto de operación?
(e) ¿Cuál es el valor de α definido por el punto de operación?
(f) ¿Cuál es la corriente de saturación ($I_{C_{sat}}$) del diseño?
(g) Bosqueje la configuración de polarización fija resultante.
(h) ¿Cuál es la potencia de dc disipada por el dispositivo en el punto de operación?
(i) ¿Cuál es la potencia suministrada por V_{CC}?
(j) Determine la potencia disipada por los elementos resistivos tomando la diferencia entre los resultados de los incisos (*h*) e (*i*).

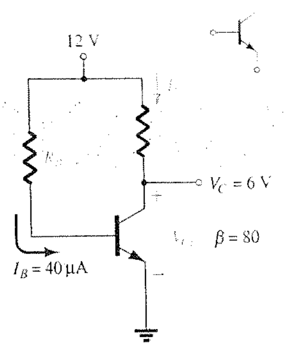


Figura 4.87 Problema 2.

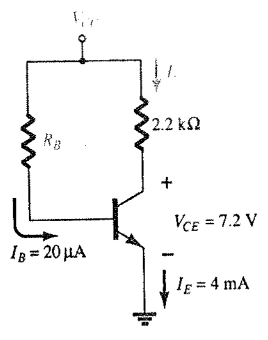


Figura 4.88 Problema 3.

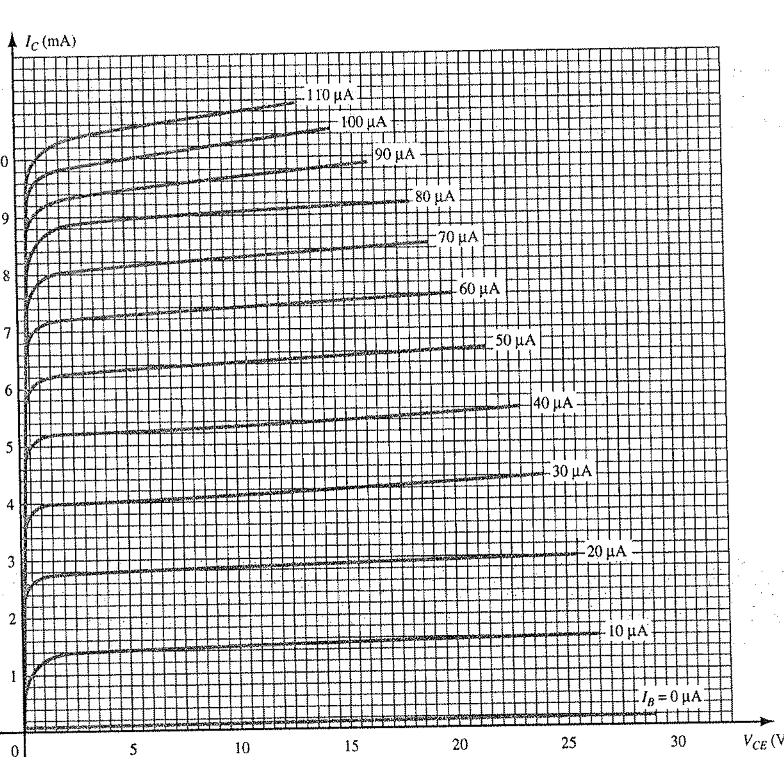
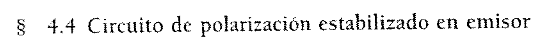


Figura 4.89 Problemas 5, 10, 19, 35 y 36.


§ 4.4 Circuito de polarización estabilizado en emisor

6. Para el circuito de polarización con estabilización en emisor de la figura 4.90, determine:
(a) I_{B_Q}.
(b) I_{C_Q}.
(c) V_{CE_Q}.
(d) V_C.
(e) V_B.
(f) V_E.

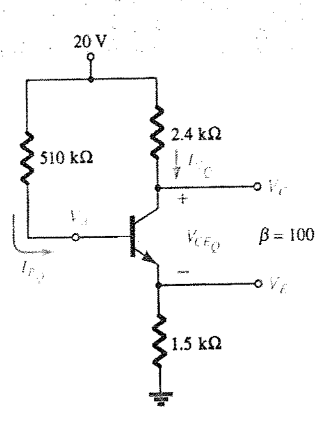


Figura 4.90 Problemas 6, 9, 11, 48, 51 y 54.

7. Con la información proporcionada en la figura 4.91, determine:
(a) R_C.
(b) R_E.
(c) R_B.
(d) V_{CE}.
(e) V_B.

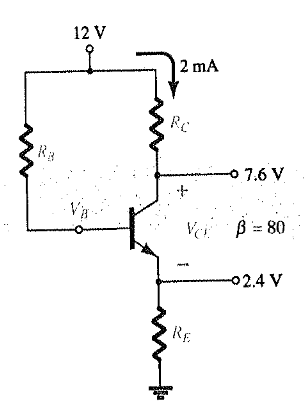


Figura 4.91 Problema 7.

8. Con la información proporcionada en la figura 4.92, determine:
(a) β.
(b) V_{CC}.
(c) R_B.

9. Determine la corriente de saturación ($I_{C_{sat}}$) de la red de la figura 4.90.

***10.** Empleando las características de la figura 4.89, determine lo siguiente para una configuración de polarización en emisor, si se define un punto Q en $I_{C_Q} = 4$ mA y $V_{CE_Q} = 10$ V.
(a) R_C si $V_{CC} = 24$ V y $R_E = 1.2$ kΩ.
(b) La β en el punto de operación.
(c) R_B.
(d) La potencia disipada por el transistor.
(e) La potencia disipada por el resistor R_C.

***11.** (a) Determine I_C y V_{CE} para la red de la figura 4.86.
(b) Modifique β a 135 y determine los nuevos valores de I_C y V_{CE} para la red de la figura 4.86.
(c) Determine la magnitud del cambio porcentual en I_C y en V_{CE} empleando las siguientes ecuaciones:

$$\%\Delta I_C = \left|\frac{I_{C_{(parte\ b)}} - I_{C_{(parte\ a)}}}{I_{C_{(parte\ a)}}}\right| \times 100\%, \qquad \%\Delta V_{CE} = \left|\frac{V_{CE_{(parte\ b)}} - V_{CE_{(parte\ a)}}}{V_{CE_{(parte\ a)}}}\right| \times 100\%$$

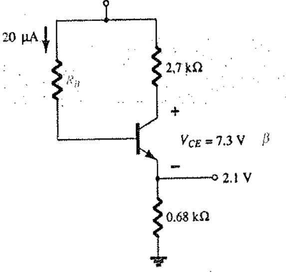


Figura 4.92 Problema 8.

(d) Determine I_C y V_{CE} para la red de la figura 4.90.
(e) Modifique β a 150 y determine los nuevos valores de I_C y V_{CE} para la red de la figura 4.90.
(f) Determine la magnitud del cambio porcentual en I_C y en V_{CE} empleando las siguientes ecuaciones:

$$\%\Delta I_C = \left|\frac{I_{C_{(parte\ e)}} - I_{C_{(parte\ d)}}}{I_{C_{(parte\ d)}}}\right| \times 100\%, \qquad \%\Delta V_{CE} = \left|\frac{V_{CE_{(parte\ e)}} - V_{CE_{(parte\ d)}}}{V_{CE_{(parte\ d)}}}\right| \times 100\%$$

(g) En cada uno de los incisos anteriores, se incrementó la magnitud de β en 50%. Compare el cambio porcentual en I_C y V_{CE} para cada configuración y comente sobre cuál parece ser la menos sensible ante los cambios de β.

§ 4.5 Polarización por divisor de voltaje

12. Para la configuración de polarización por divisor de voltaje de la figura 4.93, determine:
(a) I_{B_Q}.
(b) I_{C_Q}.
(c) V_{CE_Q}.
(d) V_C.
(e) V_E.
(f) V_B.

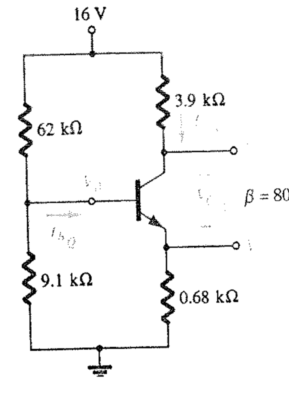
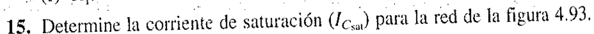


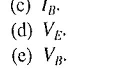
Figura 4.93 Problemas 12, 15, 18, 20, 24, 49, 51, 52 y 55.

13. Con la información proporcionada en la figura 4.94, determine:
(a) I_C.
(b) V_E.
(c) V_B.
(d) R_1.

14. Con la información que aparece en la figura 4.95, determine:
(a) I_C.
(b) V_E.
(c) V_{CC}.
(d) V_{CE}.
(e) V_B.
(f) R_1.


15. Determine la corriente de saturación ($I_{C_{sat}}$) para la red de la figura 4.93.

***16.** Determine lo siguiente para la configuración por divisor de voltaje de la figura 4.96 mediante el enfoque aproximado, si se satisface la condición establecida por la ecuación 4.33.
(a) I_C.
(b) V_{CE}.
(c) I_B.
(d) V_E.
(e) V_B.



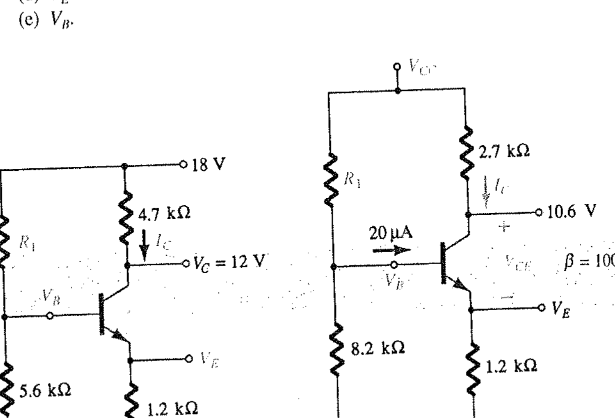
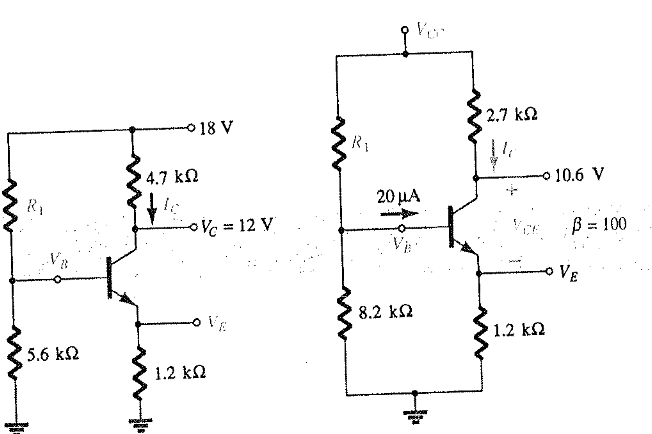



Figura 4.94 Problema 13.

Figura 4.95 Problema 14.

Figura 4.96 Problemas 16, 17 y 21.

*17. Repita el problema 16 empleando el enfoque exacto (Thévenin) y compare las soluciones. Con base en los resultados, ¿el enfoque aproximado es una técnica de análisis válida si la ecuación 4.33 se satisface?

18. (a) Determine I_{C_Q}, V_{CE_Q} e I_{B_Q} para la red del problema 12 (figura 4.93) empleando el enfoque aproximado incluso si la condición establecida por la ecuación 4.33 no se satisface.
(b) Determine I_{C_Q}, V_{CE_Q} e I_{B_Q} mediante el enfoque exacto.
(c) Compare las soluciones y comente acerca de si la diferencia es lo suficientemente grande como para requerir que se tome en cuenta la ecuación 4.33 cuando se determina el enfoque que se utilizará.

*19. (a) Empleando las características de la figura 4.89, determine R_C y R_E para una red de divisor de voltaje que cuenta con un punto Q de $I_{C_Q} = 5$ mA y $V_{CE_Q} = 8$ V. Utilice $V_{CC} = 24$ V y $R_C = 3R_E$.
(b) Encuentre V_E.
(c) Determine V_B.
(d) Encuentre R_2 si $R_1 = 24$ kΩ asumiendo que $\beta R_E > 10 R_2$.
(e) Calcule β para el punto Q.
(f) Compruebe la ecuación 4.33 y observe si el supuesto del inciso (*d*) es correcto.

*20. (a) Determine I_C y V_{CE} para la red de la figura 4.93.
(b) Modifique β a 120 (incremento de 50%), y determine los nuevos valores de I_C y V_{CE} para la red de la figura 4.93.
(c) Determine la magnitud del cambio porcentual en I_C y V_{CE} utilizando las siguientes ecuaciones:

$$\%\Delta I_C = \left|\frac{I_{C_{(\text{parte b})}} - I_{C_{(\text{parte a})}}}{I_{C_{(\text{parte a})}}}\right| \times 100\%, \qquad \%\Delta V_{CE} = \left|\frac{V_{CE_{(\text{parte b})}} - V_{CE_{(\text{parte a})}}}{V_{CE_{(\text{parte a})}}}\right| \times 100\%$$

(d) Compare la solución del inciso (*c*) con las soluciones obtenidas para los incisos (*c*) y (*f*) del problema 11. Si no se realizaron, observe las soluciones proporcionadas en el apéndice E.
(e) Con base en los resultados del inciso (*d*), ¿cuál configuración es la menos sensible a las variaciones en β?

*21. (a) Repita los incisos (*a*) al (*e*) del problema 20 para la red de la figura 4.96. Cambie β a 180 en el inciso (*b*).
(b) ¿Qué conclusiones generales pueden extraerse acerca de las redes donde la condición $\beta R_E > 10R_2$ se satisface y se determinarán las cantidades I_C y V_{CE} como respuesta a un cambio en β?

Figura 4.97 Problemas 22 y 56.

§ 4.6 Polarización de dc con retroalimentación de voltaje

22. Para la configuración de retroalimentación en colector de la figura 4.97, determine:
(a) I_B.
(b) I_C.
(c) V_C.

23. Para la red de retroalimentación por voltaje de la figura 4.98, determine:
(a) I_C.
(b) V_C.
(c) V_E.
(d) V_{CE}.

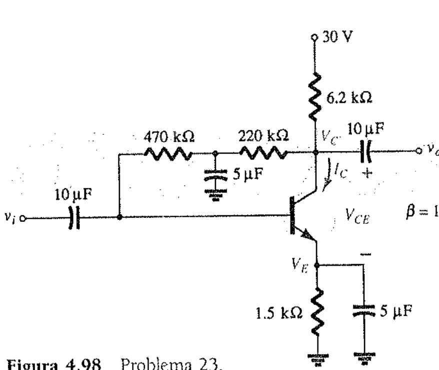


Figura 4.98 Problema 23.

*24. (a) Determine los niveles de I_C y V_{CE} para la red de la figura 4.99.
(b) Modifique β a 135 (incremento de 50%) y calcule ahora los niveles de I_C y V_{CE}.
(c) Determine la magnitud del cambio porcentual en I_C y V_{CE} utilizando las siguientes ecuaciones:

$$\%\Delta I_C = \left|\frac{I_{C_{(\text{parte b})}} - I_{C_{(\text{parte a})}}}{I_{C_{(\text{parte a})}}}\right| \times 100\%, \qquad \%\Delta V_{CE} = \left|\frac{V_{CE_{(\text{parte b})}} - V_{CE_{(\text{parte a})}}}{V_{CE_{(\text{parte a})}}}\right| \times 100\%$$

(d) Compare los resultados del inciso (*c*) con aquéllos del problema 11(*c*), 11(*f*) y 20(*c*). ¿Cómo funciona la red de retroalimentación en colector respecto a otras configuraciones en cuanto a sensibilidad a cambios en β?

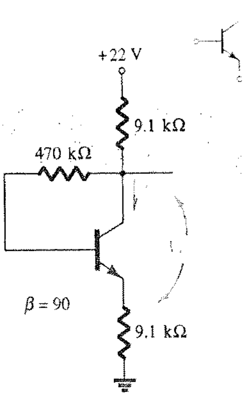


Figura 4.99 Problema 24.

25. Determine el rango de posibles valores de V_C para la red de la figura 4.100 mediante el potenciómetro de 1 MΩ.

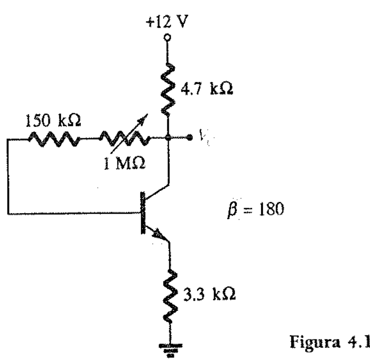


Figura 4.100 Problema 25.

*26. Dado $V_B = 4$ V para la red de la figura 4.101, determine:
(a) V_E.
(b) I_C.
(c) V_C.
(d) V_{CE}.
(e) I_B.
(f) β.

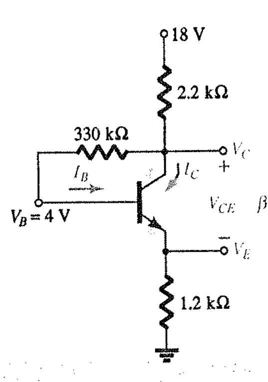


Figura 4.101 Problema 26.

§ 4.7 Diversas configuraciones de polarización

27. Dado $V_C = 8$ V para la red de la figura 4.102, determine:
(a) I_B.
(b) I_C.
(c) β.
(d) V_{CE}.

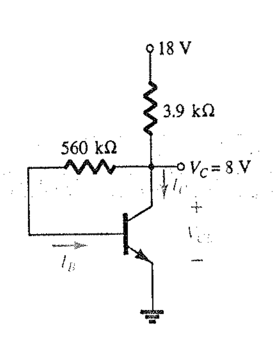


Figura 4.102 Problema 27.

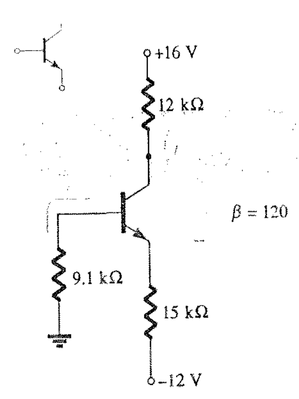


Figura 4.103 Problema 28.

*28. Para la red de la figura 4.103, determine:
(a) I_B.
(b) I_C.
(c) V_{CE}.
(d) V_C.

*29. Para la red de la figura 4.104, determine:
(a) I_B.
(b) I_C.
(c) V_E.
(d) V_{CE}.

*30. Determine el nivel de V_E e I_E para la red de la figura 4.105.

*31. Para la red de la figura 4.106 determine:
(a) I_E.
(b) V_C.
(c) V_{CE}.

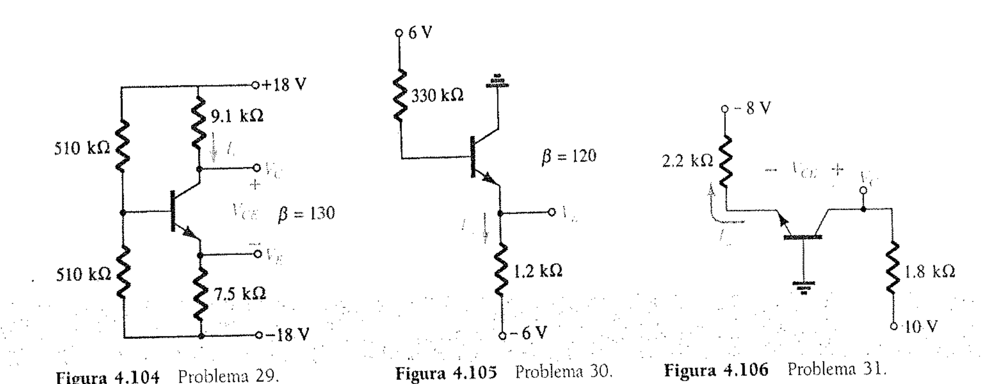


Figura 4.104 Problema 29. Figura 4.105 Problema 30. Figura 4.106 Problema 31.

§ 4.8 Operaciones de diseño

32. Determine R_C y R_B para una configuración de polarización fija si V_{CC} = 12 V, β = 80 e I_{C_Q} = 2.5 mA con V_{CE_Q} = 6 V. Utilice valores estándar.

33. Diseñe una red estabilizada en emisor donde $I_{C_Q} = \frac{1}{2}I_{C_{sat}}$ y $V_{CE_Q} = \frac{1}{2}V_{CC}$. Utilice V_{CC} = 20 V, $I_{C_{sat}}$ = 10 mA, β = 120 y $R_C = 4R_E$. Utilice valores de resistores estándar.

34. Diseñe una red de polarización por divisor de voltaje utilizando una alimentación de 24 V, un transistor con una beta de 110 y un punto de operación de I_{C_Q} = 4 mA y V_{CE_Q} = 8 V. Seleccione $V_E = \frac{1}{8}V_{CC}$. Utilice valores estándar.

*35. Mediante las características de la figura 4.89, diseñe una configuración por divisor de voltaje que tenga un nivel de saturación de 10 mA y un punto Q de la mitad de la distancia entre la saturación y el corte. La alimentación disponible es de 28 V, y V_E será de una quinta parte de V_{CC}. La condición establecida por la ecuación 4.33 también deberá cumplirse para proporcionar un factor alto de estabilidad. Utilice valores estándares.

§ 4.9 Redes de conmutación con transistores

*36. Mediante las características de la figura 4.89, determine la apariencia de la forma de onda de salida de la red de la figura 4.107. Incluya los efectos de $V_{CE_{sat}}$ y determine I_B, $I_{B_{máx}}$ e $I_{C_{sat}}$ cuando V_i = 10 V. Determine la resistencia colector-emisor en la saturación y en el corte.

*37. Diseñe el transistor inversor de la figura 4.108 para que opere con una corriente de saturación de 8 mA empleando un transistor con una beta de 100. Utilice un nivel de I_B igual a 120% de $I_{B_{máx}}$ y valores estándar.

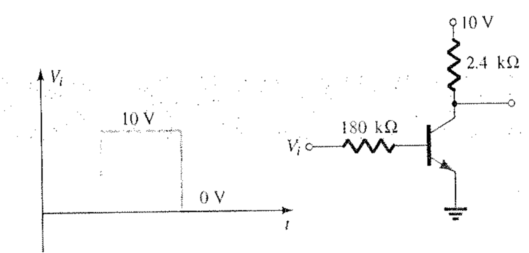


Figura 4.107 Problema 36.

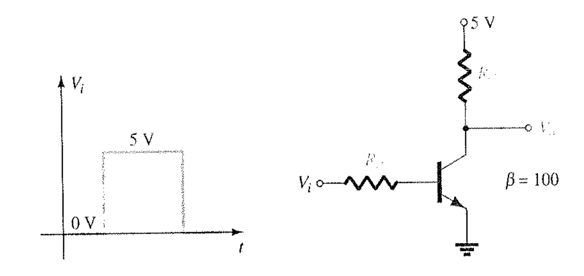


Figura 4.108 Problema 37.

38. (a) Mediante las características de la figura 3.23c, determine $t_{encendido}$ y $t_{apagado}$ para una corriente de 2 mA. Advierta el uso de escalas logarítmicas y la posible necesidad de recurrir a la sección 11.2.
(b) Repita el inciso (a) para una corriente de 10 mA. ¿Cómo cambiaron $t_{encendido}$ y $t_{apagado}$ con el incremento en la corriente del colector?
(c) Para los incisos (a) y (b), esquematice la forma de onda de pulso de la figura 4.57 y compare los resultados.

§ 4.10 Técnicas para localización de fallas

*39. Las mediciones de la figura 4.109 revelan que la red no está funcionando correctamente. Enumere tantas razones como pueda acerca de las mediciones obtenidas.

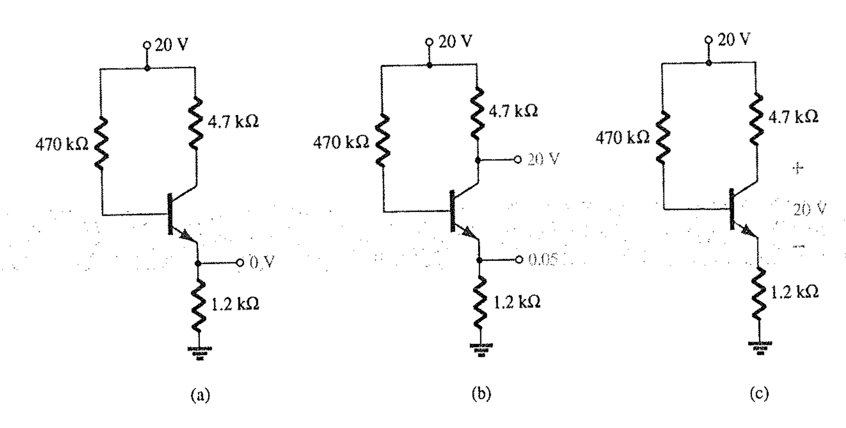
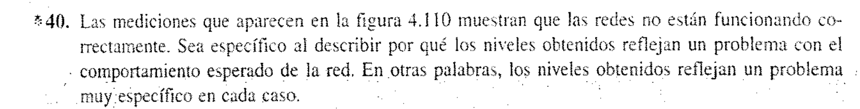


Figura 4.109 Problema 39.



*40. Las mediciones que aparecen en la figura 4.110 muestran que las redes no están funcionando correctamente. Sea específico al describir por qué los niveles obtenidos reflejan un problema con el comportamiento esperado de la red. En otras palabras, los niveles obtenidos reflejan un problema muy específico en cada caso.

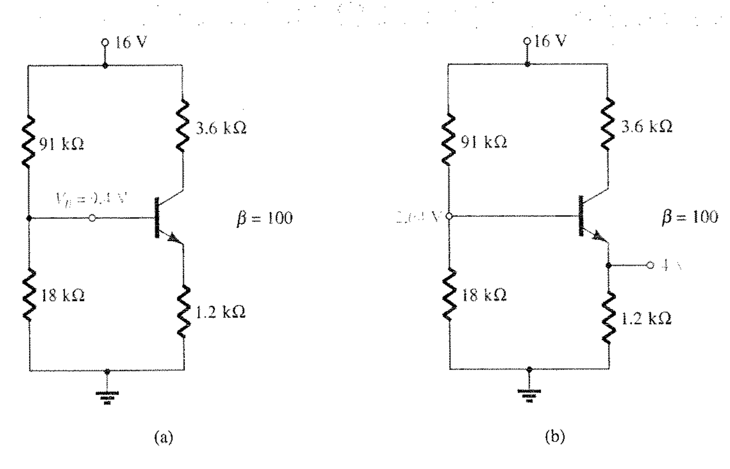


Figura 4.110 Problema 40.

41. Para el circuito de la figura 4.111.
   (a) Si R_B se incrementa, ¿V_C disminuirá o se incrementará?
   (b) Si β se reduce, ¿I_C disminuirá o se incrementará?
   (c) ¿Qué sucede con la corriente de saturación si β se incrementa?
   (d) Si V_{CC} se reduce, ¿la corriente del colector disminuirá o se incrementará?
   (e) ¿Qué sucede con V_{CE} si el transistor se reemplaza por otro con una β más pequeña?

42. Responda las siguientes preguntas con respecto al circuito de la figura 4.112.
   (a) ¿Qué le sucede al voltaje V_C si el transistor se reemplaza por otro que tenga un valor más grande de β?
   (b) ¿Qué le sucede al voltaje V_{CE} si la terminal de tierra del resistor R_{B_2} se abre (no se conecta a tierra)?
   (c) ¿Qué le sucede a I_C si el voltaje de alimentación es bajo?
   (d) ¿Qué voltaje V_{CE} se obtendrá si la unión base-emisor del transistor falla y queda abierta?
   (e) ¿Qué voltaje V_{CE} se obtendrá si la unión base-emisor del transistor falla y convierte en corto?

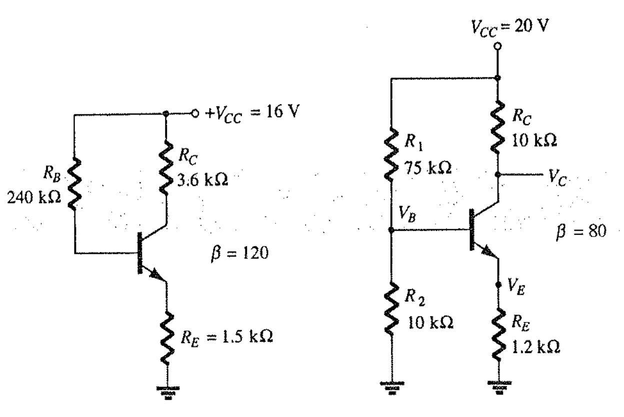


Figura 4.111 Problema 41.

Figura 4.112 Problema 42.

*43. Responda las siguientes preguntas acerca del circuito de la figura 4.113.
   (a) ¿Qué le sucede al voltaje V_C si el resistor R_B se encuentra abierto?
   (b) ¿Qué debería sucederle a V_{CE} si β se incrementa debido a la temperatura?
   (c) ¿Cómo se afectará V_E cuando se reemplace el resistor del colector por otro cuya resistencia se encuentre en la parte inferior del rango de tolerancia?
   (d) Si la conexión del colector del transistor se abre, ¿qué le sucederá a V_E?
   (e) ¿Qué podría ocasionar que V_{CE} se acerque a 18 V?

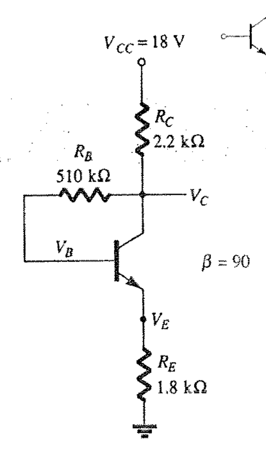


Figura 4.113 Problema 43.

§ 4.11 Transistores *PNP*

44. Determine V_C, V_{CE} e I_C para la red de la figura 4.114.
45. Determine V_C e I_B para la red de la figura 4.115.
46. Determine I_E y V_C para la red de la figura 4.116.

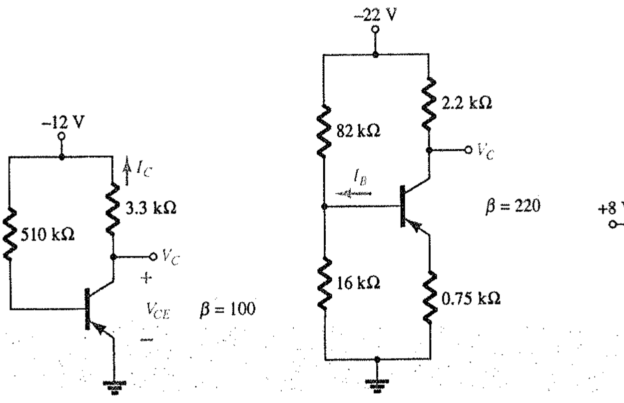


Figura 4.114 Problema 44.

Figura 4.115 Problema 45.

Figura 4.116 Problema 46.

§ 4.12 Estabilización de la polarización

47. Determine lo siguiente para la red de la figura 4.86.
   (a) $S(I_{CO})$.
   (b) $S(V_{BE})$.
   (c) $S(\beta)$ utilizando T_1 como la temperatura a la cual se especifican los valores de los parámetros y $\beta(T_2)$ como 25% mayor que $\beta(T_1)$.
   (d) Determine el cambio neto en I_C si un cambio en las condiciones de operación provocan que I_{CO} se eleve de 0.2 a 10 μA, V_{BE} caiga de 0.7 a 0.5 V y β se incremente 25%.

*48. Para la red de la figura 4.90 determine:
   (a) $S(I_{CO})$.
   (b) $S(V_{BE})$.
   (c) $S(\beta)$ utilizando T_1 como la temperatura a la cual se especifican los valores de los parámetros y (T_2) como 25% mayor que $\beta(T_1)$.
   (d) Determine el cambio neto en I_C si un cambio en las condiciones de operación provocan que I_{CO} se eleve de 0.2 a 10 μA, V_{BE} caiga de 0.7 a 0.5 V y β se incremente 25%.

*49. Para la red de la figura 4.93 determine:
   (a) $S(I_{CO})$.
   (b) $S(V_{BE})$.
   (c) $S(\beta)$ utilizando T_1 como la temperatura a la cual se especifican los valores de los parámetros y $\beta(T_2)$ como 25% mayor que $\beta(T_1)$.
   (d) Determine el cambio neto en I_C si un cambio en las condiciones de operación provocan que I_{CO} se eleve de 0.2 a 10 μA, V_{BE} caiga de 0.7 a 0.5 V y β se incremente 25%.

*50. Para la red de la figura 4.102 determine:
(a) $S(I_{CO})$.
(b) $S(V_{BE})$.
(c) $S(\beta)$ mediante T_1 como la temperatura a la cual se especifican los valores de los parámetros y $\beta(T_2)$ como 25% mayor que $\beta(T_1)$.
(d) Determine el cambio neto en I_C si un cambio en las condiciones de operación provocan que I_{CO} se eleve de 0.2 a 10 μA, V_{BE} caiga de 0.7 a 0.5 V y β se incremente 25%.

*51. Compare los valores relativos de estabilidad de los problemas 47 al 50. Los resultados de los ejercicios 47 y 49 pueden encontrarse en el apéndice E. ¿Es posible derivar conclusiones generales de los resultados?

*52. (a) Compare los niveles de estabilidad para la configuración de polarización fija del problema 47.
(b) Compare los niveles de estabilidad para la configuración por divisor de voltaje del problema 49.
(c) ¿Cuáles parecen ser los factores de los incisos (*a*) y (*b*) que tienen mayor influencia sobre la estabilidad del sistema, o no existe un patrón general a partir de los resultados?

§ 4.15 Análisis por computadora

53. Realice un análisis con PSpice para la red de la figura 4.86. Es decir, determine I_C, V_{CE} e I_B.
54. Repita el problema 53 para la red de la figura 4.90.
55. Repita el problema 53 para la red de la figura 4.93.
56. Repita el problema 53 para la red de la figura 4.97.
57. Repita el problema 53 utilizando Electronics Workbench.
58. Repita el problema 54 utilizando Electronics Workbench.
59. Repita el problema 55 utilizando Electronics Workbench.
60. Repita el problema 56 utilizando Electronics Workbench.

*Observe: Los asteriscos indican problemas con mayor dificultad.

CAPÍTULO

Transistores de efecto de campo 5

I_{DSS}/V_P

5.1 INTRODUCCIÓN

El transistor de efecto de campo (FET) (por sus siglas en inglés *Field Efect Transistor*) es un dispositivo de tres terminales que se utiliza para diversas aplicaciones, en gran parte, similares a las del transistor BJT que se describió en los capítulos 3 y 4. Aunque existen diferencias importantes entre los dos tipos de dispositivos, también es cierto que tienen muchas similitudes que se presentarán en las siguientes secciones.

La principal diferencia entre los dos tipos de transistores es el hecho de que el transistor BJT es un dispositivo *controlado por corriente* como se describe en la figura 5.1a, mientras que el transistor JFET es un dispositivo *controlado por voltaje* como se muestra en la figura 5.1b. En otras palabras, la corriente I_C de la figura 5.1a es una función directa del nivel de I_B. Para el FET la corriente I será una función del voltaje V_{GS} aplicado al circuito de entrada, como se muestra en la figura 5.1b. En cada caso, la corriente del circuito de salida se controla por un parámetro del circuito de entrada, en un caso es con un nivel de corriente y en el otro, con un voltaje aplicado.

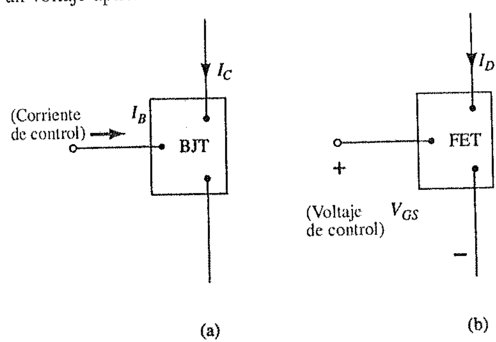
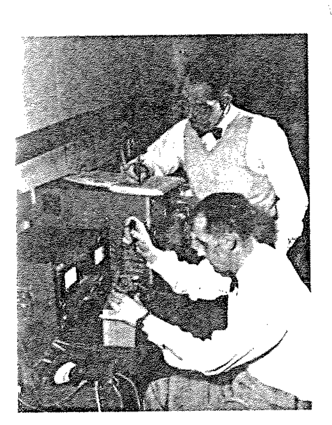


Figura 5.1 Amplificadores controlados (a) por corriente; (b) por voltaje.

Así como existen transistores bipolares *npn* y *pnp*, también hay transistores de efecto de campo de *canal-n* y *canal-p*. Sin embargo, es importante recordar que el transistor BJT es un dispositivo *bipolar*; el prefijo *bi* indica que el nivel de conducción está en función de dos portadores de carga: los electrones y los huecos. El FET es un dispositivo *unipolar* que depende únicamente de la conducción de electrones (canal-*n*) o de huecos (canal-*p*).

El término "efecto de campo" en el nombre asignado merece cierta explicación. Todos estamos familiarizados con la capacidad de un imán permanente para atraer limaduras de metal hacia el imán sin necesidad de un contacto real. El campo magnético del imán permanente envuelve las limaduras y las atrae hacia el imán mediante un esfuerzo por parte de las líneas de flujo magnético con objeto de que sean lo más cortas posibles. Para el caso del FET, se establece un *campo eléctrico* mediante las cargas presentes, que controlará la trayectoria de con-



Los doctores Ian Munro Ross (al frente) y G. C. Dacey desarrollaron un proceso experimental para medir las características de los transistores de efecto de campo en 1955. (Cortesía de los archivos de AT&T.)

Dr. Ross Nació en Southport, Inglaterra; PhD del Gonville and Caius College, en la Universidad de Cambridge; Presidente emérito de los Laboratorios Bell de AT&T; Asociado de IEEE y de la National Advisory Committee on Semiconductors; Miembro del Consejo del National Science Board.

Dr. Dacey Nació en Chicago, Illinois; PhD del Instituto de Tecnología de California; Director de Investigación de Electrónica de Estado Sólido en los Laboratorios Bell; Vicepresidente e Investigador de Sandia Corporation, Miembro de IRE, Tau Beta Pi, Eta Kappa Nu.

ducción del circuito de salida, sin la necesidad de un contacto directo entre las cantidades controladoras y controladas.

Existe una tendencia natural cuando se presenta un segundo dispositivo con un rango de aplicaciones similares a uno ya conocido, de comparar algunas de las características generales de uno contra el otro. Una de las características más importantes del FET es su *gran impedancia de entrada*. Con un nivel de 1 y hasta varios cientos de megaohms, excede por mucho los niveles típicos de resistencia de entrada de las configuraciones con transistor BJT, lo cual es una característica muy importante para el diseño de sistemas de amplificación lineal de ac. Por otro lado, el transistor BJT tiene una mayor sensibilidad ante cambios en la señal aplicada. En otras palabras, la variación en la corriente de salida, por lo general, es mucho mayor para el caso de los BJTs que para el caso de los FETs, ante el mismo cambio de voltaje aplicado. Por esta razón, las ganancias comunes de voltaje en ac para los amplificadores de BJT son mucho mayores que para los de FET. En general, los FETs son más estables a la temperatura que los BJTs, y los primeros son frecuentemente de construcción más pequeña que los BJTs, lo cual los hace particularmente útiles en los circuitos integrados (*IC*) (por sus siglas en inglés de *Integrated Circuits*). Sin embargo, las características de construcción de algunos FETs los pueden hacer de manejo más delicado que los BJTs.

En este capítulo se presentarán dos tipos de FETs: el *transistor de efecto de campo de unión* (JFET) (por su término en inglés *Junction Field Effect Transistor*) y el *transistor de efecto de campo metal-óxido-semiconductor* (*MOSFET*) (por sus siglas en inglés de *Metal-Oxide-Semiconductor Field-Effect Transistor*). A su vez, la categoría MOSFET se divide en los tipos decremental e incremental, mismos que describiremos. El transistor MOSFET se ha convertido en uno de los dispositivos más importantes utilizados en el diseño y la construcción de los circuitos integrados para computadoras digitales. Su estabilidad térmica entre otras características generales lo hacen muy popular en el diseño de circuitos de computadoras. Sin embargo, como elemento discreto en un encapsulado típico de sombrero de copa, se debe manejar con cuidado (tema que se analizará en una sección posterior).

Una vez que se presenten la construcción y las características del FET, los arreglos de polarización se cubrirán en el capítulo 6. El análisis que se desarrolló en el capítulo 4 mediante transistores BJT será muy útil para la deducción de ecuaciones importantes y para la comprensión de los resultados obtenidos de los circuitos FET.

5.2 CONSTRUCCIÓN Y CARACTERÍSTICAS DE LOS JFETs

Como se indicó anteriormente, el JFET es un dispositivo de tres terminales, con una terminal capaz de controlar la corriente entre las otras dos. En el análisis del transistor BJT, se utilizó el transistor *npn* para la mayoría de las secciones de análisis y diseño, y luego se dedicó sólo una sección al impacto del uso del transistor *pnp*. Para el caso del transistor JFET, el dispositivo de canal-*n* aparecerá como el dispositivo principal y se dedicarán párrafos y secciones al impacto del uso de un JFET de canal-*p*.

La construcción básica del JFET de canal-*n* se muestra en la figura 5.2. Observe que la mayor parte de la estructura es el material de tipo *n* que forma el canal entre las capas integradas de material de tipo *p*. La parte superior del canal de tipo *n* se encuentra conectada por medio de un contacto óhmico a una terminal referida como *drenaje* (*D*), mientras que el extremo inferior del mismo material se conecta por medio de un contacto óhmico a una terminal referida como *fuente* (*S*). Los dos materiales de tipo *p* se encuentran conectados entre sí y también con la terminal de *compuerta* (*G*). Por tanto, el drenaje y la fuente se encuentran conectados a los extremos del canal de tipo *n* y la compuerta a las dos capas de material tipo *p*. En ausencia de potencial alguno aplicado, el JFET cuenta con dos uniones *p-n* bajo condiciones sin polarización. El resultado es una región de agotamiento en cada unión como se muestra en la figura 5.2, la cual se asemeja a la misma región de un diodo bajo condiciones sin polarización. Recuerde también que una región de agotamiento es aquella región que no presenta portadores libres y es, por tanto, incapaz de soportar la conducción a través de ella.

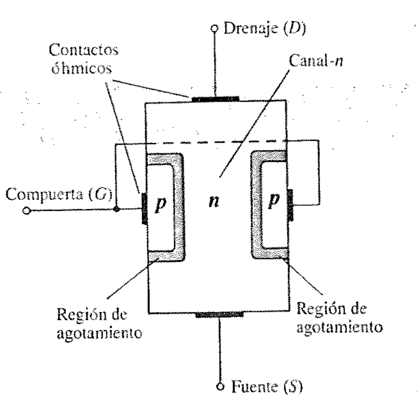


Figura 5.2 Transistor de efecto de campo de unión (JFET).

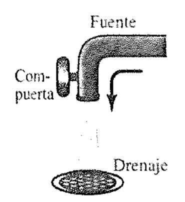


Figura 5.3 Analogía de agua para el mecanismo de control del JFET.

En raras ocasiones las analogías son perfectas y a veces pueden causar confusiones; sin embargo, la analogía del agua de la figura 5.3 proporciona cierto significado del control del JFET a través de la terminal de compuerta y acerca de lo adecuado de la terminología aplicada a las terminales del dispositivo. La fuente de la presión del agua es equivalente al voltaje aplicado del drenaje a la fuente, el cual establecerá un flujo de agua (electrones), proveniente del grifo (fuente). La "compuerta", válvula, mediante una señal aplicada (potencial), controlará el flujo de agua (carga) hacia el "drenaje". Las terminales del drenaje y de la fuente se encuentran en los extremos opuestos del canal-*n* como se presenta en la figura 5.2, porque la terminología está definida para el flujo de electrones.

V_{GS} = 0 V, V_{DS} algún valor positivo

En la figura 5.4 se aplica un voltaje positivo V_{DS} a través del canal, y la compuerta se conecta directamente con la fuente para establecer la condición $V_{GS} = 0$ V. El resultado son terminales de compuerta y de fuente con el mismo potencial, y una región de agotamiento en el extremo inferior de cada material-*p* similar a la distribución de las condiciones de no polarización de la figura 5.2. En el instante en que se aplica el voltaje V_{DD} ($=V_{DS}$), los electrones serán atraídos a la terminal de drenaje, con lo que se establecerá la corriente convencional I_D con la dirección definida en la figura 5.4. La trayectoria del flujo de carga revela con claridad que las corrientes de drenaje y fuente son equivalentes ($I_D = I_S$). Bajo las condiciones que aparecen en la figura 5.4, el flujo de carga se encuentra relativamente sin inhibición y limitado únicamente por la resistencia del canal-*n* entre el drenaje y la fuente.

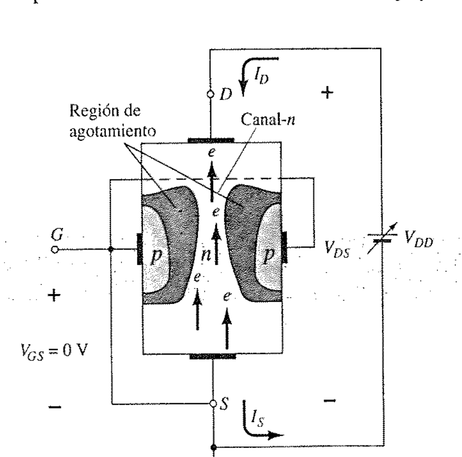


Figura 5.4 JFET con V_{GS} = 0 V y V_{DS} > 0 V.

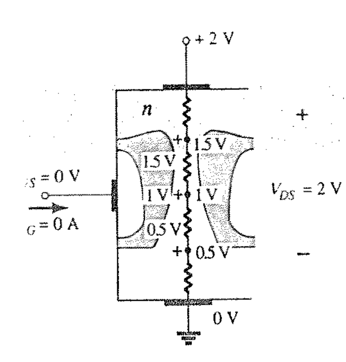


Figura 5.5 Variación de los potenciales de polarización inversa a través de unión p-n de un JFET de canal-n.

Es importante observar que la región de agotamiento es más amplia cerca de la parte superior de ambos materiales de tipo p. La razón para este cambio en el ancho de esta región se describe mejor por medio de la figura 5.5. Suponiendo una resistencia uniforme en el canal-n, la resistencia del canal puede descomponerse en las divisiones que aparecen en la figura 5.5. La corriente I_D establecerá los niveles de voltaje a través del canal como se indica en la misma figura. El resultado es que la región superior del material de tipo p estará polarizada de manera inversa con cerca de 1.5 V, con la región inferior inversamente polarizada únicamente con 0.5 V. Recuerde del análisis de la operación del diodo que, mientras mayor sea la polarización inversa aplicada, más ancha será la región de agotamiento, de ahí la distribución de la región de agotamiento como se muestra en la figura 5.5. El hecho de que la unión p-n se encuentre polarizada de forma inversa a través de toda la longitud del canal, ocasiona una corriente de compuerta de cero amperes como se muestra en la misma figura. El hecho de que $I_G = 0$ A es una característica importante del JFET.

A medida que el voltaje V_{DS} se incrementa desde 0 a unos cuantos volts, la corriente se incrementará como lo determina la ley de Ohm y la gráfica de I_D en función de V_{DS} aparecerá como lo muestra la figura 5.6. Esta gráfica es relativamente recta e indica que para la región de valores pequeños de V_{DS}, la resistencia es en esencia constante. Conforme V_{DS} se eleva y se acerca al nivel referido como V_P en la figura 5.6, las regiones de agotamiento de las figura 5.4 se harán más anchas, con lo que se ocasiona una reducción considerable en el ancho del canal. La trayectoria de condición reducida causará que se incremente la resistencia y que se genere la curva en la gráfica de la figura 5.6. Mientras más horizontal sea la curva, mayor será la resistencia; esto insinúa que la resistencia se está acercando a ohms "infinitos" en la región horizontal. Si V_{DS} se eleva a un nivel donde pareciera que las dos regiones de agotamiento se "tocaran", como se muestra en la figura 5.7, se ocasionaría una condición referida como *estrechamiento*. Al nivel de V_{DS} que establece esta condición se le denomina como *voltaje de estrechamiento* y se designa como V_P (por su término en inglés *Pinch-off*), como se muestra en la figura 5.6. En realidad, el término "estrechamiento" es un nombre inapropiado debido a que sugiere que la corriente I_D se constriñe y cae a 0 A. Sin embargo, como se muestra en la figura 5.6 éste es difícilmente el caso ya que I_D mantiene un nivel de saturación definido como I_{DSS} en la figura 5.6. En realidad, todavía existirá un pequeño canal con una corriente de muy alta densidad. El hecho de que I_D no caiga a cero en el estrechamiento y mantenga el nivel de saturación indicado en la figura 5.6 se verifica por el hecho siguiente: la ausencia de una corriente de drenaje eliminaría la posibilidad de distintos niveles de potencial a través del material de canal-n para establecer los niveles variantes de polarización inversa a lo largo de la unión p-n. El resultado sería una pérdida de la distribución de la región de agotamiento que motivó, por principio de cuentas, el estrechamiento inicial.

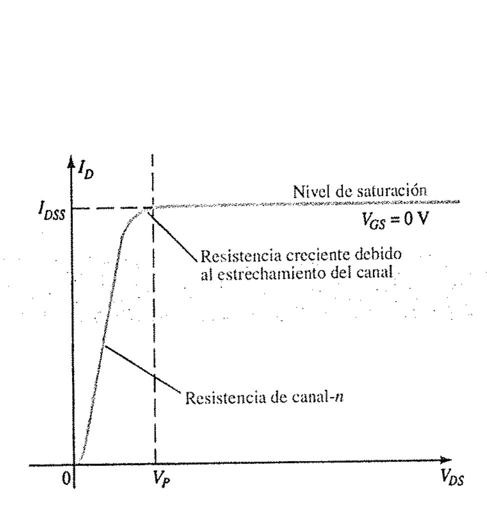


Figura 5.6 I_D en función de V_{DS} cuando V_{GS} = 0 V.

Figura 5.7 Estrechamiento (V_{GS} = 0 V, $V_{DS} = V_P$).

A medida que V_{DS} se incrementa más allá de V_P, la región del estrecho encuentro entre las dos regiones de agotamiento incrementará su longitud a lo largo del canal, pero el nivel de I_D permanecerá esencialmente constante. Por tanto y en esencia, una vez que $V_{DS} > V_P$, el JFET tendrá las características de una fuente de corriente. Como se muestra en la figura 5.8, la corriente se encuentra fija en $I_D = I_{DSS}$, pero el voltaje V_{DS} (para niveles $> V_P$) estará determinado por la carga aplicada.

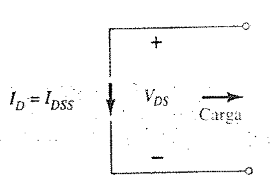


Figura 5.8 Equivalente de fuente de corriente cuando V_{GS} = 0 V y $V_{DS} > V_P$.

La elección para la notación I_{DSS} se deriva del hecho de que es la corriente del drenaje-a-la-fuente (por el término en inglés *Source*) con una conexión de "corto circuito" de la compuerta a la fuente. A medida que avancemos con la presentación de las características del dispositivo veremos que:

I_{DSS} es la corriente de drenaje máxima de un JFET y está definida mediante las condiciones: V_{GS} = 0 V y $V_{DS} > |V_P|$.

Observe en la figura 5.6 que V_{GS} = 0 V para toda la extensión de la curva. Los siguientes párrafos describirán la manera en que las características de la figura 5.6 son afectadas por cambios en el nivel de V_{GS}.

$V_{GS} < 0$ V

El voltaje de la compuerta a la fuente denotado por V_{GS}, es el voltaje de control del JFET. De la misma forma en que se establecieron distintas curvas de I_C en función de V_{CE} ante niveles diferentes de I_B para el caso del transistor BJT, es posible desarrollar curvas de I_D en función de V_{DS} ante niveles distintos de V_{GS} para el caso del JFET. Para el dispositivo de canal-n, el voltaje de control V_{GS} se hace más y más negativo a partir de su nivel V_{GS} = 0 V. En otras palabras, la terminal de la compuerta se tendrá niveles de potencial cada vez más bajos en comparación con la fuente.

En la figura 5.9, se aplica un voltaje negativo de −1 V entre las terminales de la compuerta y la fuente para un nivel bajo de V_{DS}. El efecto de la polarización negativa V_{GS} aplicada, es el de establecer regiones de agotamiento similares a las obtenidas cuando V_{GS} = 0 V, pero a menores niveles de V_{DS}. Por tanto, el resultado de aplicar una polarización negativa a la compuerta, es alcanzar un nivel de saturación a un nivel menor de V_{DS} como se muestra en la figura 5.10 cuando V_{GS} = −1 V. El nivel de saturación resultante para I_D ha sido reducido y de hecho, continuará reduciéndose a medida que V_{GS} se hace más y más negativo. Observe también en la figura 5.10 la forma en que el voltaje de estrechamiento continúa cayendo de un modo parabólico conforme V_{GS} se va haciendo cada vez más negativo. Eventualmente, cuando $V_{GS} = -V_P$, V_{GS} será lo suficientemente negativo como para establecer un nivel de saturación que será, en esencia, de 0 mA y para todo propósito práctico el dispositivo se ha "apagado". En resumen:

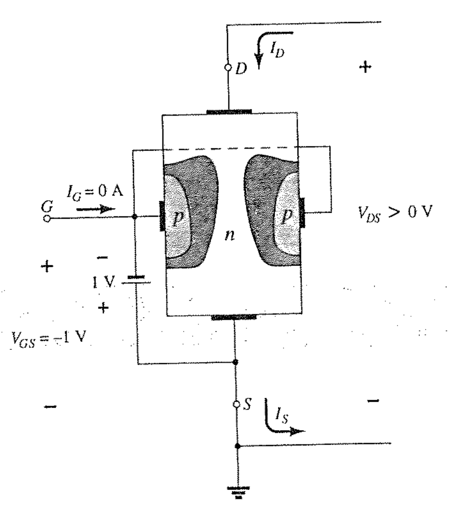


Figura 5.9 Aplicación de un voltaje negativo a la compuerta de un JFET.

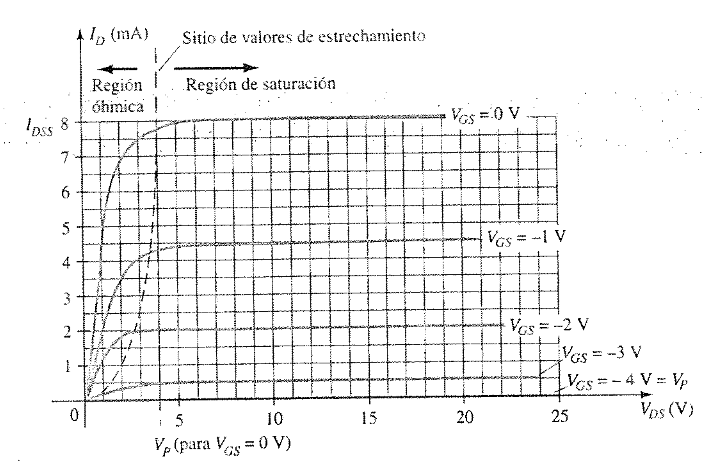


Figura 5.10 Características de un JFET de canal-*n* con I_{DSS} = 8 mA y V_P = −4 V.

El nivel de V_{GS} que resulta cuando I_D = 0 mA se encuentra definido por $V_{GS} = V_P$, siendo V_P un voltaje negativo para los dispositivos de canal-n y un voltaje positivo para los JFETs de canal-p.

En la mayoría de las hojas de especificaciones, el voltaje de estrechamiento se encuentra especificado como $V_{GS(\text{apagado})}$ en lugar de V_P. Más adelante, en este capítulo se revisará una hoja de especificaciones una vez que se hayan presentado los elementos principales. La región a la derecha del sitio de estrechamiento en la figura 5.10, es la región empleada normalmente en los amplificadores lineales (amplificadores con mínima distorsión de la señal aplicada), y se le denomina como región de *corriente constante, de saturación* o *región de amplificación lineal.*

Resistor controlado por voltaje

La región a la izquierda del sitio de estrechamiento en la figura 5.10 es conocida como la *región óhmica* o de *resistencia controlada por voltaje*. En esta región el JFET puede ser utilizado en realidad como un resistor variable (posiblemente para un sistema de control con ganancia automática) cuya resistencia sea controlada por medio del voltaje de la compuerta a la fuente. Obsérvese en la figura 5.10 que la pendiente de cada curva, y por lo tanto la resistencia del dispositivo entre el drenaje y la fuente, cuando $V_{DS} < V_P$, es una función del voltaje aplicado V_{GS}. A medida que V_{GS} se hace más y más negativo, la pendiente de cada curva se hace más y más horizontal, correspondiendo con un nivel creciente de resistencia. La siguiente ecuación ofrecerá una buena primera aproximación al nivel de resistencia en términos del voltaje aplicado V_{GS}.

$$r_d = \frac{r_o}{(1 - V_{GS}/V_P)^2} \tag{5.1}$$

donde r_o es la resistencia cuando V_{GS} = 0 V y r_d es la resistencia en un nivel particular de V_{GS}.

Para un JFET de canal-*n* con r_o igual a 10 kΩ (V_{GS} = 0 V, V_P = −6 V), la ecuación 5.1 dará por resultado 40 kΩ en V_{GS} = −3 V.

Dispositivos de canal-*p*

El JFET de canal-*p* está construido exactamente de la misma forma que el dispositivo de canal-*n* de la figura 5.2 pero invirtiendo los materiales tipo *p* y tipo *n*, como se muestra en la figura 5.11. Las direcciones de corriente definidas están invertidas de la misma forma que las polaridades reales de los voltajes V_{GS} y V_{DS}. Para el dispositivo de canal-*p*, el canal se estrechará mediante voltajes positivos crecientes de la compuerta a la fuente, y la notación de doble subíndice para V_{DS} resultará en voltajes negativos de V_{DS} sobre las características de la figura 5.12, las cuales tienen una I_{DSS} de 6 mA y un voltaje de estrechamiento de V_{GS} = +6 V. No confundirse por los signos negativos de V_{DS}, éstos simplemente indican que la fuente se encuentra a un potencial mayor que el drenaje.

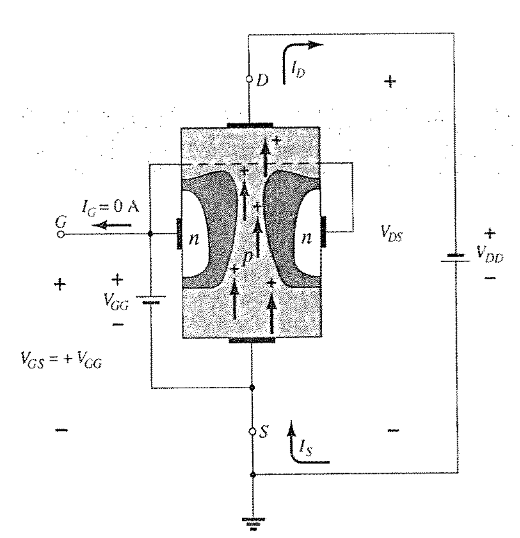


Figura 5.11 JFET de canal-*p*.

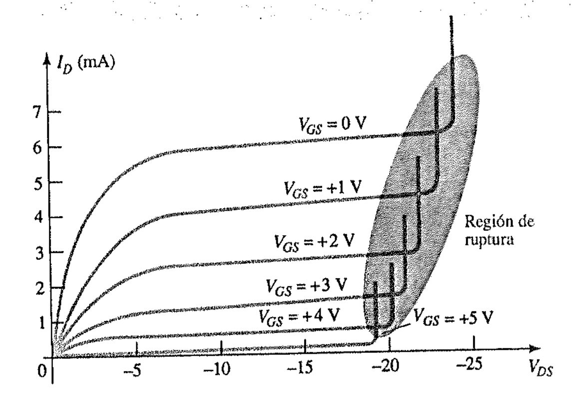


Figura 5.12 Características del JFET de canal-*p* con I_{DSS} = 6 mA y V_P = +6 V.

Observe en los niveles altos de V_{DS} que las curvas suben repentinamente a niveles que parecen ilimitados. El crecimiento vertical es una indicación de que ha sucedido una ruptura y que la corriente a través del canal (en la misma dirección en que normalmente se encuentra) ahora está limitada únicamente por el circuito externo. Aunque no aparece en la figura 5.10 para el dispositivo de canal-*n*, también sucede para el canal-*n* cuando se aplica suficiente voltaje. Esta región puede ser evitada si se conoce el nivel $V_{DS\text{máx}}$ de las hojas de especificaciones y el diseño fuera tal, que el nivel real de V_{DS} fuera menor que este valor máximo para *todos* los valores de V_{GS}.

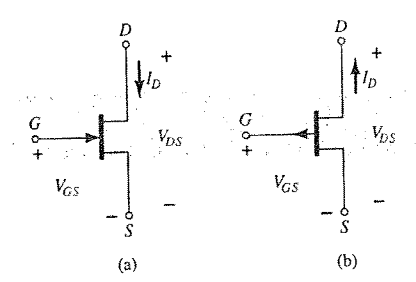


Figura 5.13 Símbolos del JFET: (a) canal-*n*. (b) canal-*p*.

Símbolos

Los símbolos gráficos para los JFETs de canal-*n* y de canal-*p* se proporcionan en la figura 5.13. Observe que la flecha se encuentra apuntando hacia adentro para el caso del dispositivo de canal-*n* de la figura 5.13a, con objeto de representar la dirección en la cual fluiría I_G si la unión *p-n* estuviera polarizada de forma directa. La única diferencia en el símbolo es la dirección de la flecha para el caso del dispositivo de canal-*p* (figura 5.13b).

Resumen

En esta sección se presentó una cantidad importante de parámetros y relaciones. Algunos, cuya referencia será frecuente en el análisis de este capítulo así como en el siguiente para los JFETs de canal-*n*, se describen a continuación:

La corriente máxima se encuentra definida como I_{DSS} y ocurre cuando $V_{GS} = 0$ V y $V_{DS} \geq |V_P|$ como se muestra en la figura 5.14a.

Para los voltajes de la compuerta a la fuente V_{GS} menores que (más negativos que) el nivel de estrechamiento, la corriente de drenaje es igual a 0 A ($I_D = 0$ A), como aparece en la figura 5.14b.

Para todos los niveles de V_{GS} entre 0 V y el nivel de estrechamiento, la corriente I_D se encontrará en el rango entre I_{DSS} y 0 A, respectivamente, como se encuentra en la figura 5.14c.

Es posible desarrollar una lista similar para los JFETs de canal-p.

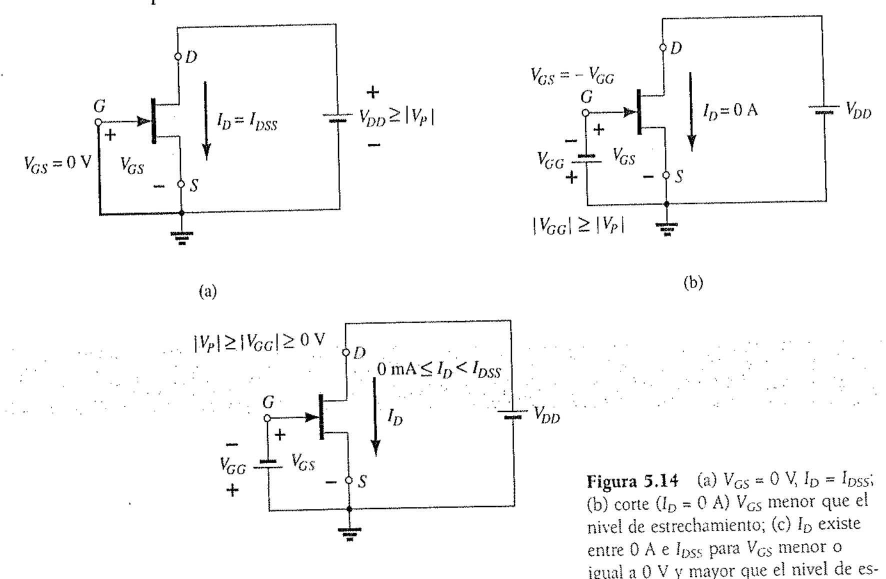


Figura 5.14 (a) $V_{GS} = 0$ V, $I_D = I_{DSS}$; (b) corte ($I_D = 0$ A) V_{GS} menor que el nivel de estrechamiento; (c) I_D existe entre 0 A e I_{DSS} para V_{GS} menor o igual a 0 V y mayor que el nivel de estrechamiento.

5.3 CARACTERÍSTICAS DE TRANSFERENCIA

Derivación

Para el transistor BJT la corriente de salida I_C y la corriente de control de entrada I_B se relacionaban entre sí utilizando beta, considerada como constante para el análisis que fue desarrollado. En forma de ecuación,

$$I_C = f(I_B) = \underset{\text{Constante}}{\beta} \overset{\text{Variable de control}}{I_B} \qquad (5.2)$$

En la ecuación 5.2 existe una relación lineal entre I_C e I_B. Si se duplica el nivel de I_B, I_C se incrementará también por un factor de 2.

Desafortunadamente, esta relación lineal no existe entre las cantidades de salida y de entrada de un JFET. La relación entre I_D y V_{GS} se encuentra definida por la *ecuación de Shockley:*

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 \qquad (5.3)$$

(Variable de control: V_{GS}; Constantes: I_{DSS}, V_P)

William Bradford Shockley (1910-1989), coinventor del primer transistor y responsable de la teoría de "efecto de campo" utilizada en el desarrollo del transistor y del FET. (Cortesía de los archivos de AT&T.)

Lugar de nacimiento: Londres, Inglaterra; PhD Harvard 1936, Responsable del Departamento de Física de Transistores de los Laboratorios Bell; Presidente de Shockley Transistor Corp.; Profesor de Ciencia del área de Ingeniería de la Universidad de Stanford; Premio Nobel de Física en 1956 junto con los doctores Brattain y Bardeen.

El término cuadrático de la ecuación dará por resultado una relación no lineal entre I_D y V_{GS}, con lo que se genera una curva que crece exponencialmente con magnitudes decrecientes de V_{GS}.

Para el análisis en dc que se desarrollará en el capítulo 6, un método gráfico más que matemático será en general, más directo y fácil de aplicar. Sin embargo, el método gráfico requerirá de una gráfica de la ecuación 5.3 que represente al dispositivo, y de una gráfica de la ecuación de red que relacione a las mismas variables. La solución estará definida por el punto de intersección de las dos curvas. Es importante considerar al aplicar el enfoque gráfico que las características del dispositivo *no serán afectadas* por la red en la cual se utilice el dispositivo. La ecuación de la red puede cambiar junto con la intersección de las dos curvas, pero la curva de transferencia definida por la ecuación 5.3 permanece sin afectarse. En general, por tanto:

Las características de transferencia definidas por la ecuación de Shockley no resultan afectadas por la red en la cual se emplea el dispositivo.

La curva de transferencia se puede obtener utilizando la ecuación de Shockley o a partir de las características de salida de la figura 5.10. En la figura 5.15 se proporcionan dos gráfi-

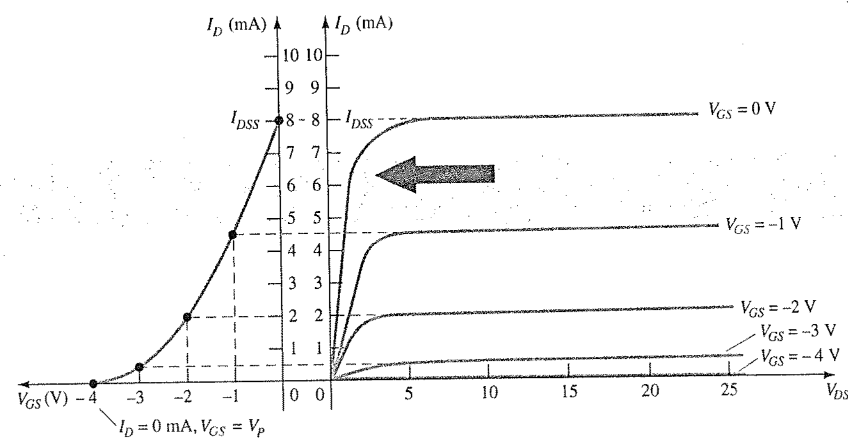


Figura 5.15 Obtención de la curva de transferencia para las características de drenaje.

cas con su escala vertical en miliamperes para cada una. Una de ellas es una gráfica de I_D en función de V_{DS}, mientras que la otra es de I_D en función de V_{GS}. Al utilizar las características de drenaje a la derecha del eje "y" es posible dibujar una línea horizontal desde la región de saturación de la curva denotada $V_{GS} = 0$ V hacia el eje I_D. El nivel resultante de corriente para ambas gráficas es I_{DSS}. El punto de intersección sobre la curva de I_D en función de V_{GS} será el que se mostró antes, ya que el eje vertical está definido como $V_{GS} = 0$ V.

En resumen:

Cuando $V_{GS} = 0$ *V,* $I_D = I_{DSS}$.

Cuando $V_{GS} = V_P = -4$ V, la corriente de drenaje es de cero miliamperes, con lo que se define otro punto sobre la curva de transferencia. Esto es:

Cuando $V_{GS} = V_P$, $I_D = 0$ *mA.*

Antes de continuar, es importante notar que las características de drenaje relacionan una cantidad de salida (o drenaje) con otra cantidad de salida (o drenaje); ambos ejes están definidos por variables en la misma región de las características del dispositivo. Las características de transferencia son una gráfica de una corriente de salida (o drenaje) en función de una cantidad de control de entrada. Por tanto, existe una "transferencia" directa de las variables de entrada a las de salida, cuando se utiliza la curva que se encuentra a la izquierda de la figura 5.15. Si la relación fuera lineal, la gráfica de I_D en función de V_{GS} ocasionaría una línea recta entre I_{DSS} y V_P. Sin embargo, se originará una curva parabólica ya que el cambio vertical entre los valores de V_{GS} sobre las características de la figura 5.15, disminuye considerablemente a medida que V_{GS} se hace más y más negativo. Compare el espaciamiento entre $V_{GS} = 0$ V y $V_{GS} = -1$ V con el existente entre $V_{GS} = -3$ V y el estrechamiento. El cambio de V_{GS} es el mismo, pero el cambio resultante en I_D es muy distinto.

Si se dibuja una línea horizontal desde la curva donde $V_{GS} = -1$ V hacia el eje I_D y luego se extiende hacia el otro eje, se podrá localizar otro punto sobre la curva de transferencia. Observe que $V_{GS} = -1$ V sobre el eje inferior de la curva de transferencia con $I_D = 4.5$ mA. Note que en la definición de I_D cuando $V_{GS} = 0$ V y -1 V se utilizan los niveles de saturación de I_D y la región óhmica es ignorada. Siguiendo con $V_{GS} = -2$ V y -3 V se puede completar la curva de transferencia. Es precisamente la curva de I_D en función de V_{GS} la que recibirá un uso amplio en el análisis del capítulo 6, y no precisamente las características de drenaje de la figura 5.15. Los siguientes párrafos presentan un método rápido y eficiente para graficar I_D en función de V_{GS}, empleando únicamente los niveles de I_{DSS} y V_P y la ecuación de Shockley.

Aplicación de la ecuación de Shockley

La curva de transferencia de la figura 5.15 también puede obtenerse directamente a partir de la ecuación de Shockley (5.3), simplemente dando los valores de I_{DSS} y V_P. Estos niveles definen los límites de la curva sobre ambos ejes y sólo dejan la necesidad de encontrar unos cuantos puntos intermedios. La validez de la ecuación 5.3 como una fuente de la curva de transferencia de la figura 5.15 se demuestra mejor al examinar unos cuantos niveles específicos de una variable y al encontrar el nivel resultante de la otra de la siguiente forma:

Sustituyendo $V_{GS} = 0$ V tenemos

$$\text{Ecuación (5.3):} \quad I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$$

$$= I_{DSS}\left(1 - \frac{0}{V_P}\right)^2 = I_{DSS}(1-0)^2$$

e

$$\boxed{I_D = I_{DSS}\,|_{V_{GS}=0\,\text{V}}} \qquad (5.4)$$

Al sustituir $V_{GS} = V_P$ tenemos

$$I_D = I_{DSS}\left(1 - \frac{V_P}{V_P}\right)^2$$

$$= I_{DSS}(1-1)^2 = I_{DSS}(0)$$

$$\boxed{I_D = 0\,\text{A}|_{V_{GS}=V_P}} \qquad (5.5)$$

Para las características de drenaje de la figura 5.15, si sustituimos $V_{GS} = -1$ V,

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$$

$$= 8\text{ mA}\left(1 - \frac{-1\text{ V}}{-4\text{ V}}\right)^2 = 8\text{ mA}\left(1 - \frac{1}{4}\right)^2 = 8\text{ mA}(0.75)^2$$

$$= 8\text{ mA}(0.5625)$$

$$= \mathbf{4.5\ mA}$$

como se muestra en la figura 5.15. Observe el cuidado que se requiere tomar con los signos negativos de V_{GS} y V_P en los cálculos anteriores. La pérdida de un signo daría un resultado completamente erróneo.

A partir de lo anterior, debe resultar obvio que dados I_{DSS} y V_P (como normalmente se proporcionan en las hojas de especificaciones) es posible encontrar el nivel de I_D para cualquier nivel de V_{GS}. De forma inversa, al utilizar álgebra básica es posible obtener (a partir de la ecuación 5.3) una ecuación para el nivel resultante de V_{GS} para un nivel dado de I_D. La derivación es bastante directa y dará como resultado

$$\boxed{V_{GS} = V_P\left(1 - \sqrt{\frac{I_D}{I_{DSS}}}\right)} \qquad (5.6)$$

Ahora verifiquemos la ecuación 5.6 localizando el nivel de V_{GS} que ocasionará una corriente de drenaje de 4.5 mA para el dispositivo con las características de la figura 5.15.

$$V_{GS} = -4\text{ V}\left(1 - \sqrt{\frac{4.5\text{ mA}}{8\text{ mA}}}\right)$$

$$= -4\text{ V}(1 - \sqrt{0.5625}) = -4\text{ V}(1 - 0.75)$$

$$= -4\text{ V}(0.25)$$

$$= \mathbf{-1\ V}$$

como se sustituyó en el cálculo anterior y se verificó con la figura 5.15.

Método abreviado

Debido a que la curva de transferencia debe graficarse con mucha frecuencia, podría resultar muy ventajoso contar con un método abreviado para graficar la curva de la manera más rápida y eficiente mientras se mantenga un grado aceptable de precisión. El formato de la ecuación 5.3 es tal, que los niveles específicos de V_{GS} generarán niveles de I_D que pueden ser memorizados para proporcionar los puntos necesarios para trazar la curva de transferencia. Si se especifica que V_{GS} sea la mitad del valor de estrechamiento V_P, el nivel resultante de I_D será el siguiente, de acuerdo con la ecuación de Shockley:

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$$

$$= I_{DSS}\left(\frac{1 - V_P/2}{V_P}\right)^2 = I_{DSS}\left(1 - \frac{1}{2}\right)^2 = I_{DSS}(0.5)^2$$

$$= I_{DSS}(0.25)$$

e

$$I_D = \frac{I_{DSS}}{4}\bigg|_{V_{GS}=V_P/2} \tag{5.7}$$

Ahora es importante estar consciente de que la ecuación 5.7 no es para un nivel particular de V_P, sino que se trata de una ecuación general para cualquier nivel de V_P siempre y cuando $V_{GS} = V_P/2$. El resultado especifica que la corriente de drenaje siempre será de una cuarta parte del valor de saturación I_{DSS}, siempre que el voltaje compuerta-fuente sea de la mitad del valor de estrechamiento. Obsérvese el nivel de I_D para $V_{GS} = V_P/2 = -4\ \text{V}/2 = -2$ V en la figura 5.15.

Si se elige $I_D = I_{DSS}/2$ y se sustituye en la ecuación 5-6 se encuentra que

$$V_{GS} = V_P\left(1 - \sqrt{\frac{I_D}{I_{DSS}}}\right)$$

$$= V_P\left(1 - \sqrt{\frac{I_{DSS}/2}{I_{DSS}}}\right) = V_P(1 - \sqrt{0.5}) = V_P(0.293)$$

y

$$V_{GS} \cong 0.3V_P\big|_{I_D=I_{DSS}/2} \tag{5.8}$$

Pueden determinarse puntos adicionales, pero la curva de transferencia puede trazarse con un nivel satisfactorio de precisión al utilizar simplemente los cuatro puntos definidos arriba y revisados en la tabla 5.1. De hecho, en el análisis del capítulo 6 se utilizan un máximo de cuatro puntos para trazar las curvas de transferencia. Para la mayoría de las ocasiones utilizando sólo el punto de la gráfica definido por $V_{GS} = V_P/2$ y las intersecciones de los ejes en I_{DSS} y V_P, se obtendrá una curva lo suficientemente precisa para la mayoría de los cálculos.

TABLA 5.1 **V_{GS} en función de I_D mediante la ecuación de Shockley**

V_{GS}	I_D
0	I_{DSS}
0.3 V_P	$I_{DSS}/2$
0.5 V_P	$I_{DSS}/4$
V_P	0 *mA*

EJEMPLO 5.1

Trazar la curva de transferencia definida por I_{DSS} = 12 mA y V_P = –6 V.

Solución

Dos puntos de la gráfica están definidos por

$$I_{DSS} = \mathbf{12\ mA} \quad \text{y} \quad V_{GS} = \mathbf{0\ V}$$

e

$$I_D = \mathbf{0\ mA} \quad \text{y} \quad V_{GS} = V_P$$

En $V_{GS} = V_P/2 = -6\ \text{V}/2 =$ **–3V** la corriente de drenaje estará determinada por $I_D = I_{DSS}/4$ = 12 mA/4 = **3 mA.** En $I_D = I_{DSS}/2$ = 12 mA/2 = **6 mA** el voltaje de la compuerta a la fuente se encuentra determinado por $V_{GS} \cong 0.3V_P = 0.3(-6\ \text{V}) =$ **–1.8 V.** Los cuatro puntos están bien definidos sobre la figura 5.16 junto con la curva de transferencia completa.

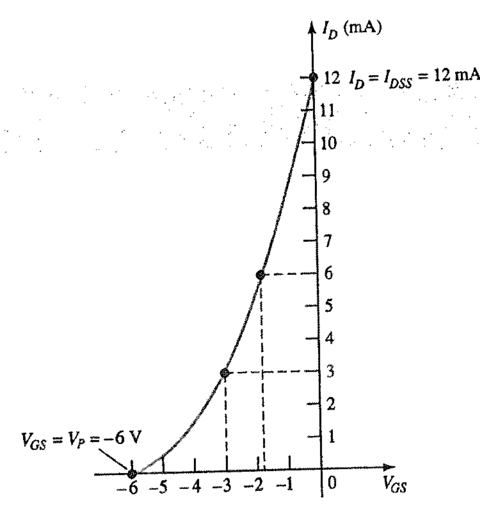


Figura 5.16 Curva de transferencia para el ejemplo 5.1.

Para los dispositivos de canal-*p*, es posible aplicar la ecuación 5.3 de Shockley exactamente como aparece. En este caso, tanto V_P como V_{GS} serán positivos, y la curva tendrá la imagen en espejo de la curva de transferencia que se obtuvo para un dispositivo de canal-*n* y con los mismos valores límites.

EJEMPLO 5.2

Trazar la curva de transferencia para un dispositivo de canal-*p* con I_{DSS} = 4 mA y V_P = 3 V.

Solución

En $V_{GS} = V_P/2 = 3\ \text{V}/2 =$ **1.5 V,** $I_D = I_{DSS}/4$ = 4 mA/4 = **1 mA.** En $I_D = I_{DSS}/2$ = 4 mA/2 = **2 mA,** $V_{GS} = 0.3V_P = 0.3(3\ \text{V}) =$ **0.9 V.** Ambos puntos de la gráfica aparecen en la figura 5.17 junto con los puntos definidos para I_{DSS} y V_P.

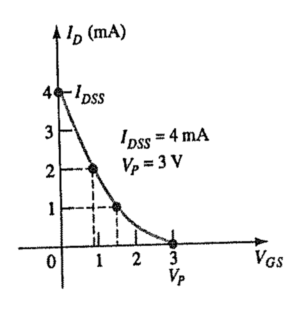


Figura 5.17 Curva de transferencia para el dispositivo de canal-*p* del ejemplo 5.2.

Mathcad

Ahora se graficará la ecuación de Shockley con Mathcad utilizando la función **X-Y plot operator**, la cual puede elegirse seleccionando **Graph = X-Y Plot** debajo de la opción **Insert** de la barra del menú. Presione la **tecla** @ o simplemente seleccione el botón **X-Y Plot** de la paleta de gráficas (**Graph Palette**).

Una vez que la gráfica ha sido seleccionada, Mathcad creará un gráfica con seis marcadores de posición, tres sobre cada eje como lo muestra la figura 5.18. Para graficar la ecuación de Shockley, seleccione primero el marcador de posición del medio del eje horizontal, y capture la variable horizontal **VGS.** Luego establezca un rango para **VGS,** tecleando primero

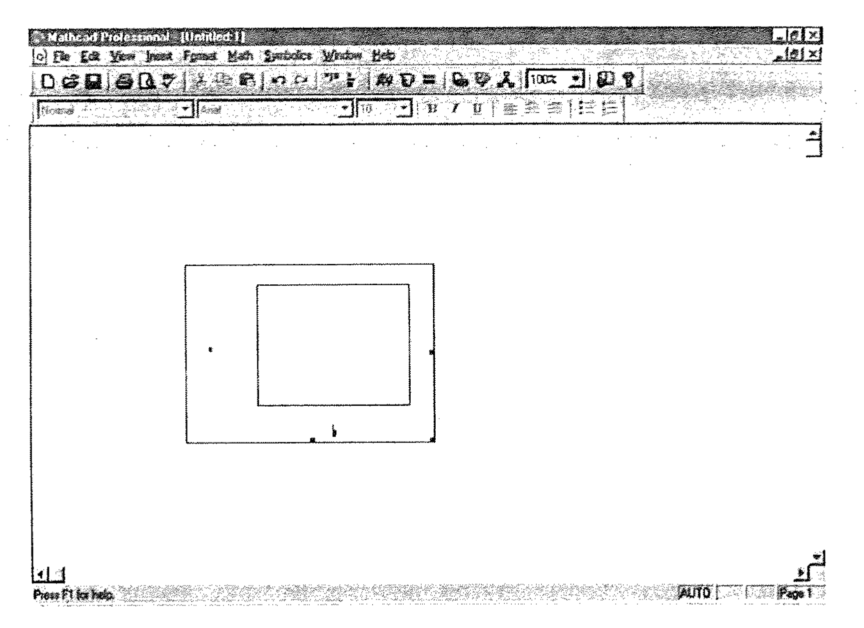


Figura 5.18 Gráfica resultante al iniciar la vía gráfica utilizando Mathcad.

VGS seguido por el signo de dos puntos y el rango de valores; éste se captura ingresando primero **0** (para representar **VGS = 0 V**) seguido por una coma y el siguiente valor a ser sustituido en la ecuación de **ID.** Este rango también define el intervalo entre los puntos de los datos de la gráfica. Si se omitiese el **–0.1,** Mathcad habría empleado –1 como el intervalo, y la gráfica hubiera aparecido con segmentos de recta entre los punto de datos en lugar de la curva suavizada asociada normalmente con la ecuación de Shockley. Para este ejemplo, el intervalo seleccionado es de **–0.1 V;** observe con cuidado el signo negativo ya que **VGS** cada vez se vuelve más negativo. Luego se utiliza el símbolo de punto y coma (**;**) para indicarle al programa que se está definiendo un rango. Sin embargo, la respuesta del programa son dos puntos seguidos, como se muestra en la figura 5.19, seguidos por el último valor del rango, el valor de estrechamiento de **–4 V.**

$IDSS := 10 \cdot 10^{-3}$

$VP := -4$

$$ID(VGS) := IDSS \cdot \left(1 - \frac{VGS}{VP}\right)^2$$

$VGS := 0, -0.1 .. -4$ Rango de voltaje, VGS

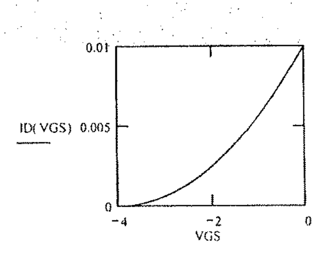


Figura 5.19 Gráfica de la ecuación de Shockley utilizando Mathcad.

Para definir la variable que se graficará, se selecciona el marcador de posición a la mitad del eje vertical, y se teclea **ID(VGS)**. El rango también se define como en la figura 5.19. Haga clic en cualquier lugar fuera del área gráfica y aparecerá la gráfica de la figura 5.19.

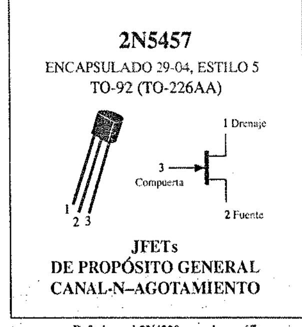
Debido a que la ecuación de Shockley se grafica con frecuencia en el análisis de dc de las redes de JFET, será útil contar con un método tan rápido para obtenerla. Solamente modifique los valores de **IDSS** y/o **VP,** y la gráfica nueva se presentará con un solo clic del ratón.

5.4 HOJAS DE ESPECIFICACIONES (JFETs)

Aunque el contenido general de las hojas de especificaciones puede variar desde el mínimo necesario hasta una presentación amplia de gráficas y tablas, existen unos cuantos parámetros fundamentales que se proporcionan por todos los fabricantes. Algunos de los más importantes se analizan en los siguientes párrafos. La hoja de especificaciones para el JFET de canal-*n* 2N5457 fabricado por Motorola se ofrece en la figura 5.20.

2N5457

ENCAPSULADO 29-04, ESTILO 5
TO-92 (TO-226AA)



JFETs
DE PROPÓSITO GENERAL
CANAL-N–AGOTAMIENTO

Referirse al 2N4220 para las gráficas.

VALORES NOMINALES MÁXIMOS

Valor Nominal	Símbolo	Valor	Unidad
Voltaje Drenaje-Fuente	V_{DS}	25	Vdc
Voltaje Drenaje-Compuerta	V_{DG}	25	Vdc
Voltaje inverso Compuerta-Fuente	V_{GSR}	–25	Vdc
Corriente de Compuerta	I_G	10	mAdc
Disipación Total del Dispositivo @ TA =25°C Pérdida de disipación por encima de 25°C	P_D	310 2.82	mW mW/°C
Rango de Temperatura de la Unión	T_J	125	°C
Rango de Temperatura de almacenamiento del Canal	T_{stg}	–65 a +150	°C

CARACTERÍSTICAS ELÉCTRICAS (T_A = 25°C a menos que se especifique lo contrario)

Característica		Símbolo	Mínimo	Típico	Máximo	Unidad
CARACTERÍSTICAS DE APAGADO						
Voltaje de Ruptura Compuerta-Fuente (I_G = –10 μAdc, V_{DS} = 0)		$V_{(BR)GSS}$	–25	–	–	Vdc
Corriente Inversa de la Compuerta (V_{GS} = –15 Vdc, V_{DS} = 0) (V_{GS} = –15 Vdc, V_{DS} = 0, T_A = 100°C)		I_{GSS}	– –	– –	–1.0 –200	nAdc
Voltaje de Corte Compuerta Fuente (V_{DS} = 15 Vdc, I_D = 10 nAdc)	2N5457	$V_{GS(apagado)}$	–0.5	–	–6.0	Vdc
Voltaje Compuerta Fuente (V_{DS} = 15 Vdc, I_D = 100 μAdc)	2N5457	V_{GS}	–	–2.5	–	Vdc
CARACTERÍSTICAS DE ENCENDIDO						
Corriente de Drenaje con Voltaje Cero en la Compuerta* (V_{DS} = 15 Vdc, V_{GS} = 0)	2N5457	I_{DSS}	1.0	3.0	5.0	mAdc
CARACTERÍSTICAS DE PEQUEÑA SEÑAL						
Admitancia de Transferencia Directa para Fuente Común* (V_{DS} = 15 Vdc, V_{GS} = 0, f = 1.0 kHz)	2N5457	$\lvert y_{fs} \rvert$	1000	–	5000	μmhos
Admitancia de Salida de Fuente Común* (V_{DS} = 15 Vdc, V_{GS} = 0, f = 1.0 kHz)		$\lvert y_{os} \rvert$	–	10	50	μmhos
Capacitancia de Entrada (V_{DS} = 15 Vdc, V_{GS} = 0, f = 1.0 MHz)		C_{iss}	–	4.5	7.0	pF
Capacitancia de Transferencia Inversa (V_{DS} = 15 Vdc, V_{GS} = 0, f = 1.0 MHz)		C_{rss}	–	1.5	3.0	pF

*Pulso de Prueba: Ancho del Pulso ≤ 630 ms; Ciclo de Trabajo ≤ 10%

Figura 5.20 JFET 2N5457 de canal-*n* de Motorola.

Valores nominales máximos

Por lo general, la lista de valores nominales máximos aparece al principio de la hoja de especificaciones, con los voltajes máximos entre terminales específicas, los niveles máximos de las corrientes y el nivel máximo de disipación de potencia del dispositivo. Los niveles máximos especificados para V_{DS} y V_{DG} no deben excederse en ningún momento del diseño de la operación del dispositivo. La fuente aplicada V_{DD} puede exceder estos niveles, sin embargo, el nivel real de voltaje entre estas terminales nunca debe exceder el nivel especificado. Todo buen diseño evitará estos valores mediante un buen margen de seguridad. El término *inverso* en V_{GSR} define el voltaje máximo con la fuente positiva con respecto a la compuerta (como si estuviera polarizada normalmente para un dispositivo de canal-*n*) antes de que ocurra la ruptura. En algunas hojas de especificaciones se refiere como BV_{DSS}, el voltaje de ruptura con el drenaje y la fuente en corto circuito (V_{DS} = 0 V). Aunque normalmente está diseñado para operar con I_G = 0 mA, pero si es necesaria una corriente de la compuerta podría soportar 10 mA antes de que suceda cualquier daño. La disipación total del dispositivo a 25° C (temperatura ambiente) es la potencia máxima que el dispositivo puede disipar bajo condiciones normales de operación y está definida por

$$\boxed{P_D = V_{DS}I_D} \qquad (5.9)$$

Nótese la similitud en formato con la ecuación de disipación máxima de potencia para el transistor BJT.

El factor de pérdida de disipación se analiza con detalle en el capítulo 3, pero por el momento identifiquemos que el valor de 2.82 mW/°C revela que el valor de disipación *decrece* en 2.82 mW por cada *incremento* en la temperatura de 1°C por encima de 25°C.

Características eléctricas

Las características eléctricas incluyen el nivel de V_P en las CARACTERÍSTICAS DE APAGADO y de I_{DSS} en las CARACTERÍSTICAS DE ENCENDIDO. En este caso $V_P = V_{GS\,(\text{apagado})}$ tiene un rango entre −0.5 a −6.0 V e I_{DSS} entre 1 y 5 mA. El hecho de que ambos tengan una variación entre dispositivos con la misma identificación, debe considerarse en el proceso de diseño. Las otras cantidades están definidas bajo las condiciones que aparecen entre paréntesis. Las características de pequeña señal se discuten en el capítulo 9.

Construcción del encapsulado e identificación de terminales

Este JFET en particular tiene la misma apariencia que proporciona la hoja de especificaciones de la figura 5.20. También se proporciona la identificación de las terminales directamente debajo de la figura. Los JFETs, además, se encuentran disponibles en encapsulado de "sombrero de copa", como se señala en la figura 5.21 junto con su identificación de terminales.

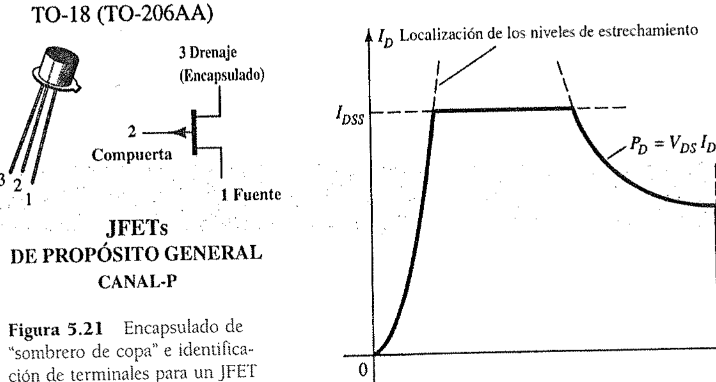


Figura 5.21 Encapsulado de "sombrero de copa" e identificación de terminales para un JFET de canal-*p*.

Figura 5.22 Región normal de operación para diseño de amplificación lineal.

Región de operación

La hoja de especificaciones y la curva definida por los niveles de estrechamiento para cada nivel de V_{GS}, definen la región de operación para la amplificación lineal sobre las características de drenaje como se muestra en la figura 5.22. La región óhmica define los valores mínimos permisibles de V_{DS} para cada nivel de V_{GS}, y $V_{DS\text{máx}}$ especifica el valor máximo para este parámetro. La corriente de saturación I_{DSS} es la corriente máxima de drenaje, y el nivel máximo de disipación de potencia define la curva dibujada de la misma manera que la descrita para los transistores BJT. La región sombreada resultante es la región de operación normal para el diseño de amplificadores.

5.5 INSTRUMENTACIÓN

Recuerde del capítulo 3, que existen instrumentos portátiles disponibles para medir el nivel de β_{dc} para el transistor BJT. Una instrumentación similar no está disponible para el caso de medir los niveles de I_{DSS} y V_P. Sin embargo, el trazador de curvas presentado para el transistor BJT puede mostrar también las características del drenaje del transistor JFET a través del ajuste adecuado de los distintos controles. La escala vertical (en miliamperes) y la escala horizontal (en volts) se han ajustado para desplegar las características completas, como se muestra en la figura 5.23. Para el JFET de la figura 5.23, cada división vertical (en centímetros) refleja un cambio de 1–mA en I_D, mientras que cada división horizontal tiene un valor de 1 V. El incremento del voltaje es de 500 mV/incremento (0.5 V/incremento), lo que revela que la curva superior se encuentra definida por V_{GS} = 0 V, y que la siguiente curva hacia abajo en −0.5 V para el dispositivo de canal-*n*. Al utilizar el mismo incremento de voltaje la siguiente curva es −1 V, luego, −1.5 V, y finalmente −2 V. Al dibujar una línea a partir de la curva superior sobre el eje I_D, se puede estimar el nivel de I_{DSS} en cerca de 9 mA. El nivel de V_P se puede estimar si se observa el valor de V_{GS} de la curva inferior y si se toma en cuenta la menor distancia entre las curvas a medida que V_{GS} se hace más y más negativo. En este caso, V_P es ciertamente más negativo que −2 V y quizá V_P se encuentre cercano a −2.5 V. Sin embargo, tenga en cuenta que las curvas V_{GS} se contraen muy rápidamente cuando se acercan a la condición de cor-

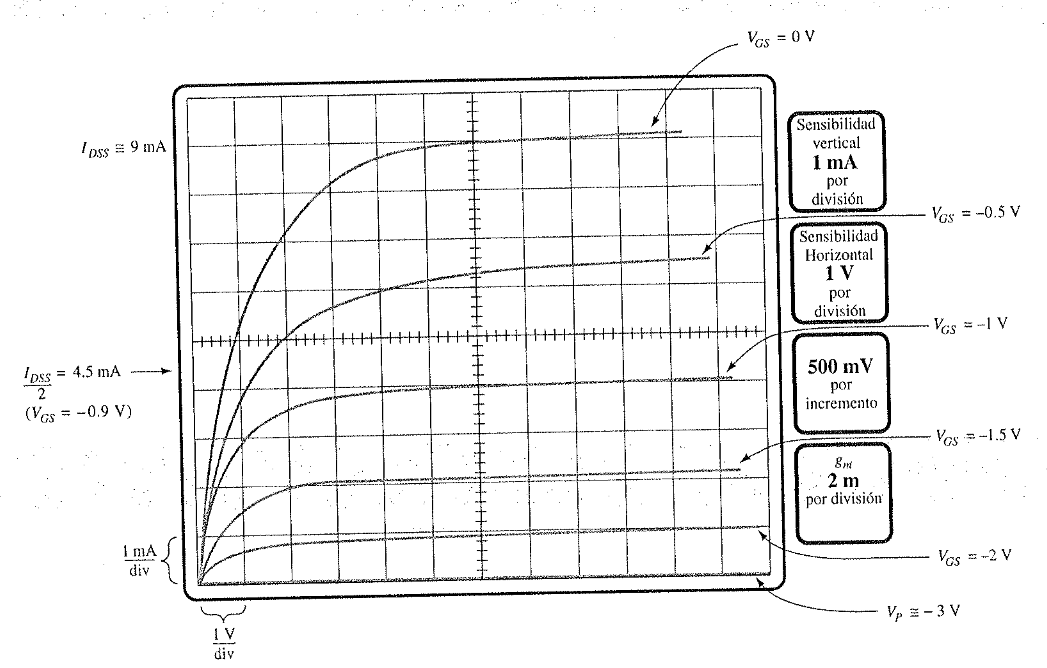


Figura 5.23 Características del drenaje para un transistor JFET 2N4416 según se muestra en un trazador de curvas.

te, por lo que quizá $V_P = -3$ V sea una mejor opción. También es importante notar que el control del incremento se ajusta para una pantalla de cinco incrementos con lo que limita las curvas desplegadas a $V_{GS} = 0, -0.5, -1, -1.5$ y -2 V. Si el control del incrementos se elevara a 10, el voltaje por incremento se podría reducir a 250 mV = 0.25 V, y la curva de $V_{GS} = -2.25$ V se hubiera podido incluir, así como también una curva adicional entre cada incremento de la figura 5.23. La curva $V_{GS} = -2.25$ V hubiera indicado la rapidez con que las curvas se acercan una a la otra para el mismo voltaje de incremento. Por fortuna, es posible estimar el nivel de V_P con un alto grado de exactitud al aplicar simplemente la condición que aparece en la tabla 5.1. Esto es, cuando $I_D = I_{DSS}/2$, entonces $V_{GS} = 0.3V_P$. Para las características de la figura 5.23, $I_D = I_{DSS}/2 = 9\text{ mA}/2 = 4.5$ mA, y como se aprecia en la figura 5.23, el nivel correspondiente de V_{GS} es de aproximadamente -0.9 V. Al emplear esta información vemos que $V_P = V_{GS}/0.3 = -0.9\text{ V}/0.3 = -3$ V, el cual será nuestra selección para este dispositivo. Con este valor encontramos que en $V_{GS} = -2$ V.

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$$

$$= 9\text{ mA}\left(1 - \frac{-2\text{ V}}{-3\text{ V}}\right)^2$$

$$\cong 1\text{ mA}$$

como lo respalda la figura 5.23.

En $V_{GS} = -2.5$ V, la ecuación de Shockley dará por resultado $I_D = 0.25$ mA, con $V_P = -3$ V, lo cual revela con claridad cuán rápido se contraen las curvas cerca de V_P. La importancia del parámetro g_m y la forma en que se determina a partir de las características de la figura 5.23 se describen en el capítulo 8 cuando se examinen las condiciones de ac a pequeña señal.

5.6 RELACIONES IMPORTANTES

En las últimas secciones se presentó una variedad de ecuaciones importantes y de características de operación, particularmente significativas para el análisis siguiente de las configuraciones de dc y de ac. En un esfuerzo por aislar y enfatizar su importancia, se repiten a continuación junto con la ecuación correspondiente para el transistor BJT. Las ecuaciones JFET están definidas para la configuración de la figura 5.24a, mientras que las ecuaciones para el BJT se relacionan en la figura 5.24b.

JFET		BJT
$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$	$\Leftrightarrow$	$I_C = \beta I_B$
$I_D = I_S$	$\Leftrightarrow$	$I_C \cong I_E$
$I_G \cong 0$ A	$\Leftrightarrow$	$V_{BE} \cong 0.7$ V

(5.10)

Figura 5.24 (a) JFET versus (b) BJT.

Entender bien el impacto de cada una de las ecuaciones anteriores es suficiente antecedente para acercarse a las configuraciones de dc más complejas. Recuerde que $V_{BE} = 0.7$ V fue generalmente la clave para inicializar un análisis de una configuración de BJT. De forma similar, la condición $I_G = 0$ A es a menudo el punto de partida para el análisis de una configuración JFET. Para una configuración con BJT, I_B, por lo general, es el primer parámetro que debe determinarse. Para el JFET éste normalmente es V_{GS}. La cantidad de similitudes entre el análisis de las configuraciones de dc para BJT y JFET se podrá apreciar mejor en el capítulo 6.

5.7 MOSFET DE TIPO DECREMENTAL

Como se observó en la introducción del capítulo, existen dos tipos de FETs: los JFETs y los MOSFETs. Los MOSFETs se dividen a su vez en *tipo decremental* y en *tipo incremental.* Los términos *decremental* e *incremental* definen su modo básico de operación, mientras que el nombre MOSFET significa transistor de efecto de campo metal-óxido-semiconductor. Debido a que existen diferencias en las características y en la operación de cada tipo de MOSFET, se revisarán en secciones por separado. En esta sección se examinará el MOSFET de tipo decremental, el cual resulta tener características similares a las de un JFET entre el corte y la saturación para I_{DSS}, pero luego tienen el rasgo adicional de características que se extienden hacia la región de polaridad opuesta para V_{GS}.

Construcción básica

La construcción básica del MOSFET de tipo decremental de canal-*n* se proporciona en la figura 5.25. Un bloque de material tipo *p* está formado a partir de una base de silicio a la que se le conoce como *sustrato,* y es la base sobre la que se construye el dispositivo. En algunos casos el sustrato se encuentra conectado internamente con la terminal de la fuente. Sin embargo, muchos dispositivos discretos ofrecen una terminal adicional etiquetada como *SS*, lo que da por resultado un dispositivo de cuatro terminales, como el que aparece en la figura 5.25. Las terminales de fuente y compuerta están conectadas por medio de contactos metálicos a las regiones dopadas-*n* unidas por un canal-*n* como se muestra en la figura. La compuerta se encuentra también conectada a una superficie de contacto metálico, pero permanece aislada del canal-*n* por medio de una capa muy delgada de dióxido de silicio (SiO_2). El SiO_2 es un tipo particular de aislante conocido como *dieléctrico* que genera campos eléctricos opuestos (como se indica por el prefijo *di*) dentro del dieléctrico cuando éste se expone a un campo aplicado externamente. El hecho de que la capa SiO_2 sea una capa aislante revela el siguiente hecho:

No existe conexión eléctrica directa entre la terminal de la compuerta y el canal de un MOSFET.

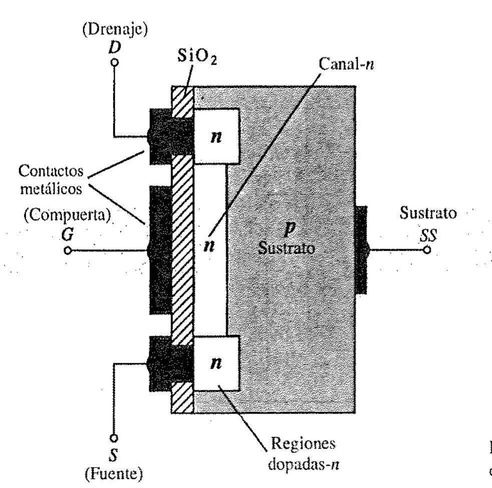


Figura 5.25 MOSFET de tipo decremental de canal-*n*.

Adicionalmente:

Es debido a la capa aislante del SiO_2 en la construcción del MOSFET que se explica la muy deseable alta impedancia de entrada del dispositivo.

De hecho, la resistencia de entrada de un MOSFET es generalmente la de un JFET típico, aun cuando la impedancia de entrada de la mayoría de los JFETs es lo suficientemente alta para la mayoría de las aplicaciones. La impedancia tan alta de entrada continúa apoyando totalmente el hecho de que la corriente de la compuerta (I_G) es esencialmente de cero amperes para las configuraciones de polarización de dc.

El motivo de la etiqueta metal-óxido-semiconductor FET es ahora mucho más obvia: *metal* por las conexiones del drenaje, de la fuente y de la compuerta con las superficies apropiadas (en particular, por la terminal de la compuerta y por el control que ofrecerá el área de la superficie del contacto), *óxido* por la capa aislante de dióxido de silicio y *semiconductor* por la estructura básica sobre la cual las regiones de tipo *n* y tipo *p* se difunden. La capa aislante entre la compuerta y el canal ha provocado otro nombre para el dispositivo: *FET de compuerta aislada* o *IGFET* (por sus siglas en inglés de, *Insulated Gate*), aunque este nombre es cada vez menos utilizado en la literatura actual.

Operación básica y características

En la figura 5.26 el voltaje compuerta-fuente se establece en cero volts mediante la conexión directa de una terminal a la otra, y se aplica un voltaje V_{DS} a través de las terminales del drenaje y de la fuente. El resultado es una atracción del potencial positivo en el drenaje por los electrones *libres* del canal-*n*, y una corriente similar a la establecida a través del canal del JFET. De hecho, a la corriente resultante con $V_{GS} = 0$ V se le sigue denominando I_{DSS}, como se muestra en la figura 5.27.

En la figura 5.28, V_{GS} se ha establecido en un voltaje negativo tal como –1 V. El potencial negativo en la compuerta tenderá a presionar a los electrones hacia el sustrato de tipo *p* (cargas iguales se repelen) y a atraer huecos del sustrato tipo *p* (cargas opuestas se atraen) como se muestra en la figura 5.28. Según la magnitud de la polarización negativa establecida por V_{GS}, ocurrirá un nivel de recombinación entre los electrones y los huecos que reducirá el número de electrones libres en el canal-*n* disponibles para la conducción. Mientras más negativa sea la polarización, más alta será la velocidad de recombinación. El nivel resultante de la corriente de drenaje es, por tanto, reducido como resultado de la polarización negativa creciente de V_{GS} como se muestra en la figura 5.27 para $V_{GS} = -1$ V, –2 V, y así sucesivamente, hasta el nivel de estrechamiento de –6 V. Los niveles resultantes de la corriente de drenaje y la gráfica de la curva de transferencia proceden exactamente de la misma forma que para el JFET.

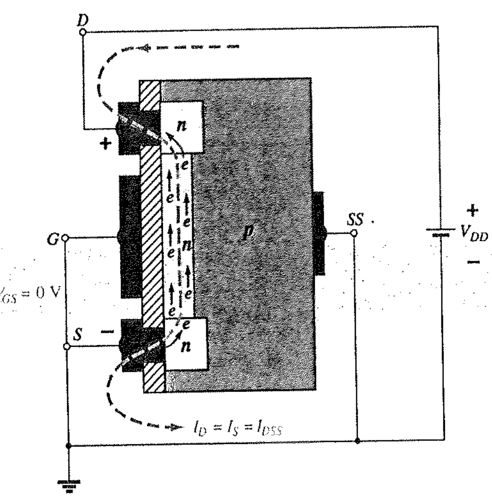


Figura 5.26 MOSFET de tipo decremental de canal-n con $V_{GS} = 0$ V y un voltaje aplicado V_{DD}.

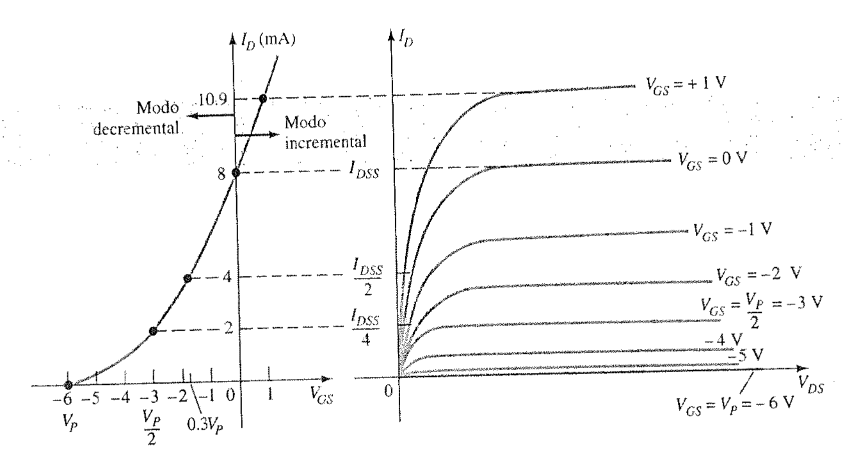


Figura 5.27 Características del drenaje y de transferencia para un MOSFET de tipo decremental de canal-*n*.

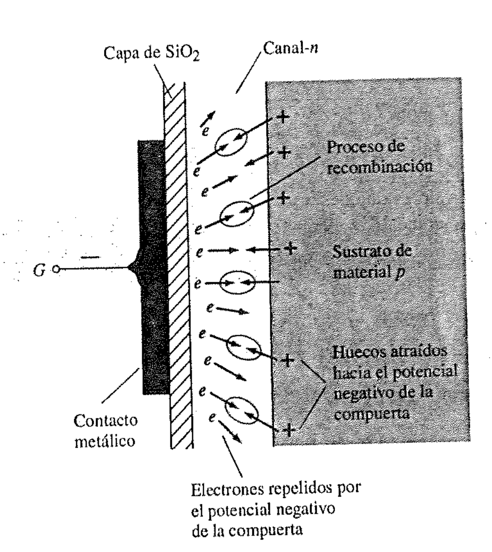


Figura 5.28 Reducción de portadores libres en el canal como consecuencia de un potencial negativo en la terminal de la compuerta.

Para valores positivos de V_{GS}, la compuerta positiva atraerá electrones adicionales (portadores libres) desde el sustrato de tipo *p* debido a la corriente de fuga inversa, y establecerá nuevos portadores mediante las colisiones resultantes entre las partículas en aceleración. A medida que el voltaje compuerta-fuente siga aumentando en la dirección positiva, como la figura 5.27 lo indica, la corriente de drenaje se incrementará de manera acelerada debido a las razones presentadas arriba. El espaciamiento vertical entre las curvas de $V_{GS} = 0$ V y $V_{GS} = +1$ V de la figura 5.27 es una clara indicación de cuánto se ha incrementado la corriente ante el cambio en un volt en V_{GS}. Debido a este rápido incremento, el usuario debe estar alerta del valor máximo de corriente del drenaje porque puede excederse con un voltaje positivo en la compuerta. Esto es, para el dispositivo de la figura 5.27, la aplicación de un voltaje $V_{GS} = +4$ V podría dar por resultado una corriente de drenaje de 22.2 mA, la cual posiblemente podría exceder el valor nominal máximo (corriente o potencia) del dispositivo. Como se dijo antes, la aplicación de un voltaje positivo de la compuerta a la fuente ha "incrementado" el nivel de portadores libres en el canal comparado con el encontrado cuando $V_{GS} = 0$ V. Por esta razón

la región de voltajes positivos de la compuerta sobre el drenaje o las características de transferencia es a menudo conocida como la *región incremental,* siendo la región entre el nivel de corte y de saturación de I_{DSS} denominada como la *región decremental.*

Es particularmente interesante y útil el hecho de que la ecuación de Shockley seguirá aplicándose para las características del MOSFET de tipo decremental tanto en la región decremental como en la incremental. Para ambas regiones solamente es necesario que se incluya el signo adecuado de V_{GS} en la ecuación y que el signo se siga con cuidado en las operaciones matemáticas.

EJEMPLO 5.3

Trace las características de transferencia para un MOSFET de tipo decremental de canal-*n* con I_{DSS} = 10 mA y V_P = −4 V.

Solución

$$\text{En } V_{GS} = 0 \text{ V}, \qquad I_D = I_{DSS} = 10 \text{ mA}$$

$$V_{GS} = V_P = -4 \text{ V}, \qquad I_D = 0 \text{ mA}$$

$$V_{GS} = \frac{V_P}{2} = \frac{-4 \text{ V}}{2} = -2 \text{ V}, \qquad I_D = \frac{I_{DSS}}{4} = \frac{10 \text{ mA}}{4} = 2.5 \text{ mA}$$

$$\text{y en } I_D = \frac{I_{DSS}}{2}, \qquad V_{GS} = 0.3V_P = 0.3(-4 \text{ V}) = -1.2 \text{ V}$$

todos los cuales aparecen en la figura 5.29.

Antes de graficar la región positiva de V_{GS}, se debe tener en cuenta que I_D aumenta con mucha rapidez ante valores positivos crecientes de V_{GS}. En otras palabras, es necesario ser conservador con la selección de los valores que deben sustituirse en la ecuación de Shockley. En este caso se intentará +1 V de la siguiente manera:

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$$

$$= 10 \text{ mA}\left(1 - \frac{+1 \text{ V}}{-4 \text{ V}}\right)^2 = 10 \text{ mA}(1 + 0.25)^2 = 10 \text{ mA}(1.5625)$$

$$\cong 15.63 \text{ mA}$$

la cual es lo suficientemente alta como para terminar la gráfica.

Figura 5.29 Características de transferencia de un MOSFET de tipo decremental de canal-*n* con I_{DSS} = 10 mA y V_P = −4 V.

MOSFET de tipo decremental de canal-*p*

La construcción de un MOSFET de tipo decremental de canal-*p* es exactamente la contraria de la que aparece en la figura 5.25. Esto es, ahora existe un sustrato de tipo *n* y un canal de tipo *p*, como lo muestra la figura 5.30a. Las terminales permanecen como se encuentran identificadas, pero todas las polaridades de los voltajes y las direcciones de las corrientes están invertidas como lo ilustra la misma figura. Las características del drenaje aparecerían exactamente como en la figura 5.27, pero con valores negativos de V_{DS}, I_D siendo positiva como se indica (debido a que la dirección definida ahora está invertida) y V_{GS} con las polaridades opuestas como se muestra en la figura 5.30c. La inversión de V_{GS} traerá como resultado una imagen de espejo (sobre el eje I_D) para las características de transferencia como lo muestra la figura 5.30b. En otras palabras, la corriente del drenaje aumentará desde el corte en $V_{GS} = V_P$ en la región positiva de V_{GS} hasta I_{DSS} y luego continuará creciendo con valores negativos crecientes de V_{GS}. La ecuación de Shockley sigue siendo aplicable y sólo se requiere colocar el signo correcto de V_{GS} y V_P en la ecuación.

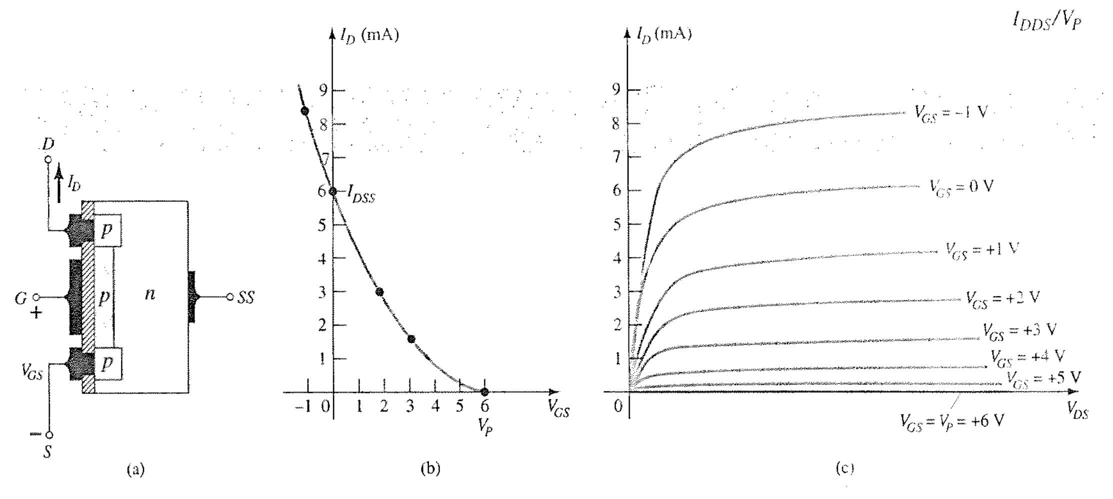


Figura 5.30 MOSFET de tipo decremental de canal-*n* con I_{DSS} = 6 mA y V_P = +6 V.

Símbolos, hojas de especificaciones y construcción del encapsulado

Los símbolos gráficos para un MOSFET de tipo decremental de canal-*n* y canal-*p* se proporcionan en la figura 5.31. Obsérvese cómo los símbolos seleccionados intentan reflejar la construcción real del dispositivo. La falta de una conexión directa (debido al aislamiento de la compuerta) entre la compuerta y el canal está representada por un espacio entre la compuerta y las otras terminales del símbolo. La línea vertical que representa el canal está conectada entre el drenaje y la fuente y está "soportada" por el sustrato. Para cada tipo de canal se proporcionan dos símbolos para reflejar el hecho de que en algunos casos el sustrato se encuentra disponible de forma externa, mientras que en otros no lo está. Para la mayor parte del análisis que sigue en el capítulo 6, el sustrato y la fuente estarán conectados y se utilizarán los símbolos inferiores.

El dispositivo de la figura 5.32 tiene tres terminales identificadas en la misma figura. La hoja de especificaciones para un MOSFET de tipo decremental es similar a la de un JFET. Los niveles de V_P e I_{DSS} se proporcionan junto con una lista de los valores máximos y de las características típicas de "encendido" y "apagado". Además, ya que I_D se puede extender más allá del nivel de I_{DSS}, normalmente se proporciona otro punto que refleja un valor típico de I_D para cierto voltaje positivo (para un dispositivo de canal-*n*). Para la unidad de la figura 5.32, I_D está especificada como $I_{D(\text{encendido})}$ = 9 mA dc con V_{DS} = 10 V y V_{GS} = 3.5 V.

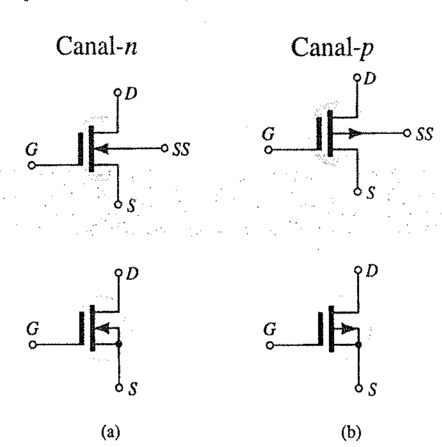


Figura 5.31 Símbolos gráficos de (a) un MOSFET de tipo decremental de canal-*n* y (b) un MOSFET de tipo decremental de canal-*p*.

2N3797

ENCAPSULADO 22-03, ESTILO 2
TO-18 (TO-206AA)

3 Drenaje
Compuerta 2
1 Fuente

MOSFET
de Audio de Baja Potencia

CANAL-N–DECREMENTAL

VALORES NOMINALES MÁXIMOS

Valor Nominal	Símbolo	Valor	Unidad
Voltaje Drenaje-Fuente 2N3797	V_{DS}	20	Vdc
Voltaje Compuerta-Fuente	V_{GS}	±10	Vdc
Corriente de Drenaje	I_D	20	mAdc
Disipación Total del Dispositivo @ TA = 25°C Pérdida de disipación por encima de 25°C	P_D	200 1.14	mW mW/°C
Rango de Temperatura de la Unión	T_J	+175	°C
Rango de Temperatura de Almacenamiento del Canal	T_{stg}	–65 a +200	°C

CARACTERÍSTICAS ELÉCTRICAS ($T_A = 25°C$ salvo que se exprese lo contrario)

Característica	Símbolo	Mínimo	Típico	Máximo	Unidad
CARACTERÍSTICAS DE APAGADO					
Voltaje de Ruptura Drenaje-Fuente ($V_{GS} = -7.0$ V, $I_D = 5.0\ \mu A$) 2N3797	$V_{(BR)DSX}$	20	25	–	Vdc
Corriente Inversa de la Compuerta (1) ($V_{GS} = -10$ V, $V_{DS} = 0$) ($V_{GS} = -10$ V, $V_{DS} = 0$, $T_A = 150°C$)	I_{GSS}	– –	– –	1.0 200	pAdc
Voltaje de Corte Compuerta Fuente ($I_D = 2.0\ \mu A$, $V_{DS} = 10$ V) 2N3797	$V_{GS(apagado)}$	–	–5.0	–7.0	Vdc
Corriente Inversa Drenaje-Compuerta ($V_{DG} = 10$ V, $I_S = 0$)	I_{DGO}	–	–	1.0	pAdc
CARACTERÍSTICAS DE ENCENDIDO					
Corriente de Drenaje con Voltaje Cero en la Compuerta ($V_{DS} = 10$ V, $V_{GS} = 0$) 2N3797	I_{DSS}	2.0	2.9	6.0	mAdc
Corriente de Drenaje de Estado Encendido ($V_{DS} = 10$ V, $V_{GS} = +3.5$ V) 2N3797	$I_{D(encendido)}$	9.0	14	18	mAdc
CARACTERÍSTICAS DE PEQUEÑA SEÑAL					
Admitancia de Transferencia Directa ($V_{DS} = 10$ V, $V_{GS} = 0$, f = 1.0 kHz) 2N3797	$\lvert y_{fs} \rvert$	1500	2300	3000	μmhos
($V_{DS} = 10$ V, $V_{GS} = 0$, f = 1.0 MHz) 2N3797		1500	–	–	
Admitancia de Salida ($I_{DS} = 10$ V, $V_{GS} = 0$, f = 1.0 kHz) 2N3797	$\lvert y_{os} \rvert$	–	27	60	μmhos
Capacitancia de Entrada ($V_{DS} = 10$ V, $V_{GS} = 0$, f = 1.0 MHz) 2N3797	C_{iss}	–	6.0	8.0	pF
Capacitancia de Transferencia Inversa ($V_{DS} = 10$ V, $V_{GS} = 0$, f = 1.0 MHz)	C_{rss}	–	0.5	0.8	pF
CARACTERÍSTICAS FUNCIONALES					
Figura de Ruido ($V_{DS} = 10$ V, $V_{GS} = 0$, f = 1.0 kHz, $R_S = 3$ megohms)	NF	–	3.8	–	dB

(1) Este valor de corriente incluye tanto la corriente de fuga del FET como la corriente de fuga asociada con la base de prueba y los accesorios cuando se mide bajo las mejores condiciones posible.

Figura 5.32 MOSFET Motorola 2N3797 de tipo decremental de canal-*n*.

5.8 MOSFET DE TIPO INCREMENTAL

Aunque existen algunas similitudes en la construcción y en el modo de operación entre los MOSFETs de tipo decremental y de tipo incremental, las características del MOSFET de tipo incremental son muy diferentes de cualquier cosa obtenida hasta ahora. La curva de transferencia no está definida por la ecuación de Shockley, y la corriente de drenaje ahora está en corte hasta que el voltaje compuerta-fuente alcanza una magnitud específica. En particular, el control de corriente en un dispositivo de canal-*n* ahora resulta afectado por un voltaje compuerta-fuente positivo en lugar de por el rango de voltajes negativos encontrados para los JFETs de canal-*n* y los MOSFETs de tipo decremental de canal-*n*.

Construcción básica

La construcción básica del MOSFET de tipo incremental de canal-*n* se proporciona en la figura 5.33. Un bloque de material tipo *p* se forma a partir de una base de silicio a la que una vez más se le denomina sustrato. De la misma forma que con el MOSFET de tipo decremental, el sustrato algunas veces se conecta de forma interna a la terminal de la fuente, mientras que en otros casos hay disponible una cuarta terminal para el control externo de su nivel de potencial. Las terminales de la fuente y de drenaje se conectan una vez más por medio de contactos metálicos a regiones dopadas-*n*, pero observe en la figura 5.33 la ausencia de un canal entre las dos regiones dopadas-*n*. Ésta es la principal diferencia entre la construcción de los MOSFETs de tipo decremental y los de tipo incremental: la ausencia de un canal como un componente construido del dispositivo. La capa de SiO_2 aún está presente para aislar la plataforma metálica de la compuerta de la región entre el drenaje y la fuente, pero ahora está separada simplemente de una sección de material de tipo *p*. En resumen y por tanto, la construcción de un MOSFET de tipo incremental es muy similar a la de un MOSFET de tipo decremental, excepto por la ausencia de un canal entre las terminales del drenaje y la fuente.

Operación básica y características

Si V_{GS} se establece en 0 V y se aplica un voltaje entre el drenaje y la fuente del dispositivo de la figura 5.33, la ausencia de un canal-*n* (con su generoso número de portadores libres) dará por resultado una corriente de cero amperes efectivos, una diferencia mayor con el MOSFET y JFET de tipo decremental donde $I_D = I_{DSS}$. No es suficiente tener acumulados una gran cantidad de portadores (electrones) en el drenaje y la fuente (debido a las regiones dopadas-*n*) si no existe un camino entre los dos. Si V_{DS} tiene cierto voltaje positivo, V_{GS} es 0 V, y la terminal *SS* se conecta directamente a la fuente, existirán de hecho dos uniones *p-n* con polarización inversa entre las regiones dopadas-*n* y el sustrato-*p* para oponerse a cualquier flujo significativo entre el drenaje y la fuente.

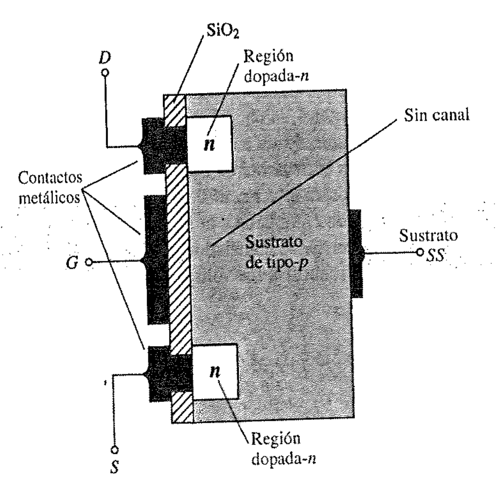


Figura 5.33 MOSFET de tipo incremental de canal-*n*.

Figura 5.34 Formación del canal en el MOSFET de tipo incremental de canal-*n*.

En la figura 5.34 tanto V_{DS} como V_{GS} se han establecido en algún voltaje positivo mayor de cero volts, con lo que se ubica al drenaje y a la compuerta en un potencial positivo con respecto a la fuente. El potencial positivo en la compuerta presionará los huecos (ya que cargas iguales se repelen) del sustrato *p* en la parte superior de la capa de SiO_2 con objeto de abandonar esa área e ingresar a regiones más profundas del sustrato-*p*, como se muestra en la figura. El resultado es una región de agotamiento cerca de la capa aislante de SiO_2 libre de huecos. Sin embargo, los electrones en el sustrato *p* (los portadores minoritarios del material) serán atraídos a la compuerta positiva y se acumularán en la región cercana a la superficie de la capa de SiO_2. La capa de SiO_2 y sus cualidades aislantes evitan que los portadores negativos sean absorbidos en la terminal de la compuerta. A medida que V_{GS} aumenta su magnitud, la concentración de electrones cerca de la superficie de SiO_2 se incrementará hasta que eventualmente, la región inducida de tipo *n* pueda soportar un flujo mesurable entre el drenaje y la fuente. El nivel de V_{GS} que ocasiona un incremento significativo de la corriente de drenaje se le llama *voltaje de umbral,* y se le asigna el símbolo de V_T (por Threshold). En las hojas de especificaciones se le conoce como $V_{GS(Th)}$, aunque V_T es más fácil de manejar y será utilizado en el siguiente análisis. Debido a que el canal no existe cuando $V_{GS} = 0$ V y se "incrementa" mediante la aplicación de un voltaje positivo compuerta-fuente, este tipo de MOSFET se le llama *MOSFET de tipo incremental.* Tanto los MOSFETs de tipo decremental como de tipo incremental poseen regiones de tipo incremental, sin embargo, el nombre se aplicó al último debido a que ése es su único modo de operación.

Cuando V_{GS} se incrementa más allá del nivel de umbral, la densidad de los portadores libres en el canal inducido se incrementa, dando por resultado un nivel mayor de corriente de drenaje. Sin embargo, si se mantiene V_{GS} constante y se incrementa el nivel de V_{DS}, la corriente de drenaje eventualmente alcanzará un nivel de saturación así como ocurrió en el JFET y en el MOSFET de tipo decremental. La estabilización de I_D se debe a un proceso de estrechamiento descrito por un canal más angosto al final del drenaje del canal inducido como se muestra en la figura 5.35. Al aplicar la ley de voltaje de Kirchhoff a los voltajes de las terminales del MOSFET de la figura 5.35, se encuentra que

$$\boxed{V_{DG} = V_{DS} - V_{GS}} \tag{5.11}$$

Si V_{GS} se mantiene fijo en un valor tal como 8 V y V_{DS} se incrementa de 2 a 5 V, el voltaje V_{DG} [por la ecuación 5.11] caerá de −6 a −3 V y la compuerta será cada vez menos positiva con respecto al drenaje. Esta reducción en el voltaje de la compuerta al drenaje reduci-

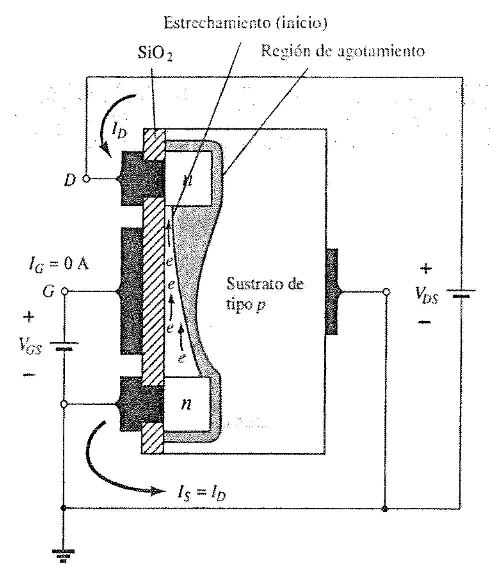


Figura 5.35 Cambio en las región de canal y en la región de agotamiento como resultado de niveles crecientes de V_{DS} para un valor fijo de V_{GS}.

rá a su vez la fuerza de atracción de los portadores libres (electrones) en esta región del canal inducido, con lo que causará una reducción en el ancho efectivo del canal. Eventualmente, el canal se reducirá hasta el punto de estrechamiento y se establecerá una condición de saturación como se describió antes para el JFET y para el MOSFET de tipo decremental. En otras palabras, cualquier crecimiento posterior en V_{DS} con un valor fijo de V_{GS} no afectará el nivel de saturación de I_D hasta que aparezcan las condiciones de ruptura.

Las características del drenaje de la figura 5.36 revelan que para el dispositivo de la figura 5.35 con $V_{GS} = 8$ V, la saturación ocurrió en un nivel de $V_{DS} = 6$ V. De hecho, el nivel de saturación para V_{DS} está relacionado con el nivel de V_{GS} aplicado por

$$\boxed{V_{DS_{sat}} = V_{GS} - V_T} \tag{5.12}$$

Por tanto, es obvio que para un valor fijo de V_T, mientras mayor sea el nivel de V_{GS}, mayor será el nivel de saturación para V_{DS} como se muestra en la figura 5.35 en la región de los niveles de saturación.

Para las características de la figura 5.35, el nivel de V_T es de 2 V, como lo revela el hecho de que la corriente del drenaje ha caído a 0 mA. En general, por tanto:

Para valores de V_{GS} menores que el nivel de umbral, la corriente del drenaje de un MOSFET de tipo incremental es de 0 mA.

La figura 5.36 indica de forma clara que cuando el nivel de V_{GS} se incrementa de V_T a 8 V, el nivel de saturación resultante para I_D también aumenta desde un nivel de 0 mA hasta 10 mA. Además, es bastante notorio que el espaciamiento entre los niveles de V_{GS} aumentó a medida que se incrementó la magnitud de V_{GS}, lo que da por resultado aumentos siempre crecientes en la corriente del drenaje.

Para los niveles de $V_{GS} > V_T$, la corriente de drenaje está relacionada con el voltaje compuerta-fuente aplicado mediante la siguiente relación no lineal:

$$\boxed{I_D = k(V_{GS} - V_T)^2} \tag{5.13}$$

Una vez más, resulta el término cuadrático de la relación no lineal (curva) entre I_D y V_{GS}. El término *k* es una constante que, a su vez, está en función de la fabricación del dispositivo. El valor de *k* se puede calcular a partir de la siguiente ecuación [derivada de la ecuación 5.13] donde $I_{D(\text{encendido})}$ y $V_{GS(\text{encendido})}$ son los valores para cada uno en un punto en particular sobre las características del dispositivo.

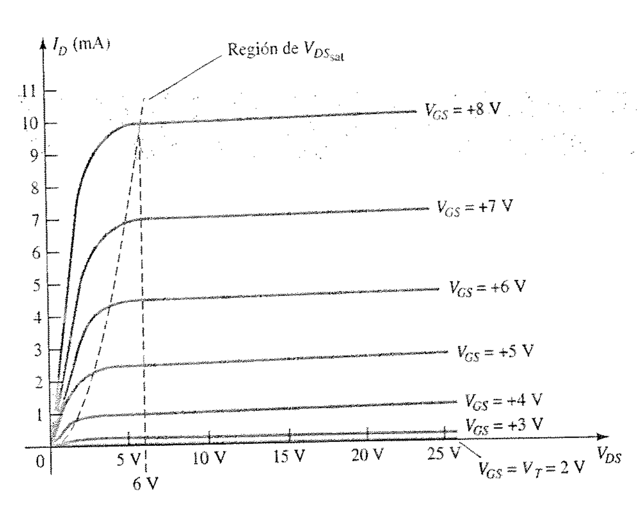


Figura 5.36 Características del drenaje de un MOSFET de tipo incremental de canal-*n* con $V_T = 2$ V y $k = 0.278 \times 10^{-3}$ A/V^2.

$$k = \frac{I_{D(\text{encendido})}}{(V_{GS(\text{encendido})} - V_T)^2} \tag{5.14}$$

Al sustituir $I_{D(\text{encendido})} = 10$ mA donde $V_{GS(\text{encendido})} = 8$ V a partir de las características de la figura 5.36 tenemos

$$k = \frac{10\text{ mA}}{(8\text{ V} - 2\text{ V})^2} = \frac{10\text{ mA}}{(6\text{ V})^2} = \frac{10\text{ mA}}{36\text{ V}^2}$$
$$= \mathbf{0.278 \times 10^{-3}\ A/V^2}$$

y una ecuación general de I_D para las características de la figura 5.36 da por resultado:

$$I_D = 0.278 \times 10^{-3}(V_{GS} - 2\text{ V})^2$$

Al sustituir $V_{GS} = 4$ V, encontramos que

$$I_D = 0.278 \times 10^{-3}(4\text{ V} - 2\text{ V})^2 = 0.278 \times 10^{-3}(2)^2$$
$$= 0.278 \times 10^{-3}(4) = \mathbf{1.11\ mA}$$

como se verifica por la figura 5.36. En $V_{GS} = V_T$ el término cuadrático es 0 e $I_D = 0$ mA.

Para el análisis en dc del MOSFET de tipo incremental que aparecerá en el capítulo 6, las características de transferencia nuevamente serán las que se utilizarán en la solución gráfica. En la figura 5.37 se han colocado lado a lado las características del drenaje y de transferencia para describir el proceso de transferencia de una a la otra. En esencia procede igual que como se presentó para el JFET y el MOSFET de tipo decremental. Sin embargo, en este caso se debe recordar que la corriente de drenaje es de 0 mA para $V_{GS} \leq V_T$. En este momento una corriente que se puede medir será el resultado para I_D y aumentará como se definió en la ecuación 5.13. Obsérvese que al definir los puntos sobre las características de transferencia a partir de las características de drenaje, sólo se utilizan los niveles de saturación con lo que, por tanto, se limita la región de operación a niveles de V_{DS} mayores que los niveles de saturación como se definió en la ecuación 5.12.

La curva de transferencia de la figura 5.37 es muy diferente de aquéllas obtenidas anteriormente. Para un dispositivo de canal-*n* (inducido), ahora se encuentra totalmente en la región de V_{GS} positiva y no aumenta hasta que $V_{GS} = V_T$. Ahora surge la cuestión acerca de cómo graficar las características de transferencia dados los niveles de k y V_T como se incluyen abajo, para un MOSFET en particular:

$$I_D = 0.5 \times 10^{-3}(V_{GS} - 4\text{ V})^2$$

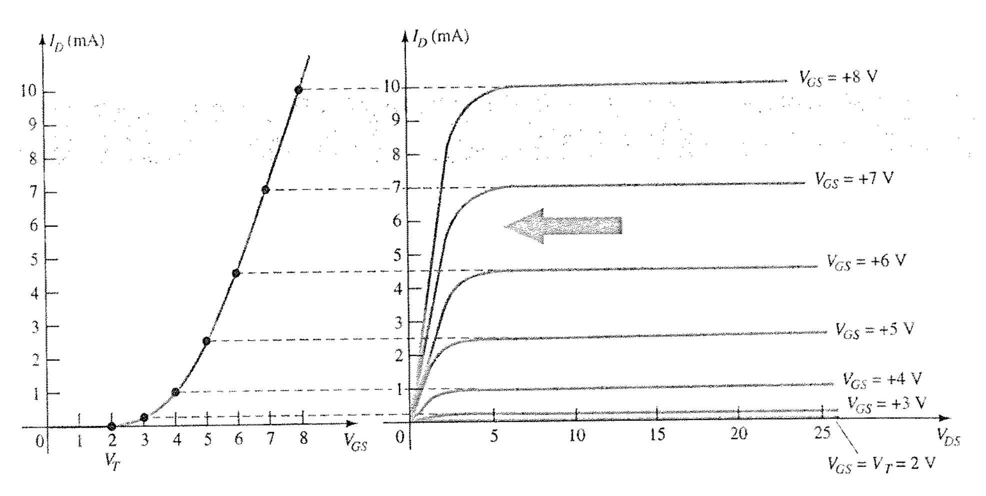


Figura 5.37 Gráfica de las características de transferencia de un MOSFET de tipo incremental de canal-*n* a partir de las características de drenaje.

Primero, se dibuja una línea horizontal en $I_D = 0$ mA desde $V_{GS} = 0$ V hasta $V_{GS} = 4$ V como se indica en la figura 5.38a. Luego, se elige un nivel de V_{GS} mayor que V_T, tal como 5 V, y se sustituye en la ecuación 5.13 para determinar el nivel resultante de I_D de la siguiente forma:

$$I_D = 0.5 \times 10^{-3}(V_{GS} - 4\text{ V})^2$$
$$= 0.5 \times 10^{-3}(5\text{ V} - 4\text{ V})^2 = 0.5 \times 10^{-3}(1)^2$$
$$= \mathbf{0.5\ mA}$$

y se obtiene un punto sobre la gráfica como se muestra en la figura 5.38b. Por último, se eligen niveles adicionales de V_{GS} y se obtienen los niveles resultantes de I_D. En particular, en $V_{GS} = 6$, 7 y 8 V, el nivel de I_D es 2, 4.5 y 8 mA, respectivamente, como se señala en la gráfica resultante de la figura 5.38c.

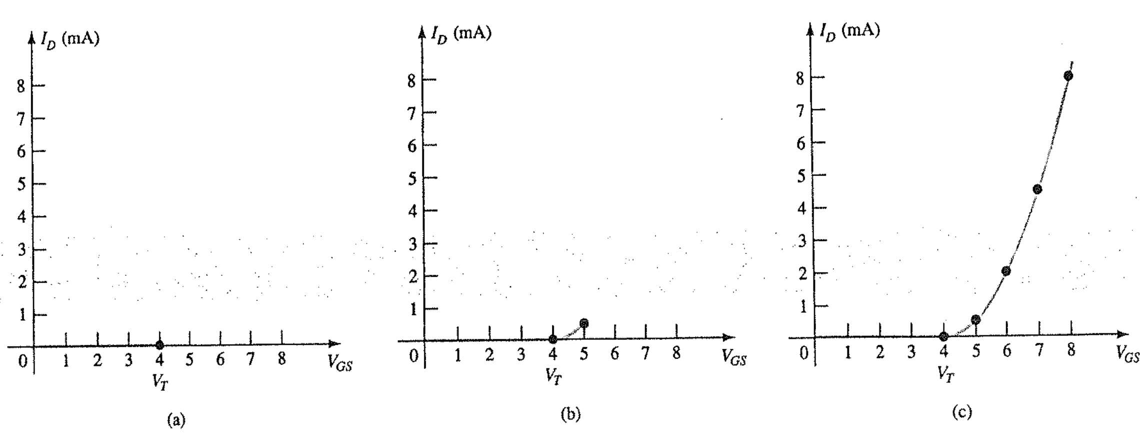


Figura 5.38 Gráfica de las características de transferencia de un MOSFET de tipo incremental de canal-*n* con $k = 0.5 \times 10^{-3}$ A/V^2 y $V_T = 4$ V.

MOSFETs de tipo incremental de canal-*p*

La construcción de un MOSFET de tipo incremental de canal-*p* es exactamente la inversa de la que aparece en la figura 5.33, como se advierte en la figura 5.39a. Esto es, ahora existe un sustrato de tipo *n* y regiones dopadas-*p* bajo las conexiones del drenaje y de la fuente. Las terminales permanecen tal como se indicaron, pero todas las polaridades del voltaje y las direcciones de corriente están invertidas. Las características del drenaje aparecerán igual que en la figura 5.39c, con niveles de corriente crecientes que resultan del incremento de los valores negativos de V_{GS}. Las características de transferencia serán una imagen de espejo (sobre el eje I_D) de la curva de transferencia de la figura 5.37, pero con I_D creciendo ante los valores cada vez más negativos de V_{GS} más allá de V_T, como se muestra en la figura 5.39b. Las ecuaciones 5.11 a la 5.14 son igualmente aplicables para los dispositivos de canal-*p*.

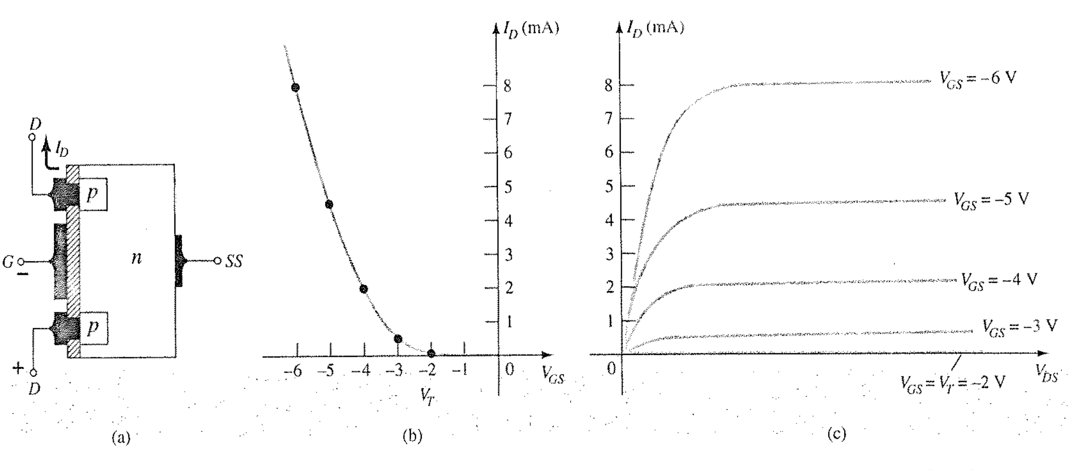


Figura 5.39 MOSFET de tipo incremental de canal-*p* con $V_T = 2$ V y $k = 0.5 \times 10^{-3}$ A/V^2.

Símbolos, hojas de especificaciones y construcción del encapsulado

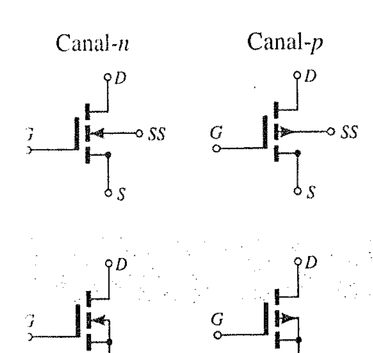


Figura 5.40 Símbolos de (a) MOSFETs de tipo incremental de canal-*n* y (b) MOSFETs de tipo incremental de canal-*p*.

En la figura 5.40 se proporcionan los símbolos gráficos para los MOSFETs de tipo incremental de canal-*n* y de canal-*p*. Observe nuevamente la manera en que los símbolos intentan reflejar la construcción real del dispositivo. Se eligió la línea punteada entre el drenaje y la fuente para reflejar el hecho de que no existe un canal entre los dos, bajo condiciones de no polarización. De hecho, ésta es la única diferencia entre los símbolos para los MOSFETs de tipo decremental y de tipo incremental.

En la figura 5.41 se proporciona la hoja de especificaciones para un MOSFET de tipo incremental de canal-*n* de Motorola. Se proporcionan la construcción del encapsulado y la identificación de las terminales junto con los valores nominales máximos, los cuales incluyen ahora una corriente de drenaje máxima de 30 mA dc. La hoja de especificaciones presenta el nivel de I_{DSS} bajo condiciones de "apagado", el cual es ahora de sólo 10 nA de dc (cuando $V_{DS} = 10$ V y $V_{GS} = 0$ V) comparado con el rango de miliamperes para el caso del JFET y el MOSFET de tipo decremental. El voltaje de umbral está especificado como $V_{GS(\mathrm{Th})}$ y tiene un rango de 1 a 5 V de dc, según la unidad que se utilice. En lugar de proporcionar un rango para *k* en la ecuación 5.13, se especifica un nivel típico de $I_{D(\mathrm{encendido})}$ (3 mA en este caso) para un nivel de $V_{GS\,(\mathrm{encendido})}$ en particular (10 V para el nivel especificado de I_D). En otras palabras, cuando $V_{GS} = 10$ V, $I_D = 3$ mA. Los niveles dados de $V_{GS(\mathrm{Th})}$, $I_{D(\mathrm{encendido})}$ y $V_{GS(\mathrm{encendido})}$ permiten determinar *k* a partir de la ecuación 5.14 y escribir la ecuación general para las características de transferencia. En la sección 5.9 se revisan los requerimientos de manejo de los MOSFETs.

2N4351

ENCAPSULADO 20-03, ESTILO 2
TO-72 (TO-206AF)

3 Drenaje
2 Compuerta
4 Encapsulado
1 Fuente

MOSFET
DE CONMUTACIÓN
CANAL-N–INCREMENTAL

VALORES NOMINALES MÁXIMOS

Valor Nominal	Símbolo	Valor	Unidad
Voltaje Drenaje-Fuente	V_{DS}	25	Vdc
Voltaje Drenaje-Compuerta	V_{DG}	30	Vdc
Voltaje Compuerta-Fuente*	V_{GS}	30	Vdc
Corriente de Drenaje	I_D	30	mAdc
Disipación Total del Dispositivo @ TA =25°C Pérdida de disipación por encima de 25°C	P_D	300 1.7	mW mW/°C
Rango de Temperatura de la Unión	T_J	175	°C
Rango de Temperatura de Almacenamiento	T_{stg}	–65 a +175	°C

* Potenciales transitorios de ±75 Volts no ocasionarán fallas de compuerta-óxido.

CARACTERÍSTICAS ELÉCTRICAS ($T_A = 25$°C a menos que se especifique lo contrario)

Característica	Símbolo	Mínimo	Máximo	Unidad
CARACTERÍSTICAS DE APAGADO				
Voltaje de Ruptura Drenaje-Fuente ($I_D = 10\ \mu$A, $V_{GS} = 0$)	$V_{(BR)DSX}$	25	–	Vdc
Corriente de Drenaje con Voltaje Cero en la Compuerta ($V_{DS} = 10$ V, $V_{GS} = 0$) $T_A = 25$°C $T_A = 150$°C	I_{DSS}	– –	10 10	nAdc μAdc
Corriente Inversa de la Compuerta ($V_{GS} = \pm 15$ Vdc, $V_{DS} = 0$)	I_{GSS}	–	± 10	pAdc
CARACTERÍSTICAS DE ENCENDIDO				
Voltaje de Umbral de la Compuerta ($V_{DS} = 10$ V, $I_D = 10\ \mu$A)	$V_{GS(Th)}$	1.0	5	Vdc
Voltaje de Encendido Drenaje-Fuente ($I_D = 2.0$ mA, $V_{GS} = 10$V)	$V_{DS(\mathrm{encendido})}$	–	1.0	V
Corriente de Drenaje de Estado de Encendido ($V_{GS} = 10$ V, $V_{DS} = 10$ V)	$I_{D(\mathrm{encendido})}$	3.0	–	mAdc
CARACTERÍSTICAS DE PEQUEÑA SEÑAL				
Admitancia de Transferencia Directa ($V_{DS} = 10$ V, $I_D = 2.0$ mA, f = 1.0 kHz)	$\lvert y_{fs} \rvert$	1000	–	μmho
Capacitancia de Entrada ($V_{DS} = 10$ V, $V_{GS} = 0$, f = 140 kHz)	C_{iss}	–	5.0	pF
Capacitancia de Transferencia Inversa ($V_{DS} = 0$, $V_{GS} = 0$, f = 140 kHz)	C_{rss}	–	1.3	pF
Capacitancia de Drenaje-Sustrato ($V_{D(SUB)} = 10$ V, f = 140 kHz)	$C_{d(sub)}$	–	5.0	pF
Resistencia de Drenaje-Fuente ($V_{GS} = 10$ V, $I_D = 0$, f = 1.0 kHz)	$r_{ds(\mathrm{encendido})}$	–	300	ohms

CARACTERÍSTICAS DE CONMUTACIÓN

Característica	Condiciones	Símbolo	Mínimo	Máximo	Unidad
Retardo de Encendido (Fig. 5)	$I_D = 2.0$ mAdc, $V_{DS} = 10$ Vdc, ($V_{GS} = 10$ Vdc) (Ver Figura 9; Tiempos del Circuito Determinados)	t_{d1}	–	45	ns
Tiempo de Subida (Fig. 6)		t_r	–	65	ns
Retardo de Apagado (Fig. 7)		t_{d2}	–	60	ns
Tiempo de Bajada (Fig. 8)		t_f	–	100	ns

Figura 5.41 MOSFET 2N4351 de Motorola de tipo incremental de canal-*n*.

EJEMPLO 5.4

Determine a partir de los datos proporcionados en la hoja de especificaciones de la figura 5.41 y un voltaje promedio de umbral de $V_{GS(\mathrm{Th})} = 3$ V:

(a) El valor de *k* que resulte para el MOSFET.
(b) Las características de transferencia.

Solución

(a) Ecuación (5.14):
$$k = \frac{I_{D(\text{encendido})}}{(V_{GS(\text{encendido})} - V_{GS(\text{Th})})^2}$$
$$= \frac{3\text{ mA}}{(10\text{ V} - 3\text{ V})^2} = \frac{3\text{ mA}}{(7\text{ V})^2} = \frac{3 \times 10^{-3}}{49}\text{ A/V}^2$$
$$= \mathbf{0.061 \times 10^{-3}\ A/V^2}$$

(b) Ecuación (5.13):
$$I_D = k(V_{GS} - V_T)^2$$
$$= 0.061 \times 10^{-3}(V_{GS} - 3\text{ V})^2$$

Para $V_{GS} = 5$ V
$$I_D = 0.061 \times 10^{-3}(5\text{ V} - 3\text{ V})^2 = 0.061 \times 10^{-3}(2)^2$$
$$= 0.061 \times 10^{-3}(4) = 0.244\text{ mA}$$

Para $V_{GS} = 8$, 10, 12 y 14 V, I_D será de 1.525, 3 (como se definió), 4.94 y 7.38 mA, respectivamente. En la figura 5.42 se encuentran trazadas las características de transferencia.

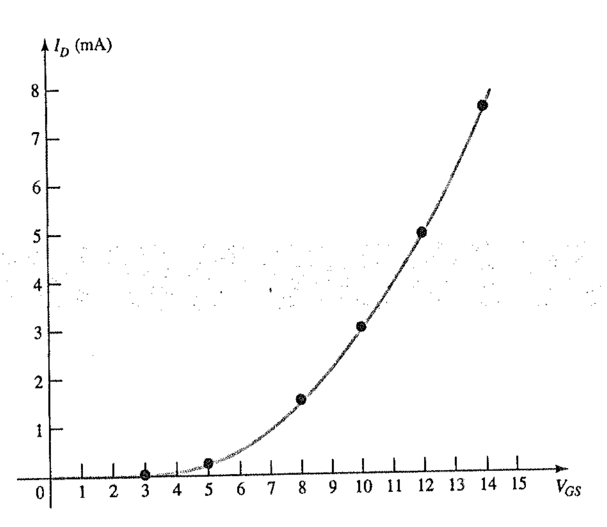


Figura 5.42 Solución del ejemplo 5.4.

5.9 MANEJO DEL MOSFET

La delgada capa de SiO_2 que se encuentra situada entre la compuerta y el canal de un MOSFET tiene el efecto positivo de ofrecer una característica de alta impedancia de entrada para el dispositivo, pero también debido a esta capa extremadamente delgada se deben tener precauciones en su manejo, que no eran necesarias en los transistores BJT o JFET. A menudo existe suficiente acumulación de carga estática (la cual se capta de los alrededores) como para establecer una diferencia de potencial a través de la delgada capa, de tal forma que podría romperla y establecer la conducción a través de ella. Por tanto, es muy importante que el transistor se mantenga con el papel aluminio (o anillo) de transporte que asegura el "corto circuito" (o conducción), porque mantiene conectadas las terminales entre sí, hasta que el dispositivo esté listo para insertarse en el sistema. El anillo evita la posibilidad de que se aplique un potencial a través de dos terminales cualesquiera del dispositivo. Con el anillo colocado, la diferencia de potencial entre dos terminales, siempre se mantendrá en 0 V. Además, siempre se deberá hacer tierra para permitir la descarga de la estática acumulada antes de manejar el dispositivo, y siempre se tendrá que tomar el transistor por el encapsulado.

A menudo existen transitorios (cambios bruscos en el voltaje o la corriente) en una red cuando los elementos son retirados o insertados si se encuentran encendidos. Los niveles de estos transitorios con frecuencia pueden ser mayores de los que puede soportar el dispositivo; por tanto, siempre se debe mantener apagado el sistema cuando se haga cualquier cambio en la red.

Normalmente se proporciona el voltaje compuerta-fuente máximo en la lista de valores nominales máximos del dispositivo. Un método para asegurar que no se exceda este voltaje (como consecuencia quizá de los efectos transitorios) para cualquier polaridad, es mediante la introducción de dos diodos Zener, como se muestra en la figura 5.43. Los diodos Zener están situados de forma opuesta para asegurar la protección ante cualquier polaridad. Si ambos diodos Zener son de 30 V y se presenta un transitorio positivo de 40 V, el Zener inferior se "disparará" a 30 V y el superior se encenderá con una caída de 0 V (idealmente para la región positiva de "encendido" de un diodo semiconductor). El resultado es un voltaje máximo de 30 V de la compuerta a la fuente. Una desventaja que se presenta con la protección Zener consiste en que la resistencia de apagado de un diodo Zener es menor que la impedancia de entrada que se estableció por medio de la capa de SiO_2. El resultado de esto, es una reducción de la resistencia de entrada, pero aun así es lo suficientemente alta para la mayoría de las aplicaciones. La mayoría de los dispositivos discretos tienen en la actualidad la protección Zener de tal forma que algunas de las preocupaciones anteriores no resulten tan difíciles de corregir. Sin embargo, siempre es mejor manejar con cautela los dispositivos MOSFET discretos.

Figura 5.43 MOSFET protegido por Zeners.

5.10 VMOS

Una de las desventajas del MOSFET típico son los bajos niveles de manejo de potencia (por lo general, menos de 1 W) en comparación con los transistores BJT. Es posible superar esta insuficiencia de un dispositivo que cuenta con tantas características positivas, mediante un cambio en su forma de construcción de una naturaleza planar como la que se muestra en la figura 5.25, a otra con una estructura vertical como la que se muestra en la figura 5.44. Todos los elementos del MOSFET planar están presentes en el FET vertical de metal-óxido-silicio (VMOS) (*Vertical Metal-Oxide-Silicon*): la conexión de la superficie metálica con las terminales del dispositivo, la capa de SiO_2 entre la compuerta y la región de tipo *p* que se encuentra entre el drenaje y la fuente con el objeto de crear un crecimiento del canal-*n* inducido (operación en modo incremental). El término *vertical* se debe básicamente al hecho de que el canal se encuentra ahora formado en la dirección vertical, en vez de la dirección horizontal para el dispositivo planar. Además, el canal de la figura 5.44 también tiene la apariencia de un corte en "V" en la base del semiconductor que, por lo regular, es la característica que destaca para la memorización del nombre del dispositivo. La construcción de la figura 5.44 es muy simple

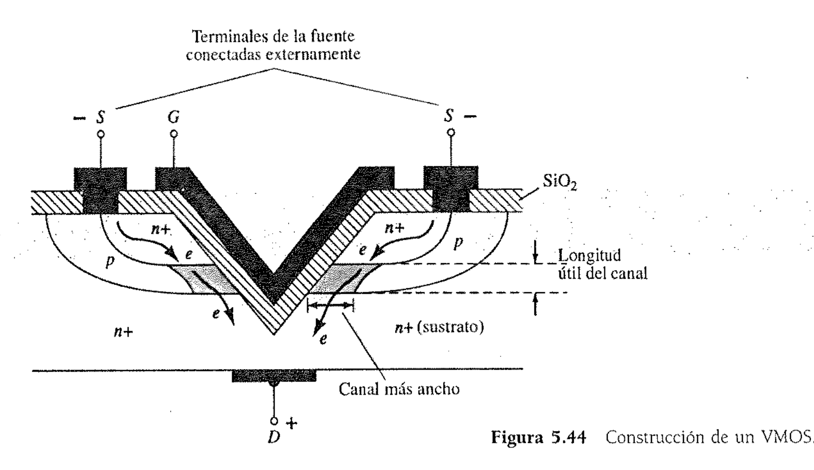


Figura 5.44 Construcción de un VMOS.

ya que se eliminaron algunos de los niveles de transición de dopado, pero a cambio permite una descripción de los aspectos más importantes de su operación.

La aplicación de un voltaje positivo sobre el drenaje y de un voltaje negativo sobre la fuente manteniendo la compuerta en 0 V o en algún nivel positivo de "encendido" típico, como el que se muestra en la figura 5.44, dará por resultado el canal-*n* inducido en la región angosta de tipo *p* del dispositivo. Por tanto, la longitud del canal estará ahora definida por la altura vertical de la región-*p*, que puede hacerse significativamente menor que la de un canal de construcción planar. Sobre un plano horizontal, la longitud del canal está limitada de 1 a 2 micrómetros (μm) (1 μm = 10^{-6} m). Es posible controlar las capas de difusión (como la región-*p* de la figura 5.44) hasta pequeñas fracciones de un micrómetro. Dado que las longitudes decrecientes del canal dan como resultado niveles reducidos de resistencia, el nivel de disipación de potencia del dispositivo (pérdida de potencia en forma de calor) se reducirá en los niveles de operación de corriente. Además, el área de contacto entre el canal y la región n^+ se incrementa de forma importante debido a la construcción en modo vertical, lo cual contribuye a una reducción mayor en el nivel de resistencia y a un área mayor para la corriente entre las capas dopadas. También existen dos caminos de conducción entre el drenaje y la fuente para contribuir a un mayor valor de corriente, como lo muestra la figura 5.44. El resultado neto es un dispositivo con corrientes de drenaje que pueden alcanzar niveles de amperes y con niveles de potencia que exceden los 10 W.

Por lo general:

Comparados con los MOSFETs planares disponibles comercialmente, los FETs VMOS poseen niveles reducidos de resistencia en el canal y mayores valores nominales, de corriente y de potencia.

Además, una característica importante de la construcción vertical es:

Los FETs VMOS poseen un coeficiente positivo de temperatura que luchará en contra de la posibilidad de una avalancha térmica.

Si la temperatura de un dispositivo se incrementa como consecuencia del medio que lo rodea, los niveles de resistencia se incrementarán, causando con esto una reducción de la corriente de drenaje en vez de un incremento, como sucede con un dispositivo convencional. Los coeficientes negativos de temperatura dan por resultado menores niveles de resistencia ante incrementos en la temperatura que apoyan el incremento de los niveles de corriente y generan mayor inestabilidad de temperatura y avalancha térmica.

Otra característica positiva de la configuración VMOS es:

Los niveles reducidos de almacenamiento de carga dan por resultado tiempos de conmutación más rápidos para la construcción VMOS en comparación con los tiempos de la construcción planar convencional.

De hecho, los dispositivos VMOS tienen tiempos de conmutación menores de la mitad de los tiempos que se encuentran en el transistor BJT normal.

5.11 CMOS

Es posible tener un circuito lógico muy efectivo al construir un MOSFET de canal-*p* y de canal-*n* sobre el mismo sustrato, como se muestra en la figura 5.45. Observe a la izquierda el canal-*p* inducido y a la derecha el canal-*n* inducido, para los dispositivos de canal-*p* y de canal-*n*, respectivamente. A esta configuración que se le conoce como un arreglo *complementario de MOSFET* y se abrevia CMOS; asimismo tiene extensas aplicaciones en el diseño de lógica de computadoras. La impedancia de entrada relativamente alta, las rápidas velocidades de conmutación, y los bajos niveles de potencia de operación de la configuración CMOS dan por resultado una disciplina totalmente nueva que se denomina *diseño lógico CMOS*.

Una aplicación muy efectiva del arreglo complementario es la de un inversor como muestra la figura 5.46. De la misma manera que se presentó para los transistores de conmutación, un inversor es un elemento lógico que "invierte" la señal aplicada. Esto es, si los niveles lógicos de operación son 0 V (estado 0) y 5 V (estado 1), un nivel de entrada de 0 V dará por resultado un nivel de 5 V y viceversa. Observe en la figura 5.46, que ambas compuertas están conectadas con la señal aplicada y que los dos drenajes a la salida V_o. La fuente del MOSFET

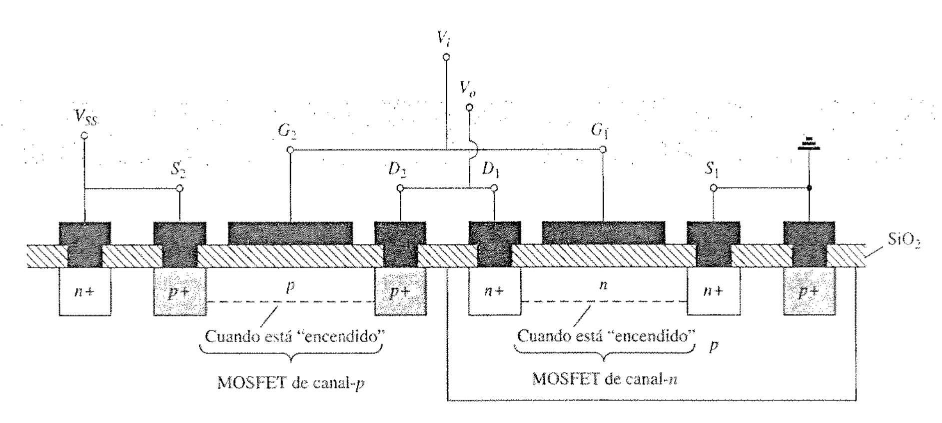


Figura 5.45 CMOS con las conexiones indicadas en la figura 5.46.

de canal-*p* (Q_2) está conectada directamente al voltaje aplicado *Vss*, mientras que la fuente del MOSFET de canal-*n* (Q_1) está conectada a tierra. Para los niveles lógicos definidos arriba, la aplicación de 5 V en la entrada debe dar por resultado una salida aproximada de 0 V. Con 5 V en V_i (con respecto a tierra), $V_{GS_1} = V_i$ y Q_1 está "encendido", lo que origina una resistencia relativamente muy baja entre el drenaje y la fuente, como se indica en la figura 5.47. Ya que V_i y V_{SS} están en 5 V, $V_{GS_2} = 0$ V, lo cual es menor que el V_T necesario para el dispositivo y resulta en un estado "apagado". El nivel de resistencia resultante entre el drenaje y la fuente es muy alto para Q_2, como se muestra en la figura 5.47. Una simple aplicación de la regla del divisor de voltaje indicará que V_o se encuentra muy cerca a 0 V o al estado 0, con lo que se establece el proceso de inversión buscado. Para un voltaje aplicado de V_i de 0 V (estado 0), $V_{GS_1} = 0$ V y Q_1 estará apagado con $V_{SS_2} = -5$ V, encendiendo el MOSFET de canal-*p*. El resultado será que Q_2 presentará un pequeño nivel de resistencia, Q_1 una gran resistencia y $V_o = V_{SS} = 5$ V (el estado 1). Debido a que la corriente de drenaje que fluye en cada caso estará limitada por el transistor "apagado" al valor de fuga, la potencia que disipa el dispositivo en cada estado es muy baja. En el capítulo 16 se presentarán comentarios adicionales sobre la aplicación de lógica CMOS.

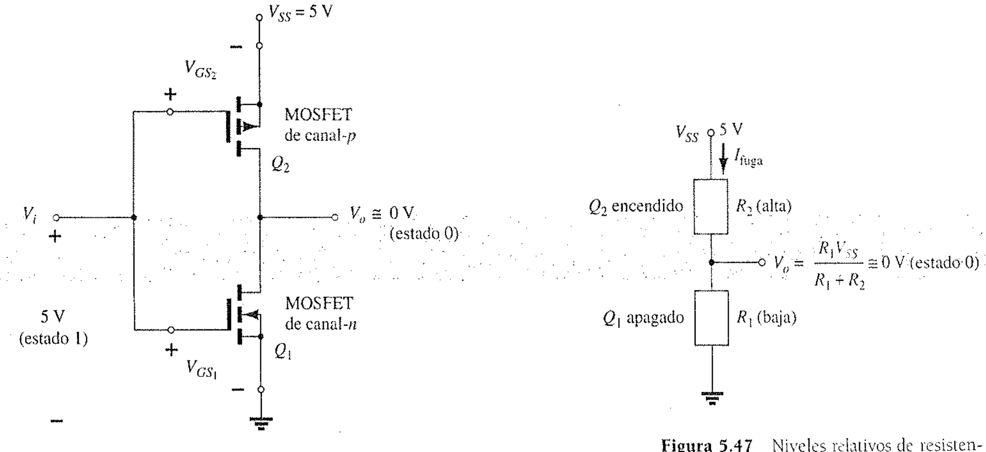


Figura 5.46 Inversor CMOS.

Figura 5.47 Niveles relativos de resistencia para V_i = 5 V (estado 1).

5.12 TABLA DE RESUMEN

Debido a que las curvas de transferencia y algunas características importantes varían de un tipo de FET a otro, la tabla 5.2 se desarrolló para presentar de manera clara las diferencias entre un dispositivo y otro. Entender bien todas las curvas y los parámetros de la tabla ofrecerá un antecedente suficiente para los análisis de dc y de ac que siguen en los capítulos 6 y 8. Tome un momento para asegurar que reconoce cada curva y que está clara su derivación, y después establezca una base de comparación entre los niveles de los parámetros importantes de R_i y C_i para cada dispositivo.

TABLA 5.2 Transistores de Efecto de Campo

Tipo	*Símbolo de las Relaciones Básicas*	*Curva de Transferencia*	*Resistencia y Capacitancia de Entrada*
JFET (canal-n)	$I_G = 0$ A, $I_D = I_S$; D, G, S; I_{DSS}, V_P; $I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$	I_D; I_{DSS}; $\frac{I_{DSS}}{2}$; $\frac{I_{DSS}}{4}$; V_P; $\frac{V_P}{2}$; $0.3\,V_P$; 0; V_{GS}	$R_i > 100\ \text{M}\Omega$; C_i: (1 − 10) pF
MOSFET de tipo decremental (canal-n)	$I_G = 0$ A, $I_D = I_S$; D, G, S; I_{DSS}, V_P; $I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$	I_D; I'_D; I_{DSS}; V_P; 0; V'_{GS}; V_{GS}	$R_i > 10^{10}\ \Omega$; C_i: (1 − 10) pF
MOSFET de tipo incremental (canal-p)	$I_G = 0$ A, $I_D = I_S$; D, G, S; V_T, $I_{D(\text{encendido})}$, $V_{GS(\text{encendido})}$; $I_D = k\,(V_{GS} - V_{GS(\text{Th})})^2$; $k = \frac{I_{D(\text{encendido})}}{(V_{GS(\text{encendido})} - V_{GS(\text{Th})})^2}$	I_D; $I_{D(\text{encendido})}$; 0; $V_{GS(\text{Th})}$; $V_{GS(\text{encendido})}$; V_{GS}	$R_i > 10^{10}\ \Omega$; C_i: (1 − 10) pF

5.13 RESUMEN

Conclusiones y conceptos importantes

1. Un **dispositivo controlado por corriente** es aquel en el que una corriente define las condiciones de operación del dispositivo, mientras que un **dispositivo controlado por voltaje** es aquel en el que un voltaje particular define las condiciones de operación.
2. El JFET puede emplearse como un **resistor controlado por voltaje** debido a la sensibilidad exclusiva de la impedancia drenaje-fuente ante el voltaje compuerta-fuente.
3. La **corriente máxima** de cualquier FET se denota por I_{DSS} y ocurre cuando $V_{GS} = 0$ V.
4. La **corriente mínima** de un JFET ocurre en el estrechamiento definido por $V_{GS} = V_P$.
5. La relación entre la corriente de drenaje y el voltaje compuerta-fuente de un JFET es una **relación no lineal** definida por la ecuación de Shockley. A medida que el nivel de corriente se aproxima a I_{DSS}, la sensibilidad de I_D ante cambios en V_{GS} se incrementa de forma significativa.
6. Las características de transferencia (I_D en función de V_{GS}) son características **propias del dispositivo** y no son sensibles a la red en la cual se utilice el JFET.
7. Cuando $V_{GS} = V_P/2$, $I_D = I_{DSS}/4$; y en el punto donde $I_D = I_{DSS}/2$, $V_{GS} \cong 0.3$ V.
8. Las condiciones de operación máximas están determinadas por el **producto** del voltaje drenaje-fuente con la corriente del drenaje.
9. Los MOSFETs se encuentran disponibles en dos tipos: **decremental e incremental.**
10. El MOSFET de tipo decremental posee las mismas características de transferencia que el JFET para corrientes del drenaje de un nivel hasta de I_{DSS}. En este punto, las características de un MOSFET de tipo decremental **continúan hasta niveles por arriba de I_{DSS}**, mientras que las del FET terminan ahí.
11. La flecha del símbolo de los JFETs o de los MOSFETs de canal-n, **siempre apuntará hacia el centro del símbolo,** mientras que la flecha de un dispositivo de canal-p siempre apuntará hacia fuera del centro del símbolo.
12. Las características de transferencia de un MOSFET de tipo incremental **no se encuentran definidas por la ecuación de Shockley** sino más bien, por una ecuación no lineal controlada por el voltaje compuerta-fuente, el voltaje de umbral y por una constante k definida para el dispositivo que se emplea. La gráfica resultante de I_D en función de V_{GS} es aquella que **crece exponencialmente ante valores crecientes de V_{GS}.**
13. Siempre es necesario tener **cuidado adicional** al manejar MOSFETs debido a la electricidad estática que puede existir en los lugares menos pensados. No elimine ningún mecanismo de circuito cerrado entre las terminales del dispositivo hasta que éste se instale.
14. Un CMOS (MOSFET complementario) es aquel que utiliza una **combinación única de un MOSFET de canal-p con uno de canal-n** mediante un solo conjunto de terminales externas. Posee la ventaja de una muy alta impedancia de entrada, velocidades de conmutación rápidas y bajos niveles de potencia de operación, todo lo cual, hace que sea muy útil para los circuitos lógicos.

Ecuaciones

JFET:

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$$

$$I_D = I_{DSS}\big|_{V_{GS}=0\ \text{V}}$$

$$I_D = 0\ \text{mA}\big|_{V_{GS}=V_P}$$

$$I_D = \frac{I_{DSS}}{4}\bigg|_{V_{GS}=V_P/2}$$

I_{DSS}/V_P

$$V_{GS} \cong 0.3V_P|_{I_D = I_{DSS}/2}$$

$$V_{GS} = V_P\left(1 - \sqrt{\frac{I_D}{I_{DSS}}}\right)$$

$$P_D = V_{DS}I_D$$

$$r_d = \frac{r_o}{(1 - V_{GS}/V_P)^2}$$

MOSFET (incremental):

$$I_D = k(V_{GS} - V_T)^2$$

$$k = \frac{I_{D(\text{encendido})}}{(V_{GS(\text{encendido})} - V_T)^2}$$

5.14 ANÁLISIS POR COMPUTADORA

PSpice para Windows

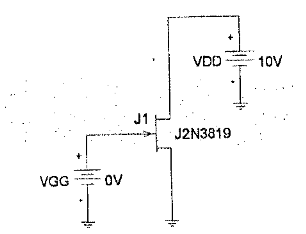


Figura 5.48 Red empleada para obtener las características del JFET J2N3819 de canal-n.

Es posible encontrar las características de un JFET de canal-n de una forma muy similar a la utilizada para el transistor bipolar. El conjunto de curvas para los distintos niveles de V requerirá un ciclo anidado dentro del ciclo principal para el voltaje drenaje-fuente. La configuración requerida aparece en la figura 5.48. Observe la ausencia de transistor alguno dado que se asume la impedancia de entrada como infinita, con lo que se ocasiona que $I_G = 0$ A. Para acceder al dispositivo de tres terminales mediante **Edit-Model-Edit Instance Model (Text)** se obtiene una lista al principio de la cual aparece el parámetro **Beta**. Para el transistor de unión de efecto de campo, **Beta** está definida por

$$\text{Beta} = \frac{I_{DSS}}{|V_P|^2} \tag{5.15}$$

El parámetro **Vto** = –3 define a $V_{GS} = V_P = -3$ V como el voltaje de estrechamiento (lo que deberá ser verificado cuando se obtengan nuestras características). Al seleccionar el icono de **Setup Analysis** (recuerde que es el que tiene la línea azul horizontal en la parte superior), primero se habilita **DC Sweep** y luego se activa para producir el cuadro de diálogo **DC Sweep**. Seleccione la opción de voltaje fuente lineal (**Voltage Source Linear**) e inserte en el nombre (**Name:**) VDD, el valor de inicio (**Start Value**) de 0 V, el valor final (**End Value**) de 10 V y el incremento (**Increment**) de 0.01 V. Luego, se selecciona la opción de barrido anidado (**Nested Sweep**) y se seleccionan las opciones **Voltage** y **Linear** una vez más. Finalmente, se ingresa el nombre (**Name:**) VGG, el valor inicial (**Start Value**) de 0 V, el valor final (**End Value**) de –5 V y el incremento (**Increment**) de –1 V. Luego, asegúrese de habilitar la opción de barrido anidado (**Enable Nested Sweep**) antes de hacer clic en **OK** y cerrar. Con la opción de ejecutar la prueba de forma automática después de la simulación (**Automatically run Probe after Simulation**) habilitada y haciendo clic sobre el icono de análisis se obtendrá la pantalla de Prueba de **OrCAD-MicroSim.** No habrá necesidad de acceder a la configuración del eje x (**X-Axis Settings**) ya que el eje horizontal cuenta con el rango correcto, y el voltaje V_{DD} es realmente el voltaje drenaje-fuente. Al seleccionar el icono de trazado (**Trace**), se presentará el cuadro de diálogo para añadir trazos (**Add Traces**), de donde se selecciona **ID(J1)** seguido de **OK**. El resultado será el conjunto de características que aparecen en la figura 5.49. Las etiquetas restantes se añadieron utilizando el icono **ABC**.

Observe que el voltaje de estrechamiento es de –3 V, como se esperaba por el parámetro **Vto**. El valor de I_{DSS} se encuentra muy cercano a 12 mA.

Las características de transferencia se pueden obtener al regresar a la configuración de la red y al seleccionar el icono de **Analysis Setup**. Se habilita y se selecciona nuevamente la opción de **DC Sweep**. En esta ocasión, debido a que el resultado será únicamente una curva, no

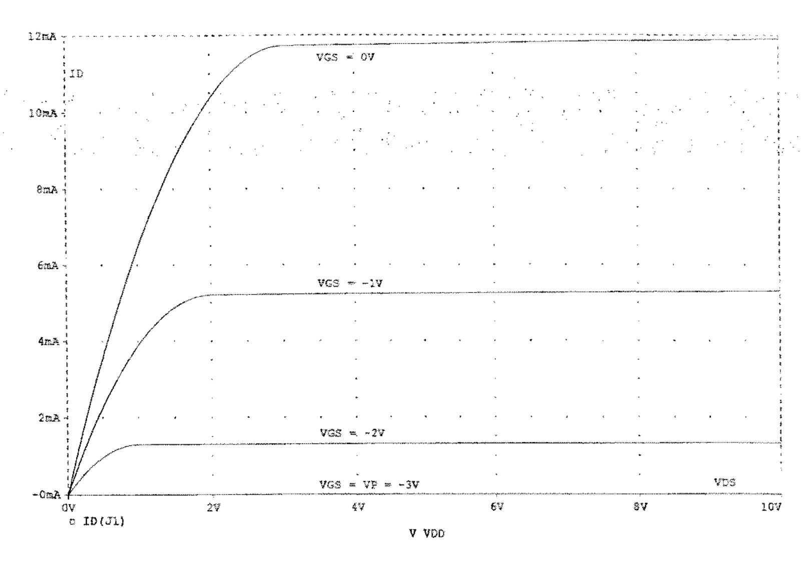


Figura 5.49 Características del drenaje para el JFET J2N3819 de canal-n de la figura 5.48.

se efectuará una operación anidada. Después de haber seleccionado **Voltage Source** y **Linear**, el nombre (**Name**) será VGG, el valor de inicio (**Start Value**) –3 V (ya que ahora sabemos que $V_P = -3$ V), el valor final (**End Value**) 0 V y el incremento (**Increment**) de 0.01 V con lo que se obtendrá una gráfica continua adecuada. Después de aceptar (**OK**) y de cerrarla (**Close**), será posible seleccionar el icono de simulación (**Simulation**). Una vez que aparezca la pantalla de Prueba (**Probe**), seleccione **Plot-X-Axis Settings-Axis Variable** para seleccionar la variable del eje, colocando **V(J1:g)** para el voltaje compuerta-fuente. Seleccione **OK** para regresar a **X-Axis Settings** y ahí seleccione **User Defined** en un rango de –3 V a 0 V (el cual ya aparece como tal debido a lo que establecimos para el barrado). Seleccione **OK** nuevamente y se podrá seleccionar la opción **Trace ID(J1)** lo cual ocasionará las características de transferencia de la figura 5.50.

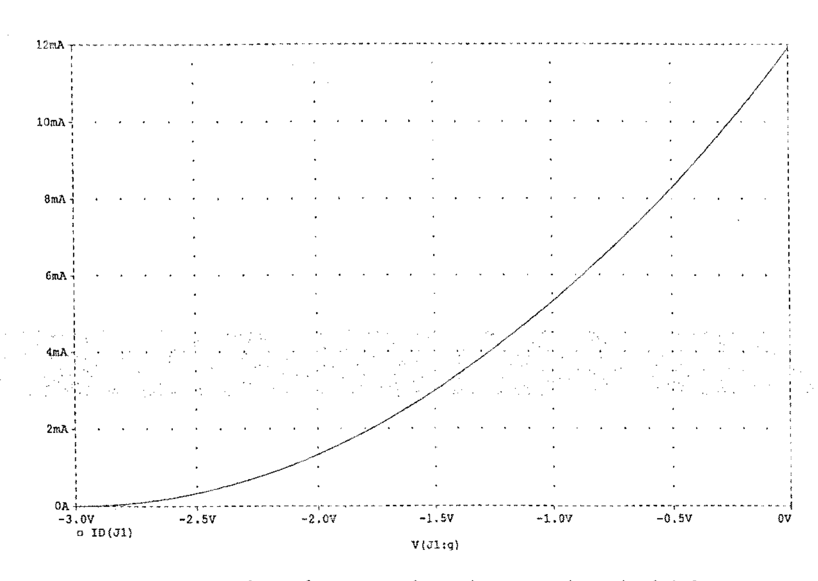


Figura 5.50 Características de transferencia para el JFET de J2N3819 de canal-n de la figura 5.48.

PROBLEMAS

§ 5.2 Construcción y características de los JFETs

1. (a) Dibuje la construcción básica de un JFET de canal-*p*.
(b) Aplique la polarización adecuada entre el drenaje y la fuente y dibuje la región de agotamiento para $V_{GS} = 0$ V.

2. Mediante las características de la figura 5.10, determine I_D para los siguientes niveles de V_{GS} (con $V_{DS} > V_P$).
(a) $V_{GS} = 0$ V.
(b) $_{GS} = -1$ V.
(c) $V_{GS} = -1.5$ V.
(d) $V_{GS} = -1.8$ V.
(e) $V_{GS} = -4$ V.
(f) $V_{GS} = -6$ V.

3. (a) Determine V_{DS} cuando $V_{GS} = 0$ V e $I_D = 6$ mA mediante las características de la figura 5.10.
(b) Por medio de los resultados del inciso (*a*), calcule la resistencia del JFET para la región $I_D = 0$ a 6 mA para $V_{GS} = 0$ V.
(c) Determine V_{DS} para cuando $V_{GS} = -1$ V e $I_D = 3$ mA.
(d) Mediante los resultados del inciso (*c*), calcule la resistencia del JFET para la región $I_D = 0$ a 3 mA para $V_{GS} = -1$ V.
(e) Determine V_{DS} para $V_{GS} = -2$ V e $I_D = 1.5$ mA.
(f) Mediante los resultados del inciso (*e*), calcule la resistencia del JFET para la región $I_D = 0$ a 1.5 mA para $V_{GS} = -2$ V.
(g) Mediante la definición del resultado del inciso (*b*) como r_o, determine la resistencia para $V_{GS} = -1$ V por medio de la ecuación 5.1 y compare con los resultados del inciso (*d*).
(h) Repita el inciso (*g*) para $V_{GS} = -2$ V mediante la misma ecuación y compare los resultados con el inciso (*f*).
(i) Con base en los resultados de los incisos (*g*) y (*h*), ¿es válida la aproximación de la ecuación 5.1?

4. Mediante las características de la figura 5.10:
(a) Determine la diferencia en la corriente de drenaje (para $V_{DS} > V_P$) entre $V_{GS} = 0$ V y $V_{GS} = -1$ V.
(b) Repita el inciso (*a*) entre $V_{GS} = -1$ y -2 V.
(c) Repita el inciso (*a*) entre $V_{GS} = -2$ y -3 V.
(d) Repita el inciso (*a*) entre $V_{GS} = -3$ y -4 V.
(e) ¿Existe un cambio marcado en la diferencia de los niveles de corriente a medida que V_{GS} crece negativamente?
(f) ¿Es la relación entre el cambio en V_{GS} y el cambio resultante en I_D lineal o no lineal? Explique.

5. ¿Cuáles son las principales diferencias entre las características del colector de un transistor BJT y las características del drenaje de un transistor JFET? Compare las unidades de cada eje y la variable de control. ¿Cómo reacciona I_C ante los niveles crecientes de I_B *en comparación* con los cambios de I_D ante los valores negativos crecientes de V_{GS}? ¿Cómo se compara el espaciamiento entre los incrementos de I_B con el espaciamiento entre los incrementos de V_{GS}? Compare $V_{C_{sat}}$ con V_P en cuanto a la definición de la región no lineal para niveles bajos de voltaje de salida.

6. (a) Describa en sus propias palabras por qué I_G es efectivamente de cero amperes para un transistor JFET.
(b) ¿Por qué es tan alta la impedancia de entrada de un JFET?
(c) ¿Por qué la terminología de *efecto de campo* apropiada para este importante dispositivo de tres terminales?

7. Dado $I_{DSS} = 12$ mA y $|V_P| = 6$ V, trace una probable distribución de las curvas características para el JFET (similar a la figura 5.10).

8. En general, comente sobre la polaridad de los distintos voltajes y la dirección de las corrientes para un JFET de canal-*n* contra uno de canal-*p*.

§ 5.3 Características de transferencia

9. Dadas las características de la figura 5.51:
(a) Dibuje las características de transferencia directamente sobre las características de drenaje.
(b) Mediante el uso de la figura 5.51 para establecer los valores de I_{DSS} y V_P dibuje las características de transferencia utilizando la ecuación de Shockley.
(c) Compare las características de los incisos (*a*) y (*b*). ¿Existen diferencias importantes entre ellas?

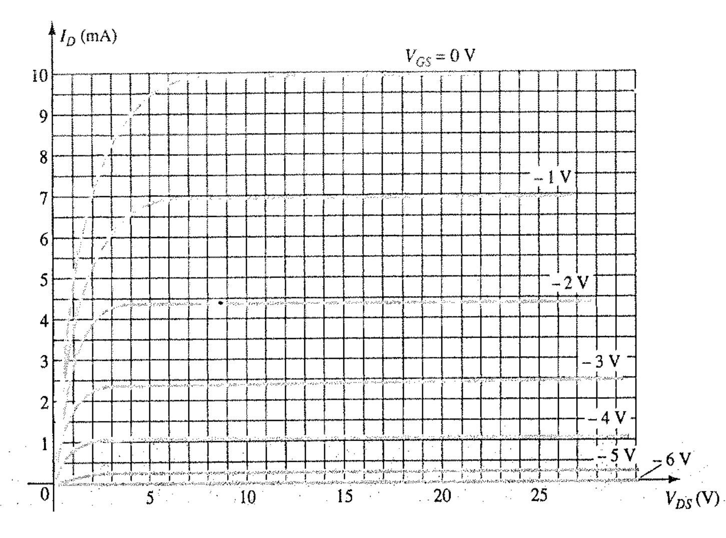


Figura 5.51 Problemas 9 y 17.

10. (a) Dado $I_{DSS} = 12$ mA y $V_P = -4$ V, trace las características de transferencia para el transistor JFET.
(b) Dibuje las características del drenaje para el dispositivo del inciso (*a*).

11. Dado $I_{DSS} = 9$ mA y $V_P = -3.5$ V, determine I_D cuando:
(a) $V_{GS} = 0$ V.
(b) $V_{GS} = -2$ V.
(c) $V_{GS} = -3.5$ V.
(d) $V_{GS} = -5$ V.

12. Dado $I_{DSS} = 16$ mA y $V_P = -5$ V, dibuje las características de transferencia utilizando los puntos de datos de la tabla 5.1. Determine el valor de I_D en $V_{GS} = -3$ V a partir de la curva, y compárelo con el valor determinado utilizando la ecuación de Shockley. Repita lo anterior para $V_{GS} = -1$ V.

13. Un JFET de canal-*p* tiene los siguientes parámetros de dispositivo: $I_{DSS} = 7.5$ mA y $V_P = 4$ V. Trace las características de transferencia.

14. Dado $I_{DSS} = 6$ mA y $V_P = -4.5$ V:
(a) Determine I_D en $V_{GS} = -2$ y -3.6 V.
(b) Determine V_{GS} en $I_D = 3$ y 5.5 mA.

15. Dado un punto Q en $I_{D_Q} = 3$ mA y $V_{GS} = -3$ V, determine I_{DSS} si $V_P = -6$ V.

§ 5.4 Hojas de especificaciones (JFETs)

16. Defina la región de operación para el JFET 2N5457 de la figura 5.20 utilizando los rangos de I_{DSS} y V_P proporcionados. Es decir, trace la curva de transferencia definida por los I_{DSS} y V_P máximos y la curva de transferencia para los I_{DSS} y V_P mínimos. Luego, sombree el área resultante entre las dos curvas.

17. Defina la región de operación para el JFET de la figura 5.51 si $V_{DS_{máx}} = 25$ V y $P_{D_{máx}} = 120$ mW.

§ 5.5 Instrumentación

18. Mediante el uso de las características de la figura 5.23 determine I_D en $V_{GS} = -0.7$ V y $V_{DS} = 10$ V.

19. En referencia a la figura 5.23 ¿es el sitio de los valores de estrechamiento definidos por la región de $V_{DS} < |V_P| = 3$ V?

20. Determine V_P para las características de la figura 5.23, empleando I_{DSS} e I_D en algún valor de V_{GS}. Es decir, solamente sustituya en la ecuación de Shockley y resuelva para V_P. Compare el resultado con el valor asumido de –3 V a partir de las características.

21. Mediante $I_{DSS} = 9$ mA y $V_P = -3$ V para las características de la figura 5.23 calcule I_D en $V_{GS} = -1$ V utilizando la ecuación de Shockley y compare con el nivel que aparece en la figura 5.23.

22. (a) Calcular la resistencia asociada con el JFET de la figura 5.23 para $V_{GS} = 0$ V desde $I_D = 0$ hasta 4 mA.
(b) Repita el inciso (*a*) para $V_{GS} = -0.5$ V desde $I_D = 0$ hasta 3 mA.
(c) Asigne la etiqueta r_o al resultado del inciso (*a*) y r_d al del inciso (*b*), utilice la ecuación 5.1 para determinar r_d y compare con el resultado del inciso (*b*).

§ 5.7 MOSFET de tipo decremental

23. (a) Dibuje la construcción básica de un MOSFET de tipo decremental de canal-*p*.
(b) Aplique el voltaje de drenaje-fuente apropiado y trace el flujo de electrones para $V_{GS} = 0$ V.

24. ¿De qué manera es la construcción del MOSFET de tipo decremental, similar a la de un JFET? ¿De qué forma es diferente?

25. Explique con sus propias palabras ¿por qué la aplicación de un voltaje positivo a la compuerta de un MOSFET de tipo decremental de canal-*n* ocasionará una corriente de drenaje que excede I_{DSS}?

26. Dado un MOSFET de tipo decremental con $I_{DSS} = 6$ mA y $V_P = -3$ V, determine la corriente de drenaje en $V_{GS} = -1$, 0, 1 y 2 V. Compare la diferencia en los niveles de corriente entre –1 y 0 V contra la diferencia entre 1 y 2 V. En la región positiva de V_{GS}, ¿la corriente de drenaje se incrementa a un ritmo significativamente mayor que para los valores negativos? ¿La curva de I_D se hace cada vez más vertical ante el incremento de los valores positivos de V_{GS}? ¿Existe una relación lineal o no lineal entre I_D y V_{GS}? Explique

27. Dibuje las características de transferencia y de drenaje de un MOSFET de tipo decremental de canal-*n* con $I_{DSS} = 12$ mA y $V_P = -8$ V para un rango de $V_{GS} = -V_P$ hasta $V_{GS} = 1$ V.

28. Dado $I_D = 14$ mA y $V_{GS} = 1$ V, determine V_P si $I_{DSS} = 9.5$ mA para un MOSFET de tipo decremental.

29. Dado $I_D = 4$ mA en $V_{GS} = -2$ V, determine I_{DSS} si $V_P = -5$ V.

30. Mediante un valor promedio de 2.9 mA para I_{DSS} del MOSFET 2N3797 de la figura 5.32, determine el nivel de V_{GS} que provocará una corriente de drenaje máxima de 20 mA si $V_P = -5$ V.

31. Si la corriente de drenaje del MOSFET 2N3797 de la figura 5.32 es de 8 mA, ¿cuál es el valor máximo permisible de V_{DS} al usar los valores nominales máximos de potencia?

§ 5.8 MOSFET de tipo incremental

32. (a) ¿Cuál es la principal diferencia entre la construcción de un MOSFET de tipo incremental y de un MOSFET de tipo decremental?
(b) Dibuje un MOSFET de tipo incremental de canal-*p* con su polarización apropiada aplicada ($V_{DS} > 0$ V, $V_{GS} > V_T$) e indique el canal, la dirección del flujo de electrones y la región de agotamiento resultante.
(c) Con sus propias palabras, describa brevemente la operación básica de un MOSFET de tipo incremental.

33. (a) Dibuje las características de transferencias y de drenaje de un MOSFET de tipo incremental de canal-*n* si $V_T = 3.5$ V y $k = 0.4 \times 10^{-3}$ A/V^2.
(b) Repita el inciso (*a*) para las características de transferencia si V_T se mantiene en 3.5 V y k se incrementa en 100% a 0.8×10^{-3} A/V^2.

34. (a) Dado $V_{GS(Th)} = 4$ V e $I_{D(encendido)} = 4$ mA en $V_{GS(encendido)} = 6$ V, determine k y formule la expresión general para I_D en el formato de la ecuación 5.13.
(b) Dibuje las características de transferencia del dispositivo del inciso (*a*).
(c) Determine I_D para el dispositivo del inciso (*a*) en $V_{GS} = 2$, 5 y 10 V.

35. Con las características de transferencia de la figura 5.52, determine V_T y k, y escriba la ecuación general para I_D.

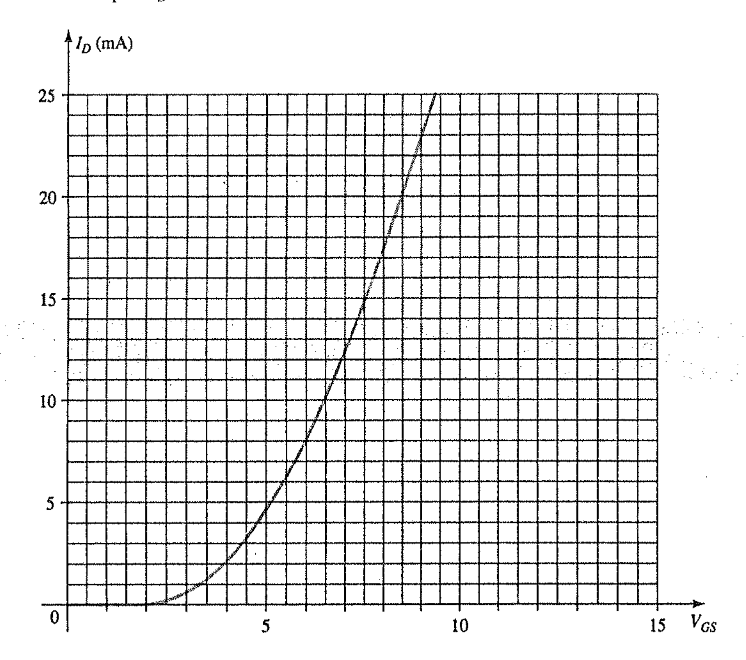


Figura 5.52 Problema 35.

36. Con $k = 0.4 \times 10^{-3}$ A/V^2 e $I_{D(encendido)} = 3$ mA con $V_{GS(encendido)} = 4$ V, determine V_T.

37. La corriente máxima de drenaje para el MOSFET 2N4351 de tipo incremental de canal-*n* es de 30 mA. Determine V_{GS} para este nivel de corriente si $k = 0.06 \times 10^{-3}$ A/V^2 y V_T tiene el valor máximo.

38. ¿La corriente de un MOSFET de tipo incremental aumenta en aproximadamente el mismo ritmo que la de un MOSFET de tipo decremental para la región de conducción? Revise cuidadosamente el formato general de las ecuaciones y si su conocimiento de matemáticas incluye el cálculo diferencial, calcule dI_D/dV_{GS} y compare su magnitud.

39. Dibuje las características de transferencia de un MOSFET de tipo incremental de canal-*p* si $V_T = -5$ V y $k = 0.45 \times 10^{-3}$ A/V^2.

40. Trace la curva de $I_D = 0.5 \times 10^{-3}\,(V_{GS}^2)$ e $I_D = 0.5 \times 10^{-3}\,(V_{GS} - 4)^2$ para V_{GS} de 0 a 10 V. ¿V_T tiene un impacto significativo sobre el nivel de I_D para esta región?

§ 5.10 VMOS

41. (a) Describa con sus propias palabras por qué el VMOS FET puede soportar una mayor corriente y nivel de potencia que la técnica de fabricación estándar.
(b) ¿Por qué el VMOS FET tiene niveles reducidos de resistencia de canal?
(c) ¿Por qué es deseable un coeficiente de temperatura estable?

§ 5.11 CMOS

* **42.** (a) Describa con sus propias palabras la operación de la red de la figura 5.46 con $V_i = 0$ V.
(b) Si el MOSFET "encendido" de la figura 5.46, (con $V_i = 0$ V) tiene una corriente de drenaje de 4 mA con $V_{DS} = 0.1$ V, ¿cuál es el valor de resistencia aproximado para el dispositivo? Si $I_D = 0.5$ µA para el transistor "apagado", ¿cuál es el valor de resistencia aproximado para el dispositivo? ¿Los niveles de resistencia resultantes sugieren que resultará el nivel de voltaje de salida deseado?

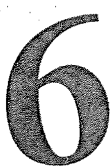
43. Realice una investigación de la lógica CMOS en su biblioteca local o universitaria, y describa el rango de aplicaciones y las ventajas básicas de este enfoque.

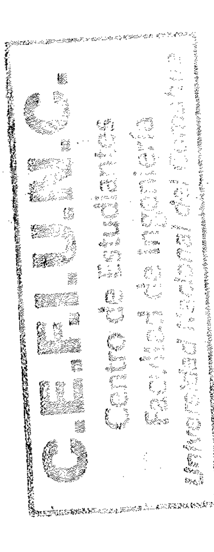
---

*Observe: Los asteriscos indican problemas con mayor dificultad.

CAPÍTULO

Polarización del FET 6





6.1 INTRODUCCIÓN

En el capítulo 5 vimos que los niveles de polarización para la configuración de un transistor de silicio pueden obtenerse al emplear las ecuaciones características: $V_{BE} = 0.7$ V, $I_C = \beta I_B$ e $I_C \cong I_E$. La conexión entre las variables de entrada y de salida está dada por β, la cual se supone de magnitud fija para la realización del análisis. El hecho de que β sea una constante, establece una relación *lineal* entre I_C e I_B, es decir, si se duplica el valor de I_B, también lo hará I_C, y así sucesivamente.

Para el caso del transistor de efecto de campo, la relación entre las variables de entrada y de salida es *no lineal* debido al término cuadrático en la ecuación de Shockley. Las relaciones lineales generan líneas rectas cuando se grafica una variable en función de la otra, mientras que las relaciones no lineales generan curvas como las obtenidas para las características de transferencia de un JFET. La relación no lineal entre I_D y V_{GS} puede complicar el método matemático del análisis de dc de las configuraciones del FET. Un método gráfico limitaría la solución a una precisión de décimas, pero a cambio, es un método más rápido para la mayoría de los amplificadores FET. Ya que el método gráfico es en general el más utilizado, el análisis de este capítulo tendrá principalmente una orientación gráfica en lugar de técnicas matemáticas directas.

Otra diferencia entre el análisis de transistores BJT y FET es que la variable de entrada que controla un transistor BJT es el nivel de corriente, mientras que para el FET, la variable de control es un voltaje. Sin embargo, en ambos casos, la variable controlada en el lado de la salida es un nivel de corriente que también define los niveles importantes de voltaje del circuito de salida.

Las relaciones generales que pueden aplicarse al análisis en dc para todos los amplificadores FET son

$$\boxed{I_G \cong 0 \text{ A}} \quad (6.1)$$

e

$$\boxed{I_D = I_S} \quad (6.2)$$

Para los JFETs y los MOSFETs de tipo decremental, la ecuación de Shockley se aplica para relacionar las cantidades de entrada y de salida:

$$\boxed{I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2} \quad (6.3)$$

Para los MOSFETs de tipo incremental, se aplica la siguiente ecuación:

$$\boxed{I_D = k(V_{GS} - V_T)^2} \tag{6.4}$$

Es particularmente importante observar que todas las ecuaciones anteriores son aplicables *¡sólo para el dispositivo!* Éstas no cambian con cada configuración de red, siempre y cuando el dispositivo se encuentre en la región activa. La red simplemente define el nivel de corriente y de voltaje asociado con el punto de operación mediante su propio conjunto de ecuaciones. En realidad, la solución de dc para redes BJT y FET es la solución de las ecuaciones simultáneas establecidas por el dispositivo y la red. La solución puede determinarse mediante el empleo de un método matemático o gráfico, hecho que se demostrará en las primeras redes que se analicen. Sin embargo, como se mencionó anteriormente, el método gráfico es el más común para las redes FET y es el que utilizaremos en este libro.

Las primeras secciones de este capítulo están limitadas a los JFETs y al sistema gráfico para el análisis. El MOSFET de tipo decremental se examinará después con su rango aumentado de puntos de operación seguido por el MOSFET de tipo incremental. Finalmente, se revisarán problemas de diseño para verificar completamente los conceptos y procedimientos presentados en el capítulo.

6.2 CONFIGURACIÓN DE POLARIZACIÓN FIJA

En la figura 6.1 se muestra el arreglo de polarización más simple para el JFET de canal-*n*. Conocida como la configuración de polarización fija, es una de las pocas configuraciones de FET que pueden resolverse de forma directa tanto con un método matemático como con uno gráfico. Ambos métodos se incluyen en esta sección tanto para demostrar la diferencia entre ambas filosofías como para demostrar el hecho de que es posible obtener la misma solución utilizando cualquier método.

La configuración de la figura 6.1 incluye los niveles de ac V_i y V_o y los capacitores de acoplamiento (C_1 y C_2). Recuerde que los capacitores de acoplamiento se comportan como "circuitos abiertos" para el análisis en dc y como impedancias bajas (esencialmente "cortos circuitos para señal") para el análisis en ac. El resistor R_G está presente para asegurar que V_i se presente a la entrada del amplificador a FET, para el análisis en ac (capítulo 9). Para el análisis en dc,

$$I_G \cong 0\ \text{A}$$

y

$$V_{R_G} = I_G R_G = (0\ \text{A})R_G = 0\ \text{V}$$

La caída de cero volts a través de R_G permite reemplazar R_G por un "corto circuito" equivalente, como aparece en la red de la figura 6.2 específicamente vuelto a dibujar para el análisis en dc.

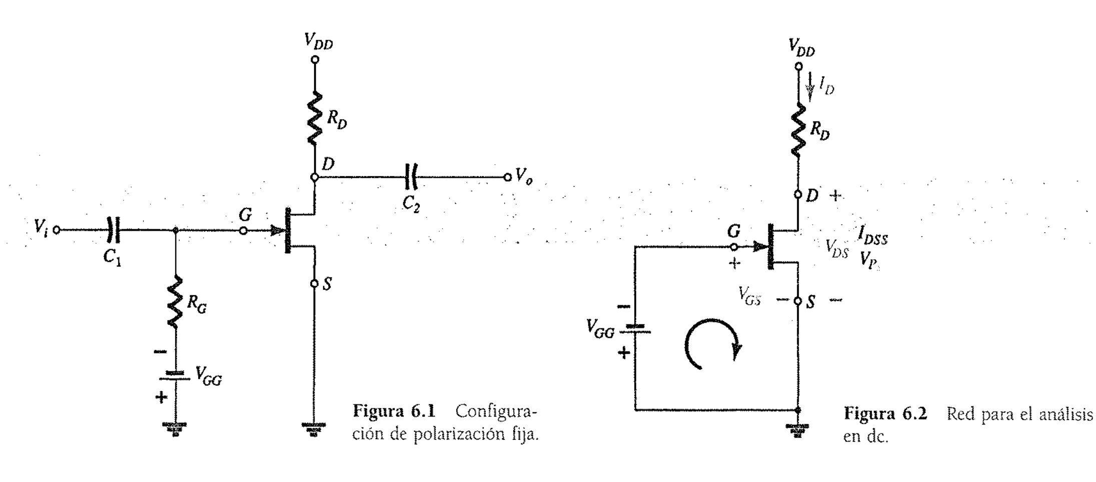


Figura 6.1 Configuración de polarización fija.

Figura 6.2 Red para el análisis en dc.

El hecho de que la terminal negativa de la batería esté conectada en forma directa al potencial positivo definido como V_{GS}, refleja claramente que la polarización de V_{GS} es directamente opuesta a la de V_{GG}. Al aplicar la ley de voltaje de Kirchhoff en dirección de las manecillas del reloj en la malla indicada en la figura 6.2 se tiene

$$-V_{GG} - V_{GS} = 0$$

y

$$\boxed{V_{GS} = -V_{GG}} \tag{6.5}$$

Debido a que V_{GG} es una fuente fija de dc, el voltaje V_{GS} será de una magnitud fija, lo que provoca la notación "configuración de polarización fija".

Ahora, el nivel resultante de corriente de drenaje I_D lo controla la ecuación de Shockley:

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$$

Ya que V_{GS} es una cantidad fija para esta configuración, es posible sustituir su magnitud y signo en la ecuación de Shockley, además de calcular el nivel resultante de I_D. Éste es uno de los pocos casos en que una solución matemática para una configuración a FET es muy directa.

Un análisis gráfico requeriría una graficación de la ecuación de Shockley como la mostrada en la figura 6.3. Es importante recordar que la elección de $V_{GS} = V_P/2$ dará por resultado una corriente de drenaje de $I_{DSS}/4$ cuando se grafique la ecuación. Para el análisis de este capítulo serán suficientes los tres puntos definidos por I_{DSS}, V_P y por la intersección recién descrita, con objeto de graficar la curva.

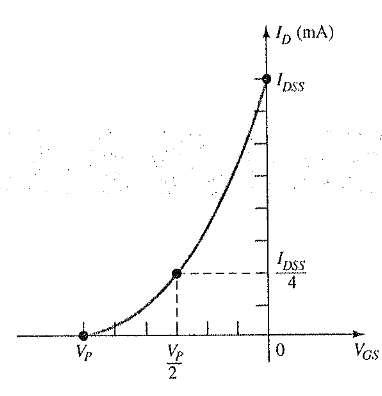


Figura 6.3 Gráfica de la ecuación de Shockley.

En la figura 6.4 se ha sobrepuesto el nivel fijo de V_{GS} como una línea vertical en $V_{GS} = -V_{GG}$. En cualquier punto de la línea vertical el nivel de V_{GS} es de $-V_{GG}$; el nivel de I_D simplemente deberá estar determinado sobre esta línea vertical. El punto donde se intersectan ambas

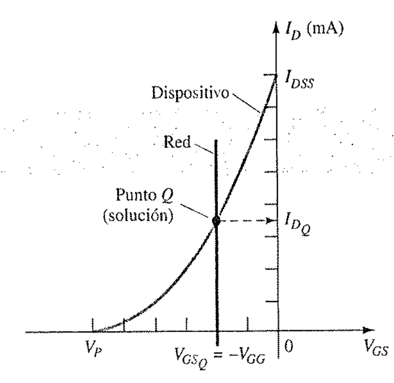
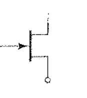


Figura 6.4 Localización de la solución para la configuración de polarización fija.



curvas es la solución común para la configuración, y se conoce generalmente como *punto de operación* o *de estabilidad*. El subíndice Q se aplicará a la corriente de drenaje y el voltaje de la compuerta a la fuente con objeto de identificar sus niveles en el punto Q. Se observa en la figura 6.4 que el nivel de estabilidad de I_D se determina al dibujar una línea horizontal desde el punto Q hacia el eje vertical I_D como en la figura 6.4. Es necesario mencionar que una vez que la red de la figura 6.1 esté construida y operando, los niveles de dc de I_D y de V_{GS} que se medirán con los instrumentos de la figura 6.5 serán los valores estables definidos por la figura 6.4.

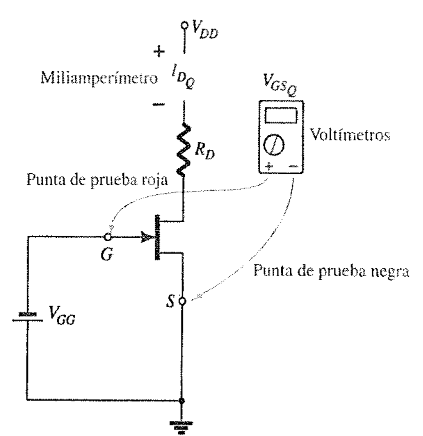


Figura 6.5 Medición de los valores de estabilidad de I_D y V_{GS}.

El voltaje de drenaje a fuente de la sección de salida puede calcularse si se aplica la ley de voltaje de Kirchhoff de la siguiente manera:

$$+V_{DS} + I_DR_D - V_{DD} = 0$$

y

$$\boxed{V_{DS} = V_{DD} - I_DR_D} \tag{6.6}$$

Recuerde que los voltajes con subíndice sencillo se refieren al voltaje en un punto con respecto a tierra. Para la configuración de la figura 6.2,

$$\boxed{V_S = 0\text{ V}} \tag{6.7}$$

Empleando una notación de subíndice doble:

$$V_{DS} = V_D - V_S$$

o

$$V_D = V_{DS} + V_S = V_{DS} + 0\text{ V}$$

y

$$\boxed{V_D = V_{DS}} \tag{6.8}$$

En adición,

$$V_{GS} = V_G - V_S$$

o

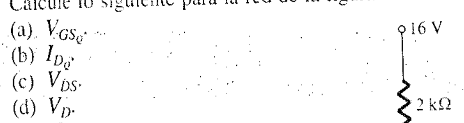
$$V_G = V_{GS} + V_S = V_{GS} + 0\text{ V}$$

y

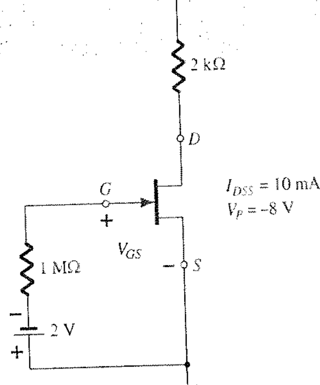
$$\boxed{V_G = V_{GS}} \tag{6.9}$$

El hecho de que $V_D = V_{DS}$ y que $V_G = V_{GS}$ parece obvio a partir del hecho de que $V_S = 0$ V, pero se incluyeron las derivaciones anteriores con el objeto de enfatizar la relación que existe entre la notación de subíndice doble y de subíndice sencillo. Ya que la configuración necesita dos fuentes de dc, su empleo está limitado y no será incluida en la futura lista de las configuraciones FET más comunes.

Calcule lo siguiente para la red de la figura 6.6.



(a) V_{GS_Q}.
(b) I_{D_Q}.
(c) V_{DS}.
(d) V_D.
(e) V_G.
(f) V_S.



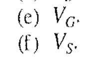


Figura 6.6 Ejemplo 6.1.

Solución

Método matemático:

(a) $V_{GS_Q} = -V_{GG} = \mathbf{-2\ V}$

(b) $I_{D_Q} = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 = 10\text{ mA}\left(1 - \frac{-2\text{ V}}{-8\text{ V}}\right)^2$

$= 10\text{ mA}(1 - 0.25)^2 = 10\text{ mA}(0.75)^2 = 10\text{ mA}(0.5625)$

$= \mathbf{5.625\ mA}$

(c) $V_{DS} = V_{DD} - I_DR_D = 16\text{ V} - (5.625\text{ mA})(2\text{ k}\Omega)$

$= 16\text{ V} - 11.25\text{ V} = \mathbf{4.75\ V}$

(d) $V_D = V_{DS} = \mathbf{4.75\ V}$

(e) $V_G = V_{GS} = \mathbf{-2\ V}$

(f) $V_S = \mathbf{0\ V}$

Método gráfico:

La curva Shockley resultante y la línea vertical en $V_{GS} = -2$ V se proporcionan en la figura 6.7. Ciertamente es difícil de leer más allá del segundo decimal sin aumentar significativamen-

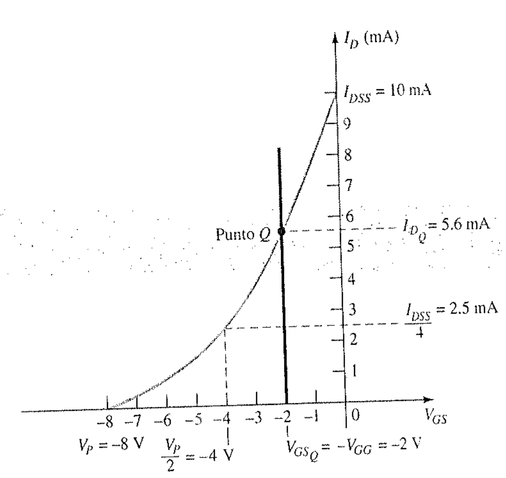


Figura 6.7 Solución gráfica para la red de la figura 6.6.

te el tamaño de la figura, sin embargo, una solución de 5.6 mA a partir de la gráfica de la figura 6.7 es bastante aceptable. Por tanto, para el inciso (*a*),

$$V_{GS_Q} = -V_{GG} = \mathbf{-2\ V}$$

(b) $I_{D_Q} = \mathbf{5.6\ mA}$

(c) $V_{DS} = V_{DD} - I_D R_D = 16\ \text{V} - (5.6\ \text{mA})(2\ \text{k}\Omega)$
$= 16\ \text{V} - 11.2\ \text{V} = \mathbf{4.8\ V}$

(d) $V_D = V_{DS} = \mathbf{4.8\ V}$

(e) $V_G = V_{GS} = \mathbf{-2\ V}$

(f) $V_S = \mathbf{0\ V}$

Este resultado claramente confirma el hecho de que las soluciones generadas bajo los enfoques matemático y gráfico son muy cercanas.

6.3 CONFIGURACIÓN DE AUTOPOLARIZACIÓN

La configuración de autopolarización elimina la necesidad de contar con dos fuentes de alimentación de dc. El voltaje de control de la compuerta a la fuente lo determina ahora el voltaje a través del resistor R_S que está conectado en la terminal de la fuente de la configuración como se muestra en la figura 6.8.

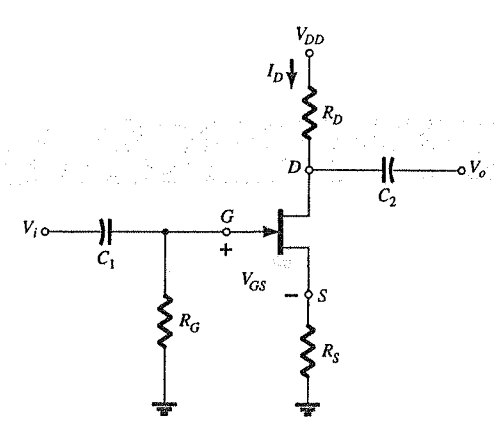


Figura 6.8 Configuración de autopolarización de JFET.

Para el análisis en dc, los capacitores pueden reemplazarse nuevamente por "circuitos abiertos" y el resistor R_G por un "corto circuito" equivalente ya que $I_G = 0$ A. El resultado es la red de la figura 6.9 para el análisis relevante en dc.

La corriente a través de R_S es la corriente de fuente I_S, pero como $I_S = I_D$ y

$$V_{R_S} = I_D R_S$$

Para la malla cerrada indicada en la figura 6.9, encontramos que

$$-V_{GS} - V_{R_S} = 0$$

y

$$V_{GS} = -V_{R_S}$$

o

$$\boxed{V_{GS} = -I_D R_S} \tag{6.10}$$

En este caso observe que V_{GS} está en función de la corriente de salida I_D y que no tiene una magnitud fija como ocurría para la configuración de polarización fija.

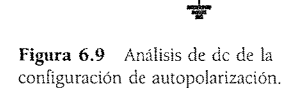


Figura 6.9 Análisis de dc de la configuración de autopolarización.

La ecuación 6.10 está definida por la configuración de la red, y la ecuación de Shockley relaciona las cantidades de entrada y de salida del dispositivo. Ambas ecuaciones relacionan a las mismas dos variables lo que permite una solución tanto matemática como gráfica.

Es posible obtener una solución matemática simplemente al sustituir la ecuación 6.10 en la ecuación de Shockley como se muestra a continuación:

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$$

$$= I_{DSS}\left(1 - \frac{-I_D R_S}{V_P}\right)^2$$

o

$$I_D = I_{DSS}\left(1 + \frac{I_D R_S}{V_P}\right)^2$$

Al desarrollar el término cuadrático indicado y al reacomodar términos, se obtiene una ecuación como la siguiente

$$I_D^2 + K_1 I_D + K_2 = 0$$

Posteriormente es posible resolver esta ecuación cuadrática para encontrar la solución apropiada para I_D.

La secuencia anterior define al método matemático. El caso del método gráfico requiere que primero establezcamos las características de transferencia del dispositivo como se muestra en la figura 6.10. Ya que la ecuación 6.10 define una línea recta sobre la misma gráfica, es posible identificar dos puntos sobre la gráfica que se encuentren sobre la línea y luego dibujar una línea recta entre los dos puntos. La condición más obvia que se puede aplicar es $I_D = 0$ A, porque se obtiene $V_{GS} = -I_D R_S = (0\text{A})R_S = 0$ V. Por tanto, para la ecuación 6.10 un punto sobre la línea recta se encuentra definido por $I_D = 0$ A y $V_{GS} = 0$ V, como aparece en la figura 6.10.

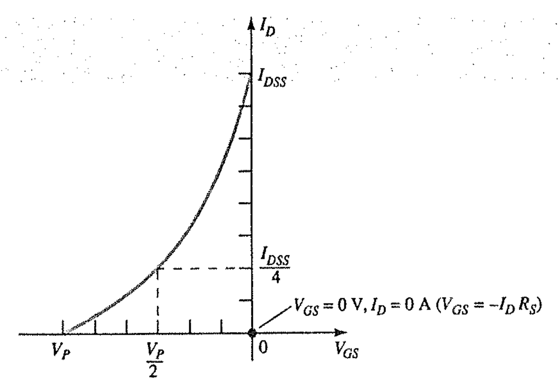


Figura 6.10 Definición de un punto sobre la línea de autopolarización.

Para el segundo punto de la ecuación 6.10 se requiere seleccionar un nivel de V_{GS} o de I_D y determinar el nivel correspondiente de la otra cantidad utilizando la ecuación 6.10. Entonces, los niveles resultantes de I_D y V_{GS} definirán otro punto sobre la línea recta que nos permitirá trazarla. Supongamos que se selecciona un nivel de I_D igual a un medio del nivel de saturación. Esto es,

$$I_D = \frac{I_{DSS}}{2}$$

luego

$$V_{GS} = -I_D R_S = -\frac{I_{DSS} R_S}{2}$$

El resultado es un segundo punto para la gráfica de la línea recta como se muestra en la figura 6.11. Entonces, se traza la línea recta definida por la ecuación 6.10 y se identifica el punto de

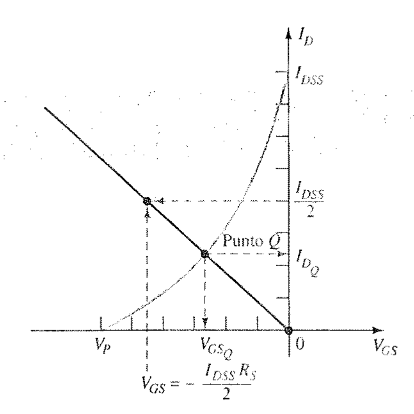


Figura 6.11 Trazo de la línea de autopolarización.

estabilidad que se obtiene en la intersección de la gráfica de la línea recta con la curva característica del dispositivo. Luego, puede determinarse el valor de estabilidad de I_D y V_{GS} para encontrar las demás cantidades de interés.

El nivel de V_{DS} puede determinarse si se utiliza la ley de voltaje de Kirchhoff al circuito de salida, lo que da por resultado

$$V_{R_S} + V_{DS} + V_{R_D} - V_{DD} = 0$$

y

$$V_{DS} = V_{DD} - V_{R_S} - V_{R_D} = V_{DD} - I_S R_S - I_D R_D$$

pero

$$I_D = I_S$$

y

$$\boxed{V_{DS} = V_{DD} - I_D(R_S + R_D)} \tag{6.11}$$

Además:

$$\boxed{V_S = I_D R_S} \tag{6.12}$$

$$\boxed{V_G = 0\text{ V}} \tag{6.13}$$

y

$$\boxed{V_D = V_{DS} + V_S = V_{DD} - V_{R_D}} \tag{6.14}$$

EJEMPLO 6.2

Determine lo siguiente para la red de la figura 6.12.

(a) V_{GS_Q}.
(b) I_{D_Q}.
(c) V_{DS}.
(d) V_S.
(e) V_G.
(f) V_D.

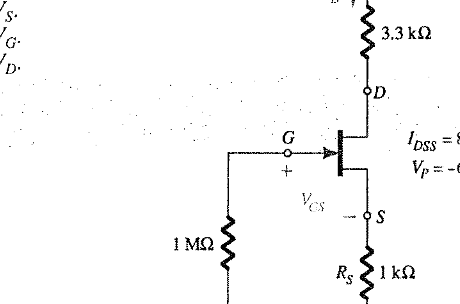


Figura 6.12 Ejemplo 6.2.

Solución

(a) El voltaje compuerta-fuente se determina por

$$V_{GS} = -I_D R_S$$

Si se elige $I_D = 4$ mA, se obtiene

$$V_{GS} = -(4\text{ mA})(1\text{ k}\Omega) = -4\text{ V}$$

El resultado corresponde a la gráfica de la figura 6.13, según la define la red.

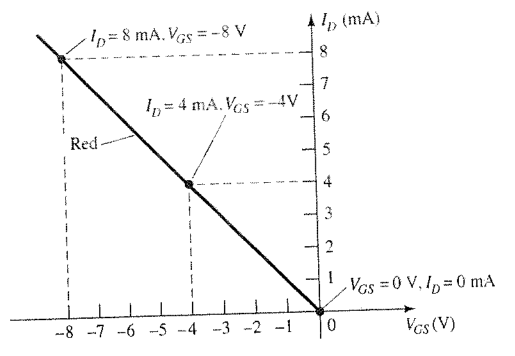


Figura 6.13 Trazo de la línea de autopolarización para la red de la figura 6.12.

En caso de seleccionar $I_D = 8$ mA, el valor resultante de V_{GS} sería de -8 V, como se muestra en la misma gráfica. En cualquier caso, se obtendrá la misma línea recta, que demostrará claramente que puede seleccionarse cualquier valor adecuado de I_D, siempre y cuando se utilice el correspondiente valor de V_{GS} determinado por la ecuación 6.10. Además, debe tenerse en cuenta que también es posible seleccionar el valor de V_{GS} y calcular el valor de I_D con la misma gráfica resultante.

Si se selecciona $V_{GS} = V_P/2 = -3$ V para la ecuación de Shockley, tenemos que $I_D = I_{DSS}/4 = 8\text{ mA}/4 = 2$ mA, y resultará la gráfica de la figura 6.14, la cual representa las características del dispositivo. La solución se obtiene al sobreponer las características de la red definidas por la figura 6.13 sobre las características de la figura 6.14 y al localizar el punto de intersección de las dos, como se indica en la figura 6.15. El punto de operación resultante indica un valor estable del voltaje compuerta-fuente de

$$V_{GS_Q} = \mathbf{-2.6\ V}$$

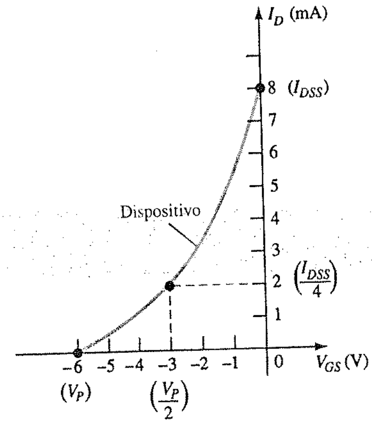


Figura 6.14 Trazo de las características del dispositivo para el JFET de la figura 6.12.

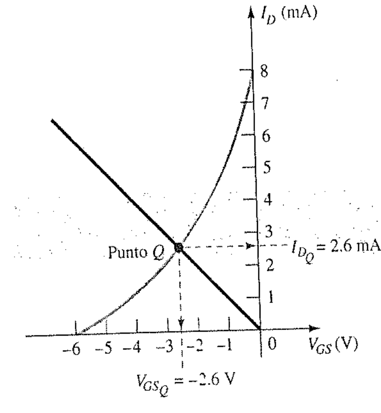
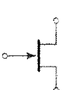


Figura 6.15 Determinación del punto Q para la red de la figura 6.12.



(b) En el punto de estabilidad:

$$I_{D_Q} = \mathbf{2.6\ mA}$$

(c) Ecuación (6.11): $V_{DS} = V_{DD} - I_D(R_S + R_D)$

$= 20\text{ V} - (2.6\text{ mA})(1\text{ k}\Omega + 3.3\text{ k}\Omega)$

$= 20\text{ V} - 11.18\text{ V}$

$= \mathbf{8.82\ V}$

(d) Ecuación (6.12): $V_S = I_D R_S$

$= (2.6\text{ mA})(1\text{ k}\Omega)$

$= \mathbf{2.6\ V}$

(e) Ecuación (6.13): $V_G = \mathbf{0\ V}$

(f) Ecuación (6.14): $V_D = V_{DS} + V_S = 8.82\text{ V} + 2.6\text{ V} = \mathbf{11.42\ V}$

o $V_D = V_{DD} - I_D R_D = 20\text{ V} - (2.6\text{ mA})(3.3\text{ k}\Omega) = \mathbf{11.42\ V}$

Mathcad

Ahora utilizaremos Mathcad para encontrar las condiciones de estabilidad del ejemplo 6.2 a través del proceso descrito a detalle en la sección 2.2. Las dos ecuaciones simultáneas que definen el punto Q para la red de la figura 6.12 son:

$$I_D = \frac{V_{GS}}{R_S} = \frac{V_{GS}}{1\text{ k}\Omega} = 1 \times 10^{-3}\, V_{GS}$$

e

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 = 8 \times 10^{-3}\left(1 - \frac{V_{GS}}{-6}\right)^2$$

Después de iniciar Mathcad, debemos proporcionarle estimaciones para las dos variables I_D y V_{GS}. Los valores seleccionados son 8 mA y −5 V, respectivamente. Cada uno de éstos se captura al ingresar el nombre de la variable seguido de **Shift :**. Luego, debe teclearse la palabra **Given** seguida por las dos ecuaciones simultáneas mediante el signo igual obtenido mediante **Ctrl =**. Finalmente, las variables a determinar deben estar definidas por **Find (ID, VGS)** como se muestra en la figura 6.16. Los resultados aparecerán una vez que se ingresa el signo igual.

Mathcad devuelve un valor de −2.59 V para **VGS** el cual es muy cercano al nivel calculado de −2.6 V. También, la corriente de 2.59 mA es muy cercana al nivel calculado de 2.6 mA.

$ID := 8\cdot 10^{-3}$

$VGS := -5$

Dados

$ID = -1\cdot 10^{-3}\cdot VGS$

$ID = 8\cdot 10^{-3}\cdot\left[1 - \left(\frac{VGS}{-6}\right)\right]^2$

$\text{Se observa}(ID, VGS) = \begin{bmatrix} 2.588\cdot 10^{-3} \\ -2.588 \end{bmatrix}$

Figura 6.16 Determinación del punto de operación estable para la red del ejemplo 6.2.

EJEMPLO 6.3

Localice el punto de operación para la red de la figura 6.12 si:
(a) $R_S = 100\ \Omega$.
(b) $R_S = 10\text{ k}\Omega$.

Solución

Observe la figura 6.17.

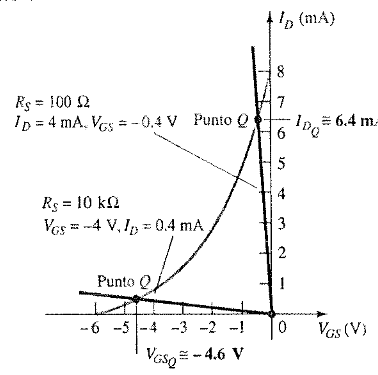


Figura 6.17 Ejemplo 6.3.

(a) En la escala de I_D,

$$I_{D_Q} \cong \mathbf{6.4\ mA}$$

De la ecuación 6.10,

$$V_{GS_Q} \cong \mathbf{-0.64\ V}$$

(b) En la escala de V_{GS},

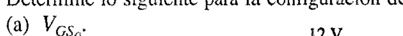
$$V_{GS_Q} \cong \mathbf{-4.6\ V}$$

De la ecuación 6.10,

$$I_{D_Q} \cong \mathbf{0.46\ mA}$$

Observe en particular cómo a menores niveles de R_S, la recta de carga de la red se acerca al eje I_D mientras que a mayores niveles de R_S la recta de carga se acerca al eje V_{GS}.

EJEMPLO 6.4



Determine lo siguiente para la configuración de compuerta común de la figura 6.18.
(a) V_{GS_Q}.
(b) I_{D_Q}.
(c) V_D.
(d) V_G.
(e) V_S.
(f) V_{DS}.

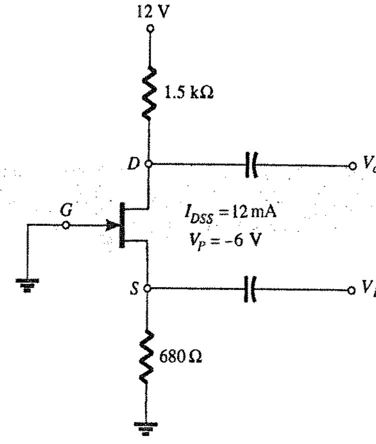
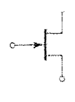


Figura 6.18 Ejemplo 6.4.



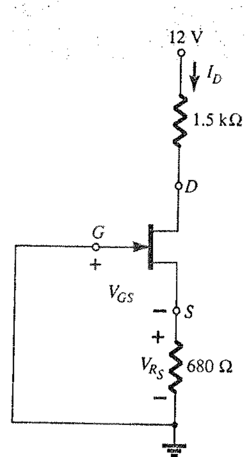


Figura 6.19 Diagrama del equivalente de dc de la red de la figura 6.18.

Solución

La terminal de la compuerta que está conectada a tierra y la ubicación de la entrada establecen fuertes similitudes con el amplificador BJT de base común. Aunque tiene una apariencia diferente de la estructura básica de la figura 6.8, la red resultante de la figura 6.19 posee la misma estructura básica de la figura 6.9. Por tanto, el análisis de dc puede proceder de la misma forma que en los ejemplos recientes.

(a) Las características de transferencia y la recta de carga aparecen en la figura 6.20. En este caso, se determinó el segundo punto del trazo seleccionando (de forma arbitraria) $I_D = 6$ mA y resolviendo para V_{GS}. Esto es,

$$V_{GS} = -I_D R_S = -(6 \text{ mA})(680 \ \Omega) = -4.08 \text{ V}$$

como se muestra en la figura 6.20. La curva de transferencia del dispositivo se trazó utilizando

$$I_D = \frac{I_{DSS}}{4} = \frac{12 \text{ mA}}{4} = 3 \text{ mA}$$

y el valor asociado de V_{GS}:

$$V_{GS} = \frac{V_P}{2} = -\frac{6 \text{ V}}{2} = -3 \text{ V}$$

como se muestra en la figura 6.20. Mediante el empleo del punto de estabilidad de la figura 6.20 se obtiene

$$V_{GS_Q} \cong \mathbf{-2.6 \ V}$$

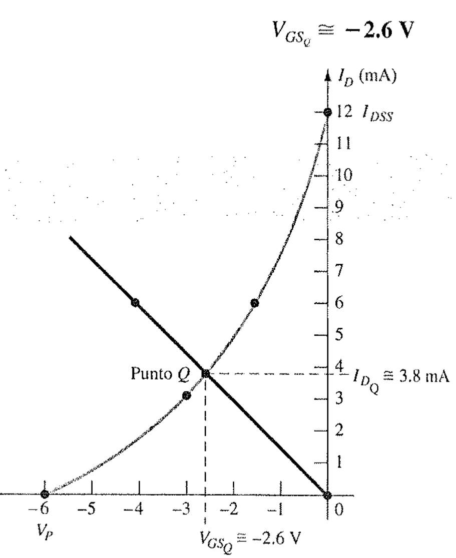


Figura 6.20 Determinación del punto Q para la red de la figura 6.18.

(b) De la figura 6.20,

$$I_{D_Q} \cong \mathbf{3.8 \ mA}$$

(c) $V_D = V_{DD} - I_D R_D$

$= 12 \text{ V} - (3.8 \text{ mA})(1.5 \text{ k}\Omega) = 12 \text{ V} - 5.7 \text{ V}$

$= \mathbf{6.3 \ V}$

(d) $V_G = \mathbf{0 \ V}$

(e) $V_S = I_D R_S = (3.8 \text{ mA})(680 \ \Omega)$

$= \mathbf{2.58 \ V}$

(f) $V_{DS} = V_D - V_S$

$= 6.3 \text{ V} - 2.58 \text{ V}$

$= \mathbf{3.72 \ V}$

6.4 POLARIZACIÓN POR DIVISOR DE VOLTAJE

El arreglo de polarización por divisor de voltaje que se aplicó al amplificador del transistor BJT también puede aplicarse a los amplificadores a FET como lo demuestra la figura 6.21. La construcción básica es exactamente la misma, pero el análisis en dc de cada uno es muy diferente. Para amplificadores FET $I_G = 0$ A, pero la magnitud de I_B para los amplificadores BJT de emisor común puede afectar los niveles de dc de la corriente y el voltaje tanto del circuito de entrada como el de salida. Recuerde que I_B proporcionaba la relación entre el circuito de entrada y el de salida para la configuración de BJT por divisor de voltaje mientras que V_{GS} hará lo mismo para la configuración de FET.

La red de la figura 6.21 se vuelve a dibujar en la figura 6.22 para el análisis en dc. Observe que todos los capacitores, incluso el capacitor de desvío C_S, se reemplazaron por un equivalente de "circuito abierto". Además, la fuente V_{DD} se separó en dos fuentes equivalentes para permitir una separación mayor entre las zonas de entrada y de salida de la red. Dado que $I_G = 0$ A, la ley de corriente de Kirchhoff requiere que $I_{R_1} = I_{R_2}$ y que el circuito equivalente en serie que aparece a la izquierda de la figura pueda emplearse para encontrar el nivel de V_G. El voltaje V_G, equivalente al voltaje a través de R_2 puede conocerse al utilizar la ley del divisor de voltaje de la siguiente manera:

$$\boxed{V_G = \frac{R_2 V_{DD}}{R_1 + R_2}} \qquad (6.15)$$

Al aplicar la ley de voltaje de Kirchhoff en el sentido de las manecillas del reloj para la malla indicada en la figura 6.22, obtendremos

$$V_G - V_{GS} - V_{R_S} = 0$$

y

$$V_{GS} = V_G - V_{R_S}$$

Sustituyendo $V_{R_S} = I_S R_S = I_D R_S$, tenemos

$$\boxed{V_{GS} = V_G - I_D R_S} \qquad (6.16)$$

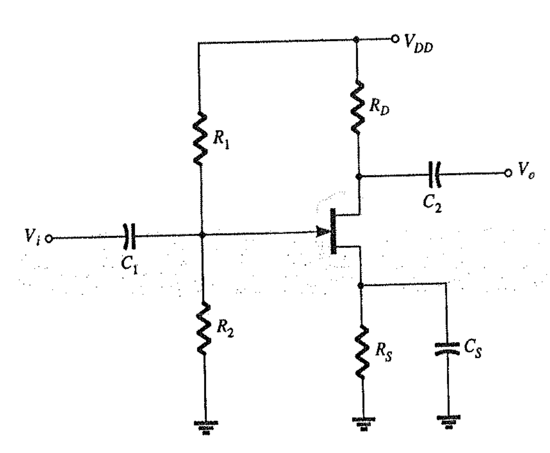


Figura 6.21 Arreglo de polarización por divisor de voltaje.

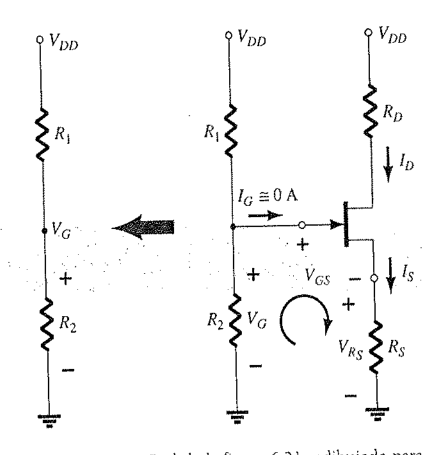


Figura 6.22 Red de la figura 6.21 redibujada para el análisis de dc.

El resultado es una ecuación que todavía incluye las dos mismas variables que aparecen en la ecuación de Shockley: V_{GS} e I_D. Los valores de V_G y R_S los fija la red. La ecuación 6.16 aún es la ecuación de una línea recta, pero el origen ya no es un punto en el trazo de la línea. El procedimiento para trazar la ecuación 6.16 no es difícil y se realizará a continuación. Dado que cualquier línea recta requiere de dos puntos para definirse, aprovechemos primero el hecho de que en cualquier lugar sobre el eje horizontal de la figura 6.23 la corriente $I_D = 0$ mA. Si por tanto seleccionamos I_D en 0 mA, básicamente estaremos estableciendo que nos encontramos sobre el eje horizontal. La ubicación exacta puede determinarse sólo con sustituir $I_D = 0$ mA en la ecuación 6.16 y al encontrar el valor resultante de V_{GS} de la siguiente forma:

$$V_{GS} = V_G - I_D R_S$$
$$= V_G - (0\text{ mA})R_S$$

y

$$\boxed{V_{GS} = V_G|_{I_D = 0\text{ mA}}} \tag{6.17}$$

El resultado establece que al graficar la ecuación 6.16, siempre que seleccionemos $I_D = 0$ mA, el valor de V_{GS} para la gráfica será de V_G volts. El punto que se acaba de determinar aparece en la figura 6.23.

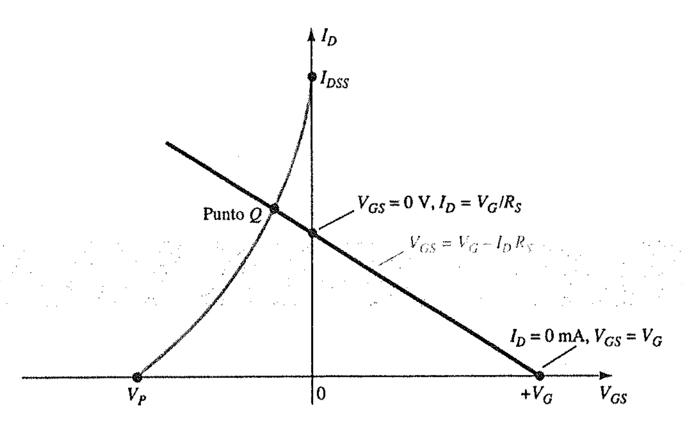


Figura 6.23 Trazo de la ecuación de la red para la configuración por divisor de voltaje.

Para el caso del otro punto, se emplea el hecho de que sobre cualquier punto en el eje vertical $V_{GS} = 0$ V y resolvemos para el valor resultante de I_D:

$$V_{GS} = V_G - I_D R_S$$
$$0\text{ V} = V_G - I_D R_S$$

e

$$\boxed{I_D = \left.\frac{V_G}{R_S}\right|_{V_{GS} = 0\text{ V}}} \tag{6.18}$$

El resultado precisa que siempre que se grafique la ecuación 6.16, si $V_{GS} = 0$ V, el nivel de I_D estará determinado por la ecuación 6.18. Esta intersección aparece también en la figura 6.23.

Con los dos puntos definidos antes es posible dibujar una línea recta que represente a la ecuación 6.16. La intersección de la línea recta con la curva de transferencia en la región a la izquierda del eje vertical, definirá el punto de operación y los niveles correspondientes de I_D y de V_{GS}.

Debido a que la intersección sobre el eje vertical se determina por $I_D = V_G/R_S$ y V_G la fija la red de entrada, el incremento en los valores de R_S reducirá el nivel de la intersección de I_D como se muestra en la figura 6.24. A partir de la figura 6.24 es obvio que:

El incremento en los valores de R_S ocasiona niveles menores de estabilidad de I_D y valores más negativos de V_{GS}.

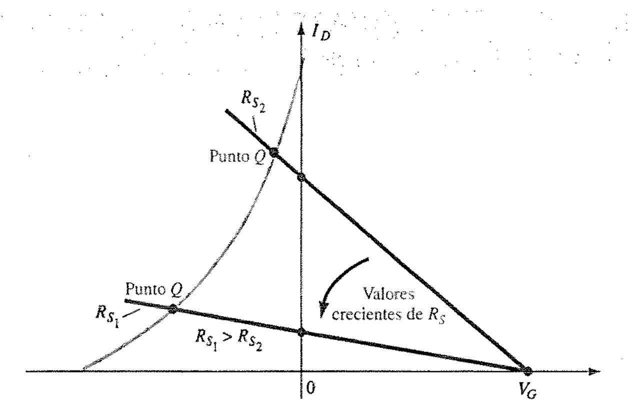


Figura 6.24 Efecto de R_S sobre el punto Q obtenido.

Una vez que se han determinado los valores de I_{D_Q} y V_{GS_Q} el análisis restante de la red puede efectuarse de la forma acostumbrada. Esto es,

$$\boxed{V_{DS} = V_{DD} - I_D(R_D + R_S)} \tag{6.19}$$

$$\boxed{V_D = V_{DD} - I_D R_D} \tag{6.20}$$

$$\boxed{V_S = I_D R_S} \tag{6.21}$$

$$\boxed{I_{R_1} = I_{R_2} = \frac{V_{DD}}{R_1 + R_2}} \tag{6.22}$$

EJEMPLO 6.5

Determine lo siguiente para la red de la figura 6.25.
(a) I_{D_Q} y V_{GS_Q}.
(b) V_D.
(c) V_S.
(d) V_{DS}.
(e) V_{DG}.

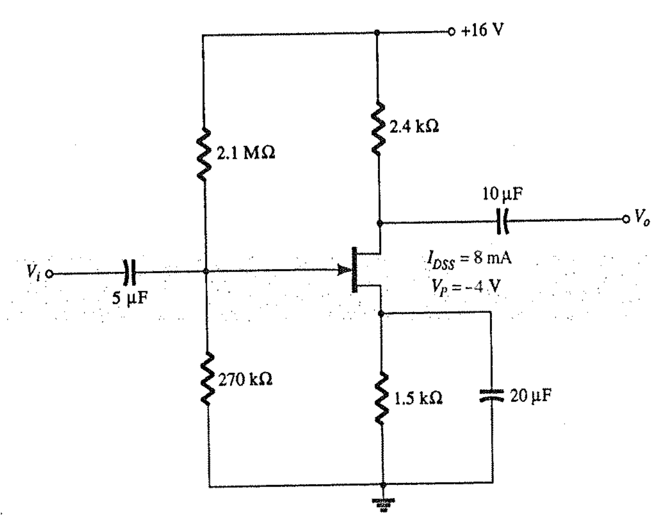


Figura 6.25 Ejemplo 6.5.

Solución

(a) Para las características de transferencia, si $I_D = I_{DSS}/4 = 8\text{ mA}/4 = 2\text{ mA}$, luego $V_{GS} = V_P/2 = -4\text{ V}/2 = -2\text{ V}$. En la figura 6.26 aparece la curva resultante que representa la ecuación de Shockley. La ecuación de la red está definida por:

$$V_G = \frac{R_2 V_{DD}}{R_1 + R_2}$$
$$= \frac{(270\text{ k}\Omega)(16\text{ V})}{2.1\text{ M}\Omega + 0.27\text{ M}\Omega}$$
$$= 1.82\text{ V}$$

y

$$V_{GS} = V_G - I_D R_S$$
$$= 1.82\text{ V} - I_D(1.5\text{ k}\Omega)$$

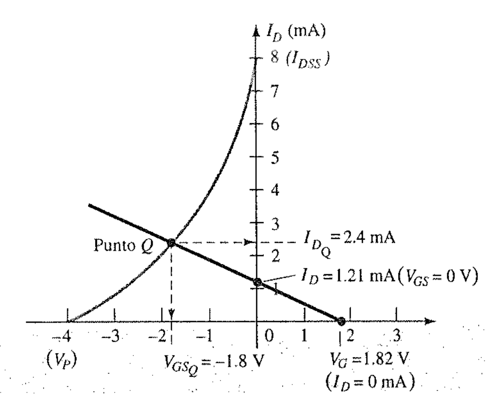


Figura 6.26 Determinación del punto Q para la red de la figura 6.25.

Cuando $I_D = 0$ mA:

$$V_{GS} = +1.82\text{ V}$$

Cuando $V_{GS} = 0$ V:

$$I_D = \frac{1.82\text{ V}}{1.5\text{ k}\Omega} = 1.21\text{ mA}$$

La línea de polarización aparece en la figura 6.26 con los valores del estabilidad de

$$I_{D_Q} = \mathbf{2.4\text{ mA}}$$

y

$$V_{GS_Q} = \mathbf{-1.8\text{ V}}$$

(b) $V_D = V_{DD} - I_D R_D$
$= 16\text{ V} - (2.4\text{ mA})(2.4\text{ k}\Omega)$
$= \mathbf{10.24\text{ V}}$

(c) $V_S = I_D R_S = (2.4\text{ mA})(1.5\text{ k}\Omega)$
$= \mathbf{3.6\text{ V}}$

(d) $V_{DS} = V_{DD} - I_D(R_D + R_S)$
$= 16\text{ V} - (2.4\text{ mA})(2.4\text{ k}\Omega + 1.5\text{ k}\Omega)$
$= \mathbf{6.64\text{ V}}$

o $V_{DS} = V_D - V_S = 10.24\text{ V} - 3.6\text{ V}$
$= \mathbf{6.64\text{ V}}$

(e) Aunque raras veces se requiere, el voltaje V_{DG} puede determinarse fácilmente empleando

$$V_{DG} = V_D - V_G$$
$$= 10.24\text{ V} - 1.82\text{ V}$$
$$= \mathbf{8.42\text{ V}}$$

A pesar de que la construcción básica de la red en el siguiente ejemplo es muy diferente al arreglo de polarización por divisor de voltaje, las ecuaciones resultantes requieren de una solución muy similar a la recién descrita. Observe que la red emplea una fuente en el drenaje y en la fuente.

EJEMPLO 6.6

Determine lo siguiente para la red de la figura 6.27.

(a) I_{D_Q} y V_{GS_Q}.
(b) V_{DS}.
(c) V_D.
(d) V_S.

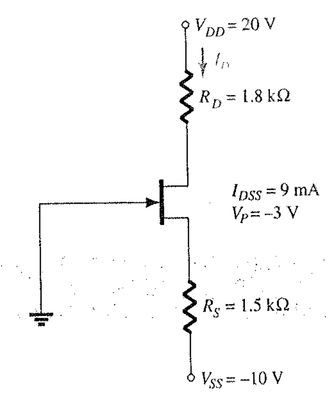


Figura 6.27 Ejemplo 6.6.

Solución

(a) Al aplicar la ley de voltaje de Kirchhoff sobre la sección de entrada de la red, se obtiene una ecuación para V_{GS} en términos de I_D, como se redibuja en la figura 6.28.

$$-V_{GS} - I_S R_S + V_{SS} = 0$$

o

$$V_{GS} = V_{SS} - I_S R_S$$

pero

$$I_S = I_D$$

y

$$\boxed{V_{GS} = V_{SS} - I_D R_S} \quad (6.23)$$

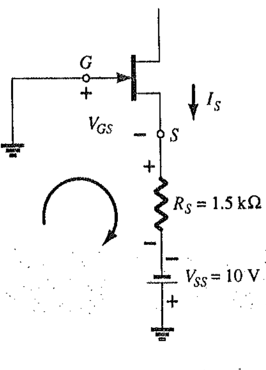


Figura 6.28 Determinación de la ecuación de la red para la configuración de la figura 6.27.

El resultado es un ecuación con formato muy similar a la ecuación 6.16 que puede sobreponerse a las características de transferencia mediante el procedimiento descrito para la ecuación 6.16. Lo cual para este ejemplo es,

$$V_{GS} = 10\text{ V} - I_D(1.5\text{ k}\Omega)$$

Para $I_D = 0$ mA,

$$V_{GS} = V_{SS} = 10\text{ V}$$

Para $V_{GS} = 0$ V,

$$0 = 10\text{ V} - I_D(1.5\text{ k}\Omega)$$

e $$I_D = \frac{10\text{ V}}{1.5\text{ k}\Omega} = 6.67\text{ mA}$$

En la figura 6.29 se identifican los puntos para la gráfica.

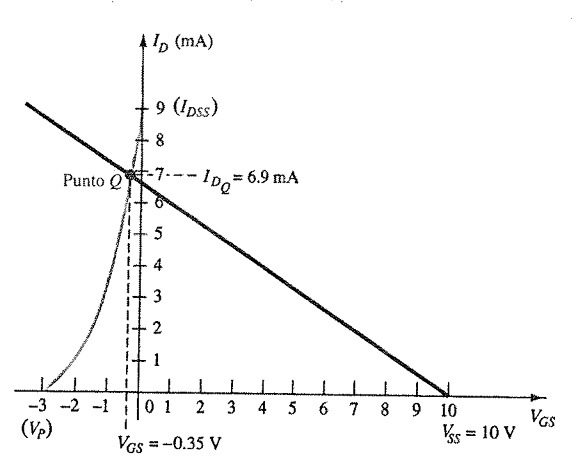


Figura 6.29 Determinación del punto Q para la red de la figura 6.27.

Las características de transferencia se graficaron empleando el punto para la gráfica establecido por $V_{GS} = V_P/2 = -3\text{ V}/2 = -1.5\text{ V}$ e $I_D = I_{DSS}/4 = 9\text{ mA}/4 = 2.25\text{ mA}$, como también se indica en la figura 6.29. El punto de operación resultante establece los siguientes niveles de estabilidad:

$$I_{D_Q} = \mathbf{6.9\ mA}$$
$$V_{GS_Q} = \mathbf{-0.35\ V}$$

(b) Al aplicar la ley de voltaje de Kirchhoff para la sección de salida de la figura 6.27 tendremos

$$-V_{SS} + I_S R_S + V_{DS} + I_D R_D - V_{DD} = 0$$

Al sustituir $I_S = I_D$ y reacomodar se obtiene

$$\boxed{V_{DS} = V_{DD} + V_{SS} - I_D(R_D + R_S)} \tag{6.24}$$

el cual para este ejemplo resulta

$$V_{DS} = 20\text{ V} + 10\text{ V} - (6.9\text{ mA})(1.8\text{ k}\Omega + 1.5\text{ k}\Omega)$$
$$= 30\text{ V} - 22.77\text{ V}$$
$$= \mathbf{7.23\ V}$$

(c) $V_D = V_{DD} - I_D R_D$
$$= 20\text{ V} - (6.9\text{ mA})(1.8\text{ k}\Omega) = 20\text{ V} - 12.42\text{ V}$$
$$= \mathbf{7.58\ V}$$

(d) $V_{DS} = V_D - V_S$
o $V_S = V_D - V_{DS}$
$$= 7.58\text{ V} - 7.23\text{ V}$$
$$= \mathbf{0.35\ V}$$

6.5 MOSFETs DE TIPO DECREMENTAL

Las aparentes similitudes entre las curvas de transferencia de los JFETs y de los MOSFETs de tipo decremental permiten realizar un análisis parecido de cada uno en el dominio de dc. La principal diferencia entre ambos, es el hecho de que el MOSFET de tipo decremental permite puntos de operación con valores positivos de V_{GS} y niveles de I_D que exceden I_{DSS}. De hecho, para todas las configuraciones hasta aquí analizadas, el análisis es el mismo si el JFET se reemplaza por un MOSFET de tipo decremental.

La única parte no definida del análisis es la forma de graficar la ecuación de Shockley para valores positivos de V_{GS}. ¿Hasta dónde deberá extenderse la curva de transferencia hacia la región de valores positivos de V_{GS} y hacia valores de I_D mayores que I_{DSS}? Para la mayoría de las situaciones, este intervalo requerido se encontrará bien definido por los parámetros del MOSFET y por la línea de polarización resultante de la red. Algunos ejemplos mostrarán el impacto del cambio en el dispositivo sobre el análisis resultante.

EJEMPLO 6.7

Para el MOSFET de tipo decremental de canal-n de la figura 6.30, determine:
(a) I_{D_Q} y V_{GS_Q}.
(b) V_{DS}.

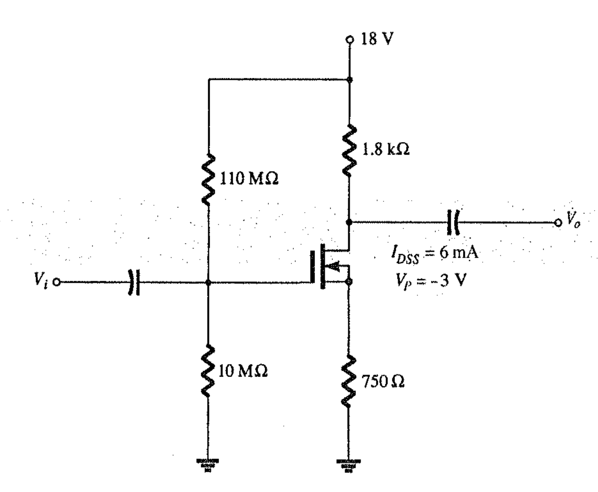
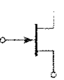


Figura 6.30 Ejemplo 6.7.

Solución

(a) Para las características de transferencia se define un punto en la gráfica establecido por $I_D = I_{DSS}/4 = 6\text{ mA}/4 = 1.5\text{ mA}$ y $V_{GS} = V_P/2 = -3\text{ V}/2 = -1.5\text{ V}$. Si consideramos que el nivel de V_P y el hecho de que la ecuación de Shockley define una curva que crece con mayor rapidez a medida que V_{GS} se vuelve más positivo, se definirá un punto de la gráfica en $V_{GS} = +1\text{ V}$. Al sustituir en la ecuación de Shockley tenemos

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2$$
$$= 6\text{ mA}\left(1 - \frac{+1\text{ V}}{-3\text{ V}}\right)^2 = 6\text{ mA}\left(1 + \frac{1}{3}\right)^2 = 6\text{ mA}(1.778)$$
$$= 10.67\text{ mA}$$



La curva de transferencia resultante aparece en la figura 6.31. Al proceder de la misma forma que se hizo para el caso de los JFETs, tenemos:

$$\text{Ecuación (6.15):} \quad V_G = \frac{10\text{ M}\Omega(18\text{ V})}{10\text{ M}\Omega + 110\text{ M}\Omega} = 1.5\text{ V}$$

$$\text{Ecuación (6.16):} \quad V_{GS} = V_G - I_D R_S = 1.5\text{ V} - I_D(750\ \Omega)$$

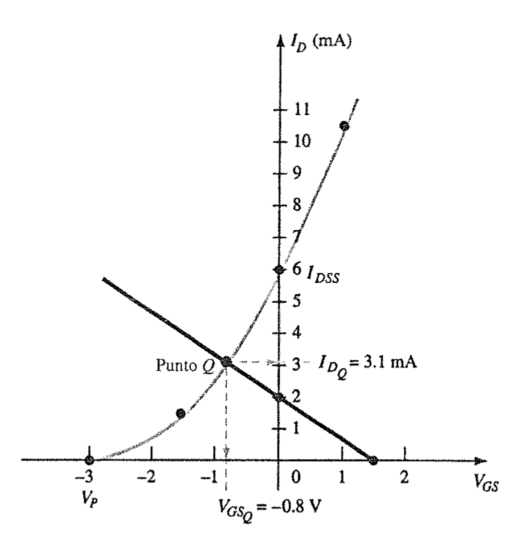


Figura 6.31 Determinación del punto Q para la red de la figura 6.30.

Al fijar $I_D = 0$ mA, se obtiene

$$V_{GS} = V_G = 1.5\text{ V}$$

Al fijar $V_{GS} = 0$ V tenemos

$$I_D = \frac{V_G}{R_S} = \frac{1.5\text{ V}}{750\ \Omega} = 2\text{ mA}$$

En la figura 6.31 aparecen tanto los puntos de la gráfica como la línea de polarización resultante. El punto de operación obtenido:

$$I_{D_Q} = \mathbf{3.1\ mA}$$

$$V_{GS_Q} = \mathbf{-0.8\ V}$$

(b) Ecuación (6.19):

$$\begin{aligned} V_{DS} &= V_{DD} - I_D(R_D + R_S) \\ &= 18\text{ V} - (3.1\text{ mA})(1.8\text{ k}\Omega + 750\ \Omega) \\ &\cong \mathbf{10.1\ V} \end{aligned}$$

EJEMPLO 6.8

Repita el ejemplo 6.7 con $R_S = 150\ \Omega$.

Solución

(a) Los puntos de la gráfica son los mismos para la curva de transferencia como se ilustra en la figura 6.32. Para la línea de polarización,

$$V_{GS} = V_G - I_D R_S = 1.5\text{ V} - I_D(150\ \Omega)$$

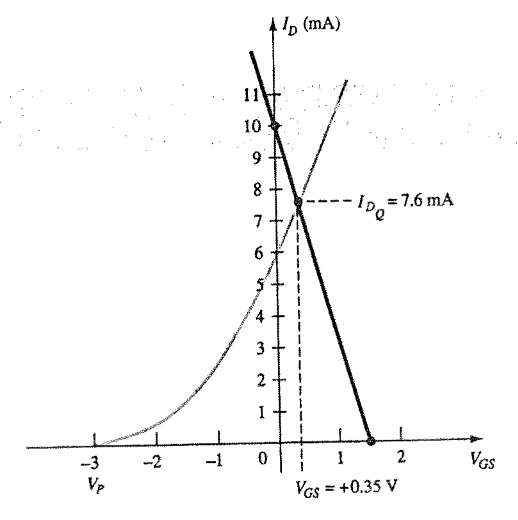


Figura 6.32 Ejemplo 6.8.

Al fijar $I_D = 0$ mA, se obtiene

$$V_{GS} = 1.5\text{ V}$$

Al fijar $V_{GS} = 0$ V, se obtiene

$$I_D = \frac{V_G}{R_S} = \frac{1.5\text{ V}}{150\ \Omega} = 10\text{ mA}$$

En la figura 6.32 se incluye la recta de polarización. Observe en este caso que el punto de operación genera una corriente de drenaje que excede I_{DSS}, con un valor positivo para V_{GS}. El resultado:

$$I_{D_Q} = \mathbf{7.6\ mA}$$

$$V_{GS_Q} = \mathbf{+0.35\ V}$$

(b) Ecuación (6.19):

$$\begin{aligned} V_{DS} &= V_{DD} - I_D(R_D + R_S) \\ &= 18\text{ V} - (7.6\text{ mA})(1.8\text{ k}\Omega + 150\ \Omega) \\ &= \mathbf{3.18\ V} \end{aligned}$$

EJEMPLO 6.9

Determine lo siguiente para la red de la figura 6.33.

(a) I_{D_Q} y V_{GS_Q}.
(b) V_D.

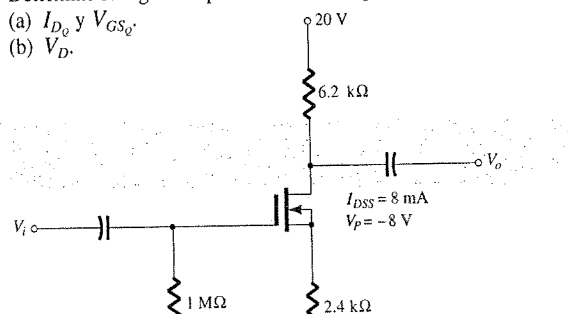


Figura 6.33 Ejemplo 6.9.

Solución

(a) La configuración de autopolarización da por resultado

$$V_{GS} = -I_D R_S$$

como la obtenida para la configuración JFET, con lo que se establece el hecho de que V_{GS} debe ser menor que cero volts. Por lo tanto, no hay necesidad de graficar la curva de transferencia para los valores positivos de V_{GS}, aunque así se hizo en esta ocasión para completar las características de transferencia. Un punto de la gráfica para las características de transferencia de $V_{GS} < 0$ V es

$$I_D = \frac{I_{DSS}}{4} = \frac{8 \text{ mA}}{4} = 2 \text{ mA}$$

y

$$V_{GS} = \frac{V_P}{2} = \frac{-8 \text{ V}}{2} = -4 \text{ V}$$

y para $V_{GS} > 0$ V, dado que $V_P = -8$ V, seleccionaremos

$$V_{GS} = +2 \text{ V}$$

e

$$I_D = I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2 = 8 \text{ mA}\left(1 - \frac{+2 \text{ V}}{-8 \text{ V}}\right)^2$$

$$= 12.5 \text{ mA}$$

La curva de transferencia resultante se muestra en la figura 6.34. Para la línea de polarización de la red, en $V_{GS} = 0$ V, $I_D = 0$ mA. Al seleccionar $V_{GS} = -6$ V tenemos

$$I_D = -\frac{V_{GS}}{R_S} = -\frac{-6 \text{ V}}{2.4 \text{ k}\Omega} = 2.5 \text{ mA}$$

El punto Q resultante:

$$I_{D_Q} = \mathbf{1.7 \text{ mA}}$$

$$V_{GS_Q} = \mathbf{-4.3 \text{ V}}$$

(b) $V_D = V_{DD} - I_D R_D$

$= 20 \text{ V} - (1.7 \text{ mA})(6.2 \text{ k}\Omega)$

$= \mathbf{9.46 \text{ V}}$

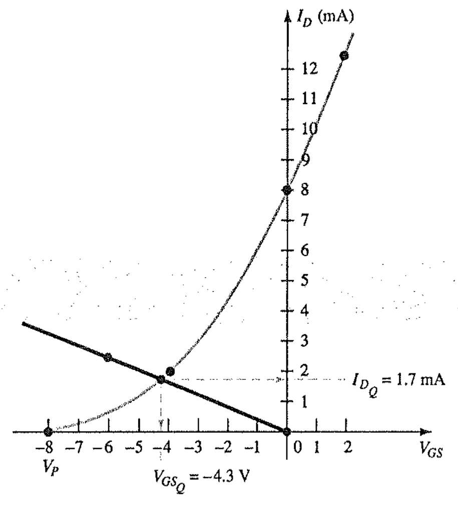


Figura 6.34 Determinación del punto Q para la red de la figura 6.33.

El siguiente ejemplo utiliza un diseño que también puede aplicarse a los transistores JFET. A primera vista parece un tanto simple, pero de hecho, generalmente causa cierta confusión cuando se analiza por primera vez, debido al punto de operación especial.

EJEMPLO 6.10

Determine V_{DS} para la red de la figura 6.35.

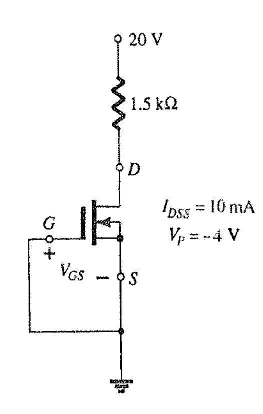


Figura 6.35 Ejemplo 6.10.

Solución

La conexión directa entre las terminales de la compuerta y de la fuente requiere que

$$V_{GS} = 0 \text{ V}$$

Dado que V_{GS} se encuentra fija en 0 V, la corriente de drenaje deberá ser I_{DSS} (por definición). En otras palabras,

$$V_{GS_Q} = \mathbf{0 \text{ V}}$$

e

$$I_{D_Q} = \mathbf{10 \text{ mA}}$$

Por lo tanto, no hay necesidad de dibujar la curva de transferencia y

$$V_D = V_{DD} - I_D R_D = 20 \text{ V} - (10 \text{ mA})(1.5 \text{ k}\Omega)$$

$$= 20 \text{ V} - 15 \text{ V}$$

$$= \mathbf{5 \text{ V}}$$

6.6 MOSFETs DE TIPO INCREMENTAL

Las características de transferencia del MOSFET de tipo incremental son muy distintas de las encontradas para el JFET y para los MOSFETs de tipo decremental, lo que ocasiona una solución gráfica muy distinta de la presentada en las secciones anteriores. Primero y ante todo, recuerde que para el MOSFET de tipo incremental de canal-n, la corriente de drenaje es cero para aquellos niveles de voltaje compuerta-fuente menores que el nivel de umbral $V_{GS(\text{Th})}$, como se indica en la figura 6.36. Para los niveles de V_{GS} mayores que $V_{GS(\text{Th})}$, la corriente de drenaje estará definida por

$$\boxed{I_D = k(V_{GS} - V_{GS(\text{Th})})^2} \quad (6.25)$$

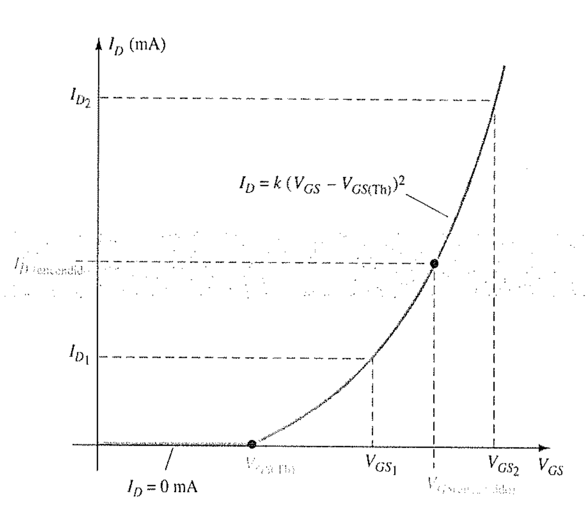
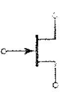


Figura 6.36 Características de transferencia de un MOSFET de tipo incremental de canal-n.



Debido a que las hojas de especificaciones normalmente proporcionan el voltaje de umbral y un nivel de corriente de drenaje ($I_{D(\text{encendido})}$) y su correspondiente nivel de $V_{GS(\text{encendido})}$, se definen inmediatamente dos puntos como se señala en la figura 6.36. Para completar la curva, deberá determinarse la constante k de la ecuación 6.25 a partir de los datos en la hoja de especificaciones, al sustituir en la ecuación 6.25, y resolver para k como sigue:

$$I_D = k(V_{GS} - V_{GS(\text{Th})})^2$$

$$I_{D(\text{encendido})} = k(V_{GS(\text{encendido})} - V_{GS(\text{Th})})^2$$

y

$$k = \frac{I_{D(\text{encendido})}}{(V_{GS(\text{encendido})} - V_{GS(\text{Th})})^2} \tag{6.26}$$

Una vez definida k, se pueden determinar los otros niveles de I_D para valores seleccionados de V_{GS}. Por lo general, un punto entre $V_{GS(\text{Th})}$ y $V_{GS(\text{encendido})}$ y otro mayor que $V_{GS(\text{encendido})}$ serán suficientes para graficar la ecuación 6.25 (observe I_{D_1} e I_{D_2} en la figura 6.36).

Arreglo de polarización por retroalimentación

En la figura 6.37 de proporciona un popular arreglo de polarización para los MOSFETs de tipo incremental. El resistor R_G proporciona un voltaje suficientemente grande a la compuerta para llevar al MOSFET al "encendido". Dado que $I_G = 0$ mA y $V_{R_G} = 0$ V, la red equivalente de dc se muestra como en la figura 6.38.

Ahora existe una conexión directa entre el drenaje y la compuerta, con lo que resulta

$$V_D = V_G$$

y

$$V_{DS} = V_{GS} \tag{6.27}$$

Para el circuito de salida,

$$V_{DS} = V_{DD} - I_D R_D$$

la cual se convierte en la siguiente ecuación después de sustituir en la ecuación 6.27:

$$V_{GS} = V_{DD} - I_D R_D \tag{6.28}$$

Se obtiene una ecuación que relacione las mismas dos variables que la ecuación 6.25 lo que permite graficar cada una sobre el mismo conjunto de ejes.

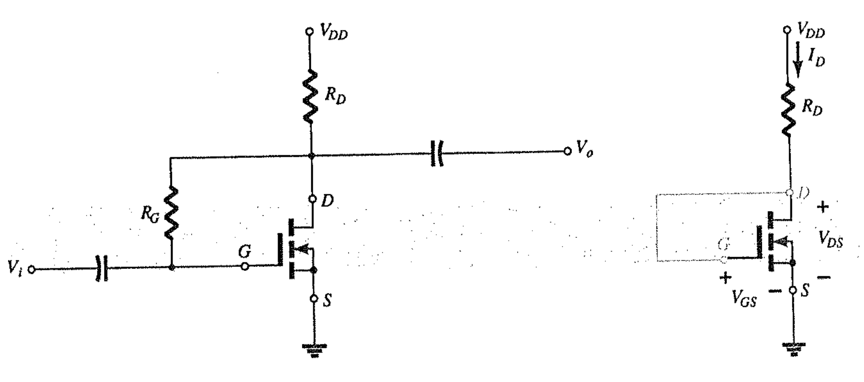


Figura 6.37 Arreglo de polarización por retroalimentación.

Figura 6.38 Equivalente de dc para la red de la figura 6.37.

Ya que la ecuación 6.28 es la ecuación de una línea recta, puede utilizarse el mismo procedimiento descrito antes, para determinar los dos puntos que definirán el trazo sobre la gráfica. Al sustituir $I_D = 0$ mA en la ecuación 6.28 se obtiene

$$V_{GS} = V_{DD}\big|_{I_D = 0\text{ mA}} \tag{6.29}$$

Al sustituir $V_{GS} = 0$ V en la ecuación 6.28, tenemos

$$I_D = \frac{V_{DD}}{R_D}\bigg|_{V_{GS} = 0\text{ V}} \tag{6.30}$$

Las gráficas definidas por las ecuaciones 6.25 y 6.28 se muestran en la figura 6.39 junto con el punto de operación resultante.

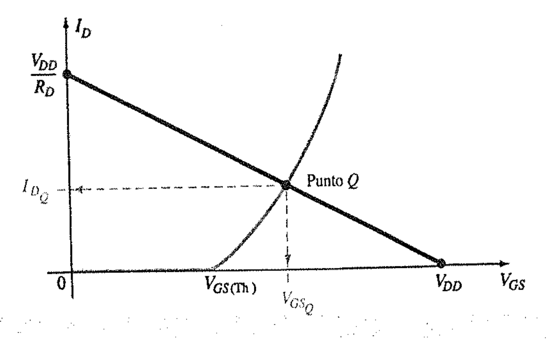


Figura 6.39 Determinación del punto Q para la red de la figura 6.37.

EJEMPLO 6.11

Determine I_{D_Q} y V_{DS_Q} para el MOSFET de tipo incremental de la figura 6.40.

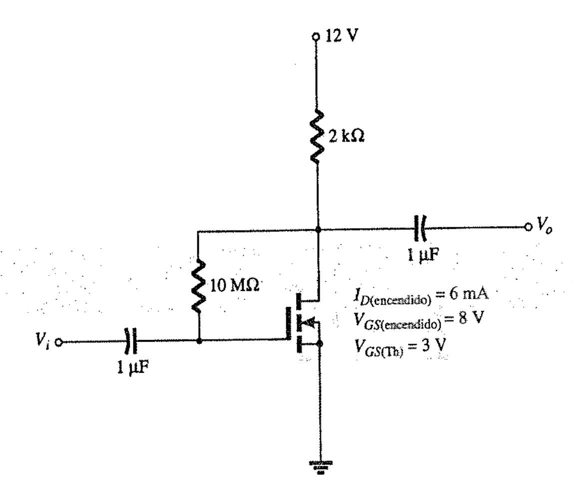


Figura 6.40 Ejemplo 6.11.

Solución

Gráfica de la curva de transferencia:
Como se muestra en la figura 6.41, dos puntos se definen de forma inmediata. Resolviendo para k:

$$\text{Ecuación (6.26):}\quad k = \frac{I_{D(\text{encendido})}}{(V_{GS(\text{encendido})} - V_{GS(\text{Th})})^2}$$
$$= \frac{6\text{ mA}}{(8\text{ V} - 3\text{ V})^2} = \frac{6 \times 10^{-3}}{25}\text{ A/V}^2$$
$$= \mathbf{0.24 \times 10^{-3}\ A/V^2}$$

Para $V_{GS} = 6$ V (entre 3 y 8 V):

$$I_D = 0.24 \times 10^{-3}(6\text{ V} - 3\text{ V})^2 = 0.24 \times 10^{-3}(9)$$
$$= 2.16\text{ mA}$$

como se muestra en la figura 6.41. Para $V_{GS} = 10$ V (ligeramente mayor que $V_{GS(\text{Th})}$):

$$I_D = 0.24 \times 10^{-3}(10\text{ V} - 3\text{ V})^2 = 0.24 \times 10^{-3}(49)$$
$$= 11.76\text{ mA}$$

como también aparece en la figura 6.41. Los cuatro puntos son suficientes para graficar la curva completa para el intervalo de interés como se muestra en la figura 6.41.

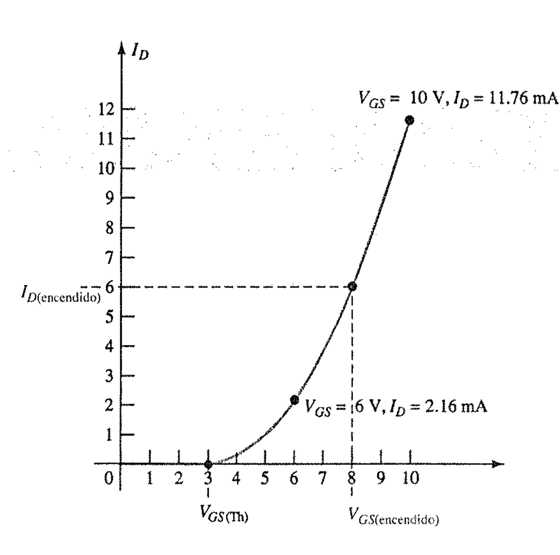


Figura 6.41 Gráfica de la curva de transferencia para el MOSFET de la figura 6.40.

Para la recta de polarización de la red:

$$V_{GS} = V_{DD} - I_D R_D$$
$$= 12\text{ V} - I_D(2\text{ k}\Omega)$$
$$\text{Ecuación (6.29):}\quad V_{GS} = V_{DD} = 12\text{ V}|_{I_D = 0\text{ mA}}$$
$$\text{Ecuación (6.30):}\quad I_D = \frac{V_{DD}}{R_D} = \frac{12\text{ V}}{2\text{ k}\Omega} = 6\text{ mA}|_{V_{GS} = 0\text{ V}}$$

La recta de polarización resultante se muestra en la figura 6.42.
En el punto de operación:

$$I_{D_Q} = \mathbf{2.75\ mA}$$
y
$$V_{GS_Q} = 6.4\text{ V}$$
con
$$V_{DS_Q} = V_{GS_Q} = \mathbf{6.4\ V}$$

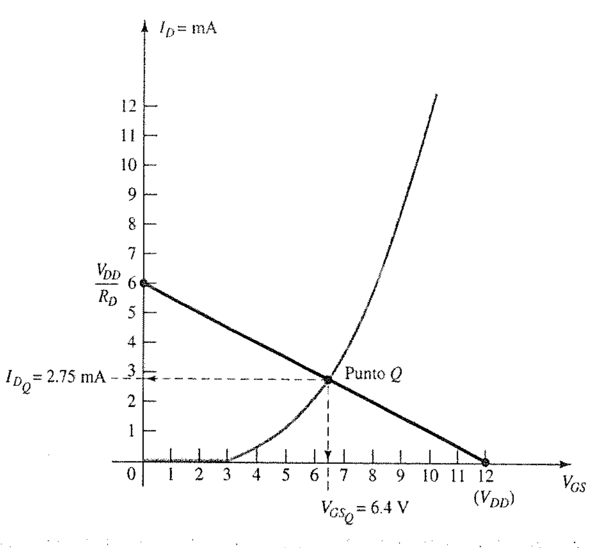


Figura 6.42 Determinación del punto Q para la red de la figura 6.40.

Arreglo de polarización por divisor de voltaje

En la figura 6.43 se muestra un segundo arreglo común de polarización para el MOSFET de tipo incremental. El hecho de que $I_G = 0$ mA da por resultado la siguiente ecuación para V_{GG} como se deriva a partir de una aplicación de la regla del divisor de voltaje:

$$\boxed{V_G = \frac{R_2 V_{DD}}{R_1 + R_2}} \tag{6.31}$$

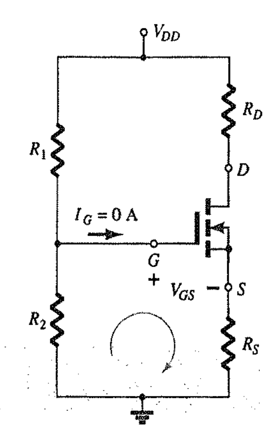


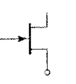
Figura 6.43 Arreglo de polarización por divisor de voltaje para un MOSFET de tipo incremental de canal-n.

Al aplicar la ley de voltaje de Kirchhoff alrededor de la malla indicada en la figura 6.43 resulta

$$+V_G - V_{GS} - V_{R_S} = 0$$
y
$$V_{GS} = V_G - V_{R_S}$$
o
$$\boxed{V_{GS} = V_G - I_D R_S} \tag{6.32}$$

Para la sección de salida:

$$V_{R_S} + V_{DS} + V_{R_D} - V_{DD} = 0$$
y
$$V_{DS} = V_{DD} - V_{R_S} - V_{R_D}$$
o
$$\boxed{V_{DS} = V_{DD} - I_D(R_S + R_D)} \tag{6.33}$$



Debido a que las características son una gráfica de I_D en función de V_{GS} y que la ecuación 6.32 relaciona las mismas dos variables, es posible graficar las dos curvas sobre la misma gráfica y determinar una solución en su intersección. Una vez que I_{D_Q} y V_{GS_Q} son conocidas, todas las cantidades restantes de la red como V_{DS}, V_D y V_S pueden determinarse.

EJEMPLO 6.12 Determine I_{D_Q}, V_{GS_Q} y V_{DS} para la red de la figura 6.44.

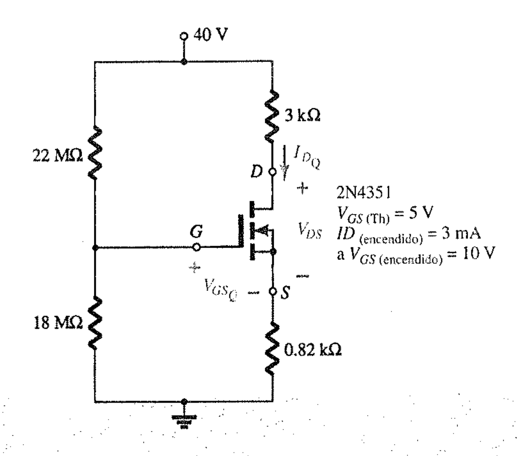


Figura 6.44 Ejemplo 6.12.

Solución

Red:

$$\text{Ecuación (6.31):}\quad V_G = \frac{R_2 V_{DD}}{R_1 + R_2} = \frac{(18\ \text{M}\Omega)(40\ \text{V})}{22\ \text{M}\Omega + 18\ \text{M}\Omega} = 18\ \text{V}$$

$$\text{Ecuación (6.32):}\quad V_{GS} = V_G - I_D R_S = 18\ \text{V} - I_D(0.82\ \text{k}\Omega)$$

Cuando $I_D = 0$ mA,

$$V_{GS} = 18\ \text{V} - (0\ \text{mA})(0.82\ \text{k}\Omega) = 18\ \text{V}$$

como aparece en la figura 6.45. Cuando $V_{GS} = 0$ V,

$$V_{GS} = 18\ \text{V} - I_D(0.82\ \text{k}\Omega)$$

$$0 = 18\ \text{V} - I_D(0.82\ \text{k}\Omega)$$

$$I_D = \frac{18\ \text{V}}{0.82\ \text{k}\Omega} = 21.95\ \text{mA}$$

como aparece en la figura 6.45.

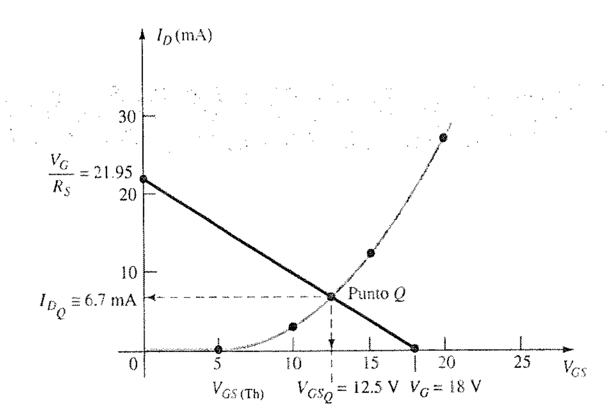


Figura 6.45 Determinación del punto Q para la red del ejemplo 6.12.

Dispositivo:

$$V_{GS(Th)} = 5\ \text{V},\qquad I_{D(\text{encendido})} = 3\ \text{mA con } V_{GS(\text{encendido})} = 10\ \text{V}$$

$$\text{Ecuación (6.26):}\quad k = \frac{I_{D(\text{encendido})}}{(V_{GS(\text{encendido})} - V_{GS(\text{Th})})^2}$$

$$= \frac{3\ \text{mA}}{(10\ \text{V} - 5\ \text{V})^2} = 0.12 \times 10^{-3}\ \text{A/V}^2$$

e

$$I_D = k(V_{GS} - V_{GS(\text{Th})})^2$$

$$= 0.12 \times 10^{-3}(V_{GS} - 5)^2$$

la cual se traza sobre la misma gráfica (figura 6.45). De la figura 6.45,

$$I_{D_Q} \cong \mathbf{6.7\ mA}$$

$$V_{GS_Q} = \mathbf{12.5\ V}$$

$$\text{Ecuación (6.33):}\quad V_{DS} = V_{DD} - I_D(R_S + R_D)$$

$$= 40\ \text{V} - (6.7\ \text{mA})(0.82\ \text{k}\Omega + 3.0\ \text{k}\Omega)$$

$$= 40\ \text{V} - 25.6\ \text{V}$$

$$= \mathbf{14.4\ V}$$

6.7 TABLA DE RESUMEN

Ahora que se han presentado los arreglos de polarización más comunes para los distintos FETs, la tabla 6.1 revisa los resultados básicos y muestra la similitud en el método para varias configuraciones. También muestra que el análisis general para las configuraciones en dc para los FETs no es demasiado complejo. Una vez que las características de transferencia se establecen, es posible dibujar la línea de autopolarización de la red y determinar el punto Q en la intersección de las características de transferencia del dispositivo con la curva de polarización de la red. El análisis restante consiste simplemente en la aplicación de las leyes básicas del análisis de circuitos.

TABLA 6.1 Configuraciones de polarización del FET

Tipo	Configuración	Ecuaciones aplicables	Solución gráfica
JFET con polarización fija		$V_{GS_Q} = -V_{GG}$ $V_{DS} = V_{DD} - I_D R_S$	
JFET con autopolarización		$V_{GS} = -I_D R_S$ $V_{DS} = V_{DD} - I_D(R_D + R_S)$	
JFET con polarización por divisor de voltaje		$V_G = \dfrac{R_2 V_{DD}}{R_1 + R_2}$ $V_{GS} = V_G - I_D R_S$ $V_{DS} = V_{DD} - I_D(R_D + R_S)$	
JFET de compuerta común		$V_{GS} = V_{SS} - I_D R_S$ $V_{DS} = V_{DD} + V_{SS} - I_D(R_D + R_S)$	
JFET ($V_{GS_Q} = 0$ V)		$V_{GS_Q} = 0$ V $I_{D_Q} = I_{DSS}$	
JFET ($R_D = 0\ \Omega$)		$V_{GS} = -I_D R_S$ $V_D = V_{DD}$ $V_S = I_D R_S$ $V_{DS} = V_{DD} - I_S R_S$	
MOSFET de tipo decremental con polarización fija		$V_{GS_Q} = +V_{GG}$ $V_{DS} = V_{DD} - I_D R_S$	
MOSFET de tipo decremental con polarización por divisor de voltaje		$V_G = \dfrac{R_2 V_{DD}}{R_1 + R_2}$ $V_{GS} = V_G - I_S R_S$ $V_{DS} = V_{DD} - I_D(R_D + R_S)$	
MOSFET de tipo incremental con configuración por retroalimentación		$V_{GS} = V_{DS}$ $V_{GS} = V_{DD} - I_D R_D$	
MOSFET de tipo incremental con polarización por divisor de voltaje		$V_G = \dfrac{R_2 V_{DD}}{R_1 + R_2}$ $V_{GS} = V_G - I_D R_S$	

6.8 REDES COMBINADAS

Ahora que el análisis de dc de una variedad de configuraciones de BJT y FET se ha realizado, se presenta la oportunidad de analizar redes con ambos tipos de dispositivos presentes. Este análisis, fundamentalmente requiere de un *primer* acercamiento al dispositivo que proporcionará un voltaje o nivel de corriente en una terminal. Posteriormente se encontrará la puerta abierta para calcular otras cantidades y concentrarse en las incógnitas restantes. Estos problemas generalmente son muy interesantes debido al reto que implica localizar primero la entrada del problema para posteriomente utilizar los resultados de las pasadas secciones y del capítulo 5 para encontrar las cantidades relevantes de cada dispositivo. Las ecuaciones y las relaciones empleadas simplemente son las que hemos empleado hasta ahora en más de una ocasión, no hay necesidad de desarrollar nuevos métodos de análisis.

EJEMPLO 6.13

Determine los niveles de V_D y V_C para la red de la figura 6.46.

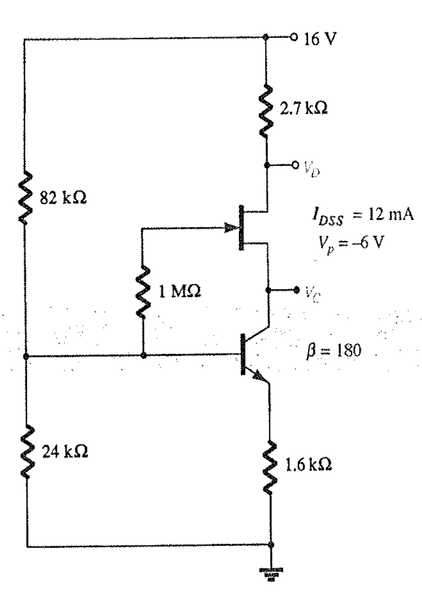


Figura 6.46 Ejemplo 6.13.

Solución

A partir de la experiencia anterior, ahora sabemos que al analizar redes JFET, V_{GS} es generalmente una cantidad importante por determinar o desarrollar una ecuación para ella. Dado que V_{GS} es un nivel cuya solución inmediata no es obvia, debemos recurrir a la configuración del transistor. La configuración por divisor de voltaje es una configuración donde es posible aplicar la técnica de aproximación ($\beta R_E = (180 \times 1.6\ \text{k}\Omega) = 288\ \text{k}\Omega > 10R_2 = 240\ \text{k}\Omega$), lo cual permite determinar V_B utilizando la regla del divisor de voltaje en el circuito de entrada.

Para V_B:

$$V_B = \frac{24\ \text{k}\Omega(16\ \text{V})}{82\ \text{k}\Omega + 24\ \text{k}\Omega} = 3.62\ \text{V}$$

Al utilizar el hecho de que $V_{BE} = 0.7$ V se obtiene

$$V_E = V_B - V_{BE} = 3.62\ \text{V} - 0.7\ \text{V}$$
$$= 2.92\ \text{V}$$

e $$I_E = \frac{V_{RE}}{R_E} = \frac{V_E}{R_E} = \frac{2.92\text{ V}}{1.6\text{ k}\Omega} = 1.825\text{ mA}$$

con $$I_C \cong I_E = 1.825\text{ mA}$$

A continuación, encontramos para esta configuración

$$I_D = I_S = I_C$$

y
$$\begin{aligned} V_D &= 16\text{ V} - I_D(2.7\text{ k}\Omega) \\ &= 16\text{ V} - (1.825\text{ mA})(2.7\text{ k}\Omega) = 16\text{ V} - 4.93\text{ V} \\ &= \mathbf{11.07\text{ V}} \end{aligned}$$

La cuestión con respecto a cómo determinar V_C no es obvia. Tanto V_{CE} como V_{DS} son cantidades desconocidas, lo cual evita que establezcamos una relación entre V_D y V_C o entre V_E y V_D. Una revisión más cuidadosa de la figura 6.46 revela que V_C se encuentra relacionado con V_B mediante V_{GS} (si asumimos que $V_{R_G} = 0$ V). Dado que conoceremos V_B si podemos encontrar V_{GS}, V_C puede determinarse a partir de

$$V_C = V_B - V_{GS}$$

Luego surge la cuestión con respecto a cómo encontrar el nivel de V_{GS_Q} a partir del valor de estabilidad de I_D. Ambos valores se relacionan mediante la ecuación de Shockley:

$$I_{D_Q} = I_{DSS}\left(1 - \frac{V_{GS_Q}}{V_P}\right)^2$$

y V_{GS_Q} puede determinarse de forma matemática al resolver V_{GS_Q} y sustituir los valores numéricos. Sin embargo, al regresar al enfoque gráfico y trabajar en forma inversa del orden que se utilizó en las secciones anteriores, las características de transferencia del JFET se delinean en la figura 6.47. Luego, se establece el nivel de I_{D_Q} mediante una línea horizontal como la mostrada en la misma figura. Posteriormente, V_{GS_Q} se determina al trazar una línea que vaya del punto de operación hacia el eje horizontal, lo que da por resultado

$$V_{GS_Q} = \mathbf{-3.7\text{ V}}$$

El nivel de V_C:

$$\begin{aligned} V_C &= V_B - V_{GS_Q} = 3.62\text{ V} - (-3.7\text{ V}) \\ &= \mathbf{7.32\text{ V}} \end{aligned}$$

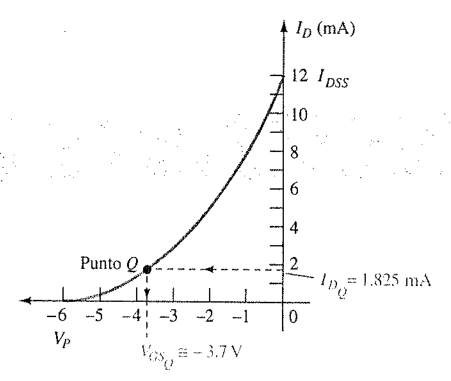


Figura 6.47 Determinación del punto Q para la red de la figura 6.46.

EJEMPLO 6.14

Determine V_D para la red de la figura 6.48.

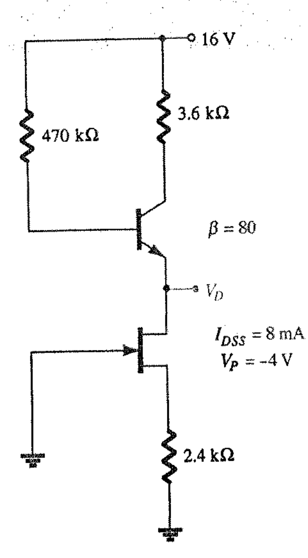


Figura 6.48 Ejemplo 6.14.

Solución

Para este caso, no existe un camino obvio para determinar un nivel de corriente o de voltaje para la configuración del transistor. Sin embargo, al observar el JFET con autopolarización es posible derivar una ecuación para V_{GS} con el objetivo de determinar el punto de estabilidad resultante, mediante el uso de técnicas gráficas. Esto es,

$$V_{GS} = -I_D R_S = -I_D(2.4\text{ k}\Omega)$$

con lo cual se obtiene la línea de autopolarización que aparece en la figura 6.49, la cual establece un punto de estabilidad en

$$V_{GS_Q} = -2.6\text{ V}$$
$$I_{D_Q} = 1\text{ mA}$$

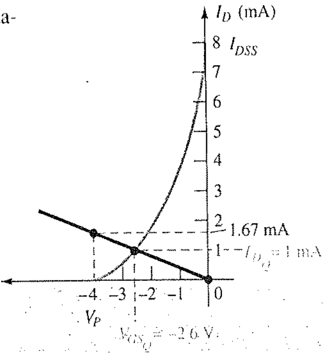


Figura 6.49 Determinación del punto Q para la red de la figura 6.48.

Para el transistor,

$$I_E \cong I_C = I_D = 1\text{ mA}$$

e
$$I_B = \frac{I_C}{\beta} = \frac{1\text{ mA}}{80} = 12.5\ \mu\text{A}$$

$$\begin{aligned} V_B &= 16\text{ V} - I_B(470\text{ k}\Omega) \\ &= 16\text{ V} - (12.5\ \mu\text{A})(470\text{ k}\Omega) = 16\text{ V} - 5.875\text{ V} \\ &= 10.125\text{ V} \end{aligned}$$

y
$$\begin{aligned} V_E = V_D &= V_B - V_{BE} \\ &= 10.125\text{ V} - 0.7\text{ V} \\ &= \mathbf{9.425\text{ V}} \end{aligned}$$

6.9 DISEÑO

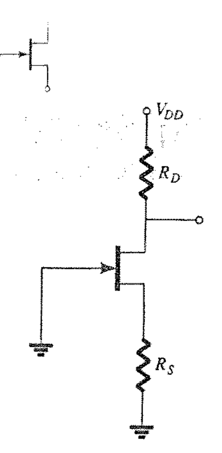


Figura 6.50 Configuración de autopolarización que se diseñará.

El proceso de diseño es aquel que no sólo se encuentra limitado por condiciones de dc. Algunas de las condiciones que intervienen en el proceso completo de diseño son: el área de aplicación, el nivel de amplificación buscado, la potencia de la señal y las condiciones de operación. Sin embargo, primero nos concentraremos en establecer las condiciones de dc seleccionadas.

Por ejemplo, si para la figura 6.50 se especifican los niveles de V_D e I_D, es posible determinar el nivel de V_{GS_Q} a partir de una gráfica de la curva de transferencia y luego podrá determinarse R_S mediante $V_{GS} = -I_D R_S$. Si V_{DD} se especifica, será posible determinar el nivel de R_D a partir de $R_D = (V_{DD} - V_D)/I_D$. Desde luego, los valores de R_S y de R_D pueden no ser valores estándar comerciales, lo cual requerirá la utilización del valor comercial más cercano. Sin embargo, con la tolerancia (rango de valores) normalmente especificada para los parámetros de una red, la ligera variación debida a la selección de los valores estándares rara vez representará un problema real en el proceso de diseño.

Lo anterior solamente es una posibilidad para la fase de diseño que involucra a la red de la figura 6.50. Es posible que sólo se hayan especificado V_{DD} y R_D aunados al nivel de V_{DS}. Deberá especificarse el dispositivo que se empleará junto con el nivel de R_S. Parece lógico que el dispositivo elegido deba contar con un V_{DS} máximo que sea mayor que el valor especificado, por un margen de seguridad.

Por lo general, una buena práctica de diseño para amplificadores lineales es seleccionar puntos de operación que no alcancen las regiones de nivel de saturación (I_{DSS}) o de corte (V_P). Niveles de V_{GS_Q} cercanos a $V_P/2$ o de I_{D_Q} cercanos a $I_{DSS}/2$ son, ciertamente, puntos de partida razonables para el diseño. Desde luego, en todo proceso de diseño no deben excederse los niveles máximos de I_D y de V_{DS} que aparecen en las hojas de especificaciones.

Los ejemplos siguientes tienen una orientación de diseño o de síntesis en el sentido de que se proporcionan niveles específicos y será necesario determinar parámetros de la red como R_D, R_S, V_{DD}, etcétera. En todo caso, este enfoque en muchas formas será el opuesto al que se describió en las secciones anteriores. En algunos casos, sólo es cuestión de aplicar la ley de Ohm en su forma apropiada. En particular, si se solicitan niveles de resistencia, el resultado generalmente se obtendrá simplemente al aplicar la ley de Ohm de la siguiente forma:

$$R_{\text{desconocida}} = \frac{V_R}{I_R} \tag{6.34}$$

donde V_R e I_R generalmente son parámetros que se pueden calcular de forma directa a partir de los niveles de voltaje y de corriente especificados.

EJEMPLO 6.15

Para la red de la figura 6.51, se precisan los niveles de V_{D_Q} y de I_{D_Q}. Determine los valores requeridos de R_S y de R_D. ¿Cuáles son los valores estándar comerciales más cercanos?

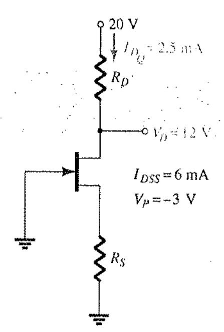


Figura 6.51 Ejemplo 6.15.

Solución

Como lo define la ecuación 6.34,

$$R_D = \frac{V_{R_D}}{I_{D_Q}} = \frac{V_{DD} - V_{D_Q}}{I_{D_Q}}$$

y

$$= \frac{20\text{ V} - 12\text{ V}}{2.5\text{ mA}} = \frac{8\text{ V}}{2.5\text{ mA}} = \mathbf{3.2\ k\Omega}$$

Al graficar la curva de transferencia en la figura 6.52 y al dibujar una línea horizontal en $I_{D_Q} = 2.5$ mA obtendremos $V_{GS_Q} = -1$ V, y al aplicar $V_{GS} = -I_D R_S$ determinaremos el valor de R_S:

$$R_S = \frac{-(V_{GS_Q})}{I_{D_Q}} = \frac{-(-1\text{ V})}{2.5\text{ mA}} = \mathbf{0.4\ k\Omega}$$

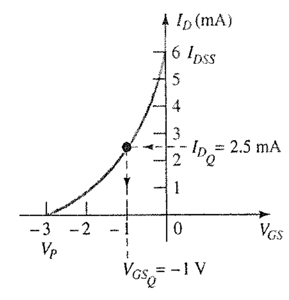


Figura 6.52 Determinación de V_{GS_Q} para la red de la figura 6.51.

Los valores estándar comerciales más cercanos son

$$R_D = 3.2\text{ k}\Omega \Rightarrow \mathbf{3.3\ k\Omega}$$
$$R_S = 0.4\text{ k}\Omega \Rightarrow \mathbf{0.39\ k\Omega}$$

EJEMPLO 6.16

Para la configuración de polarización por divisor de voltaje de la figura 6.53, si $V_D = 12$ V y $V_{GS_Q} = -2$ V, determine el valor de R_S.

Solución

El nivel de V_G se determina de la siguiente forma:

$$V_G = \frac{47\text{ k}\Omega(16\text{ V})}{47\text{ k}\Omega + 91\text{ k}\Omega} = 5.44\text{ V}$$

con

$$I_D = \frac{V_{DD} - V_D}{R_D}$$

$$= \frac{16\text{ V} - 12\text{ V}}{1.8\text{ k}\Omega} = 2.22\text{ mA}$$

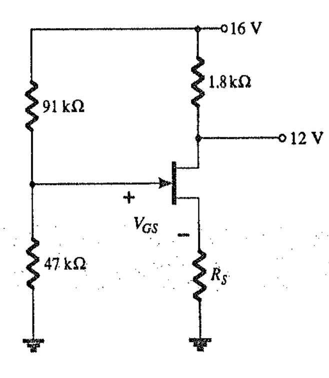


Figura 6.53 Ejemplo 6.16.

Posteriormente, se escribe la ecuación para V_{GS} y se sustituyen los valores conocidos:

$$V_{GS} = V_G - I_D R_S$$
$$-2\text{ V} = 5.44\text{ V} - (2.22\text{ mA})R_S$$
$$-7.44\text{ V} = -(2.22\text{ mA})R_S$$

y

$$R_S = \frac{7.44\text{ V}}{2.22\text{ mA}} = \mathbf{3.35\ k\Omega}$$

El valor estándar comercial más cercano es 3.3 kΩ.

EJEMPLO 6.17

Para la red de la figura 6.54, se especifican los niveles de V_{DS} e I_D como $V_{DS} = \frac{1}{2}V_{DD}$ e $I_D = I_{D(\text{encendido})}$. Determine el nivel de V_{DD} y de R_D.

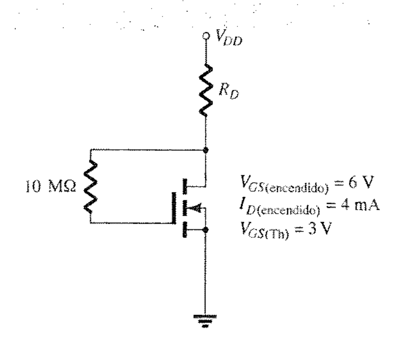


Figura 6.54 Ejemplo 6.17.

Solución

Dado $I_D = I_{D(\text{encendido})} = 4$ mA y $V_{GS} = V_{GS(\text{encendido})} = 6$ V, para esta configuración,

$$V_{DS} = V_{GS} = \tfrac{1}{2}V_{DD}$$

y

$$6\text{ V} = \tfrac{1}{2}V_{DD}$$

por lo que

$$V_{DD} = \mathbf{12\ V}$$

Al aplicar la ecuación 6.34 tenemos

$$R_D = \frac{V_{R_D}}{I_D} = \frac{V_{DD} - V_{DS}}{I_{D(\text{encendido})}} = \frac{V_{DD} - \frac{1}{2}V_{DD}}{I_{D(\text{encendido})}} = \frac{\frac{1}{2}V_{DD}}{I_{D(\text{encendido})}}$$

y

$$R_D = \frac{6\text{ V}}{4\text{ mA}} = \mathbf{1.5\ k\Omega}$$

el cual es un valor estándar comercial.

6.10 LOCALIZACIÓN DE FALLAS

¿Cuántas veces se ha construido de forma cuidadosa una red sólo para encontrar que al aplicarle la potencia, la respuesta es completamente inesperada y no cumple con los cálculos teóricos? ¿Cuál deberá ser el siguiente paso? ¿Se trata de una conexión defectuosa? ¿Es un error de lectura del código de colores de algún elemento resistivo? ¿Un error en el proceso de construcción? El rango de posibilidades parece muy amplio y frustrante a la vez. El proceso de localización de fallas que se describió en el análisis de las configuraciones de los transistores BJT debería estrechar la lista de posibilidades y aislar el área problema para continuar con un plan de ataque definitivo. En general, este proceso inicia con una nueva verificación de la construcción de la red y de las terminales de conexión, lo cual es seguido por la revisión de los niveles de voltaje entre terminales específicas y tierra o entre terminales de la red. Rara vez se miden los niveles de corriente ya que esto requiere manipulaciones que alteran la estructura de la red para insertar el medidor. Además, una vez que se han obtenido los voltajes es posible calcular los niveles de corriente al utilizar la ley de Ohm. En cualquier caso, es necesario contar con una idea del voltaje o corriente que se espera obtener de manera que la medición sea útil. Por tanto, el proceso de localización de fallas puede comenzar con buenas expectativas de éxito si se entiende la operación básica de la red junto con algunos niveles de voltaje y corriente esperados. Para el amplificador JFET de canal-*n* se sabe con claridad que el valor de V_{GS_Q} está limitado a 0 V o a un voltaje negativo. Para la red de la figura 6.55, V_{GS_Q} se encuentra limitado a valores negativos en el rango de 0 V a V_P. Si se coloca un medidor como el de la figura 6.55 con la punta de prueba positiva (normalmente roja) en la compuerta y la punta de prueba negativa (normalmente negra) en la fuente, la lectura resultante deberá tener un signo negativo y una magnitud de unos cuantos volts. Cualquier otra respuesta será considerada como sospechosa y necesitará investigarse.

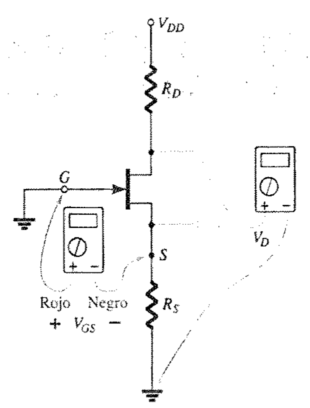


Figura 6.55 Verificación de la operación en dc de la configuración de autopolarización del JFET.

El nivel de V_{DS} típicamente se encuentra entre 25 y 75% de V_{DD}. Una lectura de 0 V en V_{DS} claramente indica que el circuito de salida está "abierto" o que el JFET tiene un corto circuito interno entre el drenaje y la fuente. Si V_D es V_{DD} volts, obviamente no hay caída a través de R_D debido a falta de corriente a través de R_D y deberá verificarse la continuidad de las conexiones.

Si el nivel de V_{DS} parece inadecuado, es posible verificar fácilmente la continuidad del circuito de salida, mediante la conexión a tierra de la punta de prueba negativa del voltímetro y la medición de los niveles de voltaje de V_{DD} respecto a tierra con la punta de prueba positiva. Si $V_D = V_{DD}$, la corriente a través de R_D podría ser cero, pero existe continuidad entre V_D y V_{DD}. Si $V_S = V_{DD}$, el dispositivo no se encuentra abierto entre el drenaje y la fuente, pero tampoco está "encendido". Sin embargo, la continuidad a través de V_S se confirma. En este caso, es posible que exista una conexión defectuosa entre R_S y la tierra que podría no ser tan obvia. La conexión interna del alambre de la punta de prueba y el conector de la terminal podrían haberse separado. Hay otras posibilidades como un dispositivo en corto del drenaje a la fuente, pero la persona que localice la falla simplemente tendrá que reducir las posibles causas del malfuncionamiento.

Es posible también verificar la continuidad de una red simplemente al medir el voltaje a través de cualquier resistor de la red (excepto para R_G en la configuración JFET). Una señal de 0 V inmediatamente revela la falta de corriente a través del elemento como consecuencia de un circuito abierto en la red.

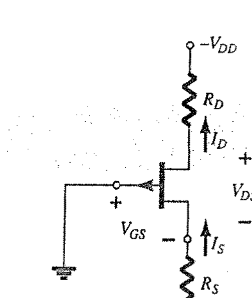
El elemento más sensible en una configuración BJT o JFET es el amplificador en sí. La aplicación de un voltaje excesivo durante la fase de construcción o de pruebas, o el uso de valores incorrectos de resistores que ocasionen corrientes mayores, pueden destruir el dispositivo. Si se sospecha de la condición del amplificador, la mejor forma de probar el FET es por medio de un trazador de curvas ya que éste no sólo muestra si el dispositivo opera bien, sino también el rango de los niveles de voltaje y de corriente. Algunos mecanismos de pruebas revelan si el dispositivo se encuentra aún en buen estado pero no si su rango de operación ha sido severamente reducido.

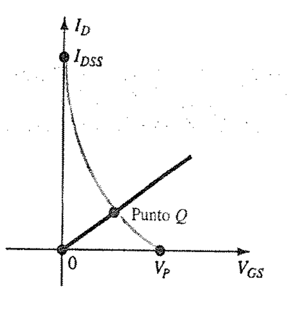
El desarrollo de buenas técnicas de localización de fallas proviene principalmente de la experiencia y de un nivel de confianza sobre lo que se espera y del porqué. Por supuesto que existen ocasiones donde las razones que ocasionan una respuesta extraña parecen desaparecer de forma misteriosa al momento de verificar la red. En tales casos, lo mejor es no confiarse y no continuar con la construcción. La causa de tal situación "funciona-no funciona" deberá localizarse y corregirse o podría volver a presentarse en el momento más inoportuno.

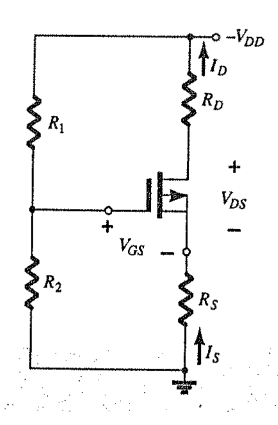
6.11 FETS DE CANAL-*P*

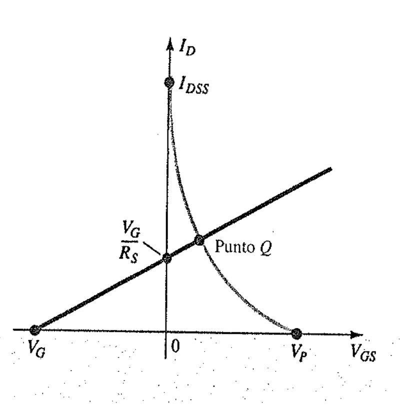
Hasta aquí, el análisis se ha limitado únicamente a FETs de canal-*n*. Para el caso de FETs de canal-*p*, se utiliza una imagen en espejo de las curvas de transferencia, además, las direcciones definidas de las corrientes se invierten, como se muestra en la figura 6.56 para los distintos tipos de FETs.

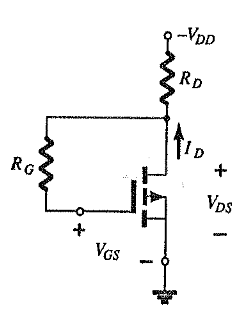
Para cada configuración de la figura 6.56 observe que cada voltaje de alimentación ahora es un voltaje negativo que provoca una corriente en la dirección indicada. En particular, observe que continúa la notación de subíndice doble como se definió para el dispositivo de canal-*n*: V_{GS}, V_{DS}, y así sucesivamente. Sin embargo, en este caso, V_{GS} es positivo (positivo o negativo para el caso del MOSFET de tipo decremental) y V_{DS} negativo.











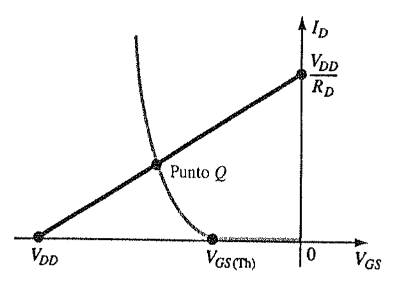


Figura 6.56 Configuraciones de canal-p.

Gracias a las similitudes entre el análisis de dispositivos de canal-n y de canal-p, es posible asumir un dispositivo de canal-n e invertir el voltaje de alimentación para efectuar el análisis completo. Al obtener los resultados, la magnitud de cada cantidad estará correcta, aunque la dirección de la corriente y las polaridades del voltaje deberán invertirse. Sin embargo, el siguiente ejemplo demostrará que con la experiencia obtenida mediante el análisis de dispositivos de canal-n, el análisis de dispositivos de canal-p es bastante directo.

EJEMPLO 6.18

Determine I_{D_Q}, V_{GS_Q} y V_{DS} para el JFET de canal-p de la figura 6.57

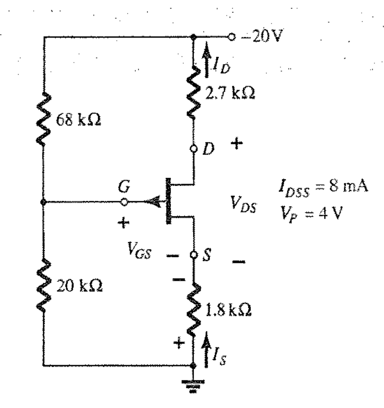


Figura 6.57 Ejemplo 6.18.

Solución

$$V_G = \frac{20\text{ k}\Omega(-20\text{ V})}{20\text{ k}\Omega + 68\text{ k}\Omega} = -4.55\text{ V}$$

Al aplicar la ley de voltaje de Kirchhoff se tiene

$$V_G - V_{GS} + I_D R_S = 0$$

y

$$V_{GS} = V_G + I_D R_S$$

Al seleccionar $I_D = 0$ mA se obtiene

$$V_{GS} = V_G = -4.55\text{ V}$$

como se muestra en la figura 6.58.

Al seleccionar $V_{GS} = 0$ V, se obtiene

$$I_D = -\frac{V_G}{R_S} = -\frac{-4.55\text{ V}}{1.8\text{ k}\Omega} = 2.53\text{ mA}$$

como también se muestra en la figura 6.58.

El punto de estabilidad resultante a partir de la figura 6.58:

$$I_{D_Q} = \mathbf{3.4\ mA}$$

$$V_{GS_Q} = \mathbf{1.4\ V}$$

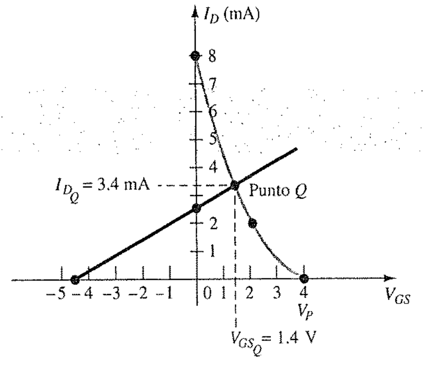


Figura 6.58 Determinación del punto Q para la configuración de JFET de la figura 6.57.

Para obtener V_{DS}, la ley de voltaje de Kirchhoff produce

$$-I_D R_S + V_{DS} - I_D R_D + V_{DD} = 0$$

y

$$\begin{aligned} V_{DS} &= -V_{DD} + I_D(R_D + R_S) \\ &= -20\text{ V} + (3.4\text{ mA})(2.7\text{ k}\Omega + 1.8\text{ k}\Omega) \\ &= -20\text{ V} + 15.3\text{ V} \\ &= \mathbf{-4.7\text{ V}} \end{aligned}$$

6.12 CURVA UNIVERSAL DE POLARIZACIÓN DE JFET

Debido a que la solución de dc de una configuración de FET requiere que se dibuje la curva de transferencia para cada análisis, se desarrolló una curva universal que puede emplearse para cualquier nivel de I_{DSS} y de V_P. En la figura 6.59 se proporciona la curva universal para un JFET de canal-*n* o para un MOSFET de tipo decremental (para valores negativos de V_{GS_Q}). Observe que el eje horizontal no es el de V_{GS} sino un nivel normalizado definido por $V_{GS}/|V_P|$, el $|V_P|$ indica que sólo se utilizará la magnitud de V_P y no su signo. Para el eje vertical, la escala también es un nivel normalizado de I_D/I_{DSS}. El resultado de esto es que cuando $I_D = I_{DSS}$, la relación es 1, y cuando $V_{GS} = V_P$, la relación $V_{GS}/|V_P|$ es -1. Observe también que la escala de I_D/I_{DSS} se encuentra a la izquierda en lugar de a la derecha como se encontraba para I_D en ejercicios anteriores. Las dos escalas adicionales de la derecha necesitan una explicación. La escala vertical denominada *m* puede emplearse para encontrar la solución a las configuraciones de polarización fija. La otra escala denominada *M*, se utiliza junto con la escala *m* para encontrar la solución de las configuraciones por divisor de voltaje. Los escalamientos *m* y *M* provienen de un desarrollo matemático en el que intervienen las ecuaciones de red y la normalización de escalas que se acaban de presentar. La siguiente descripción no se centra en el porqué se extiende la escala *m* de 0 a 5 cuando $V_{GS}/|V_P| = -0.2$ y la escala *M* de 0 a 1 cuando $V_{GS}/|V_P| = 0$, sino más bien en cómo emplear las escalas resultantes para obtener una solución para las configuraciones. Las ecuaciones para *m* y para *M* son las siguientes, con V_G como lo define la ecuación 6.15.

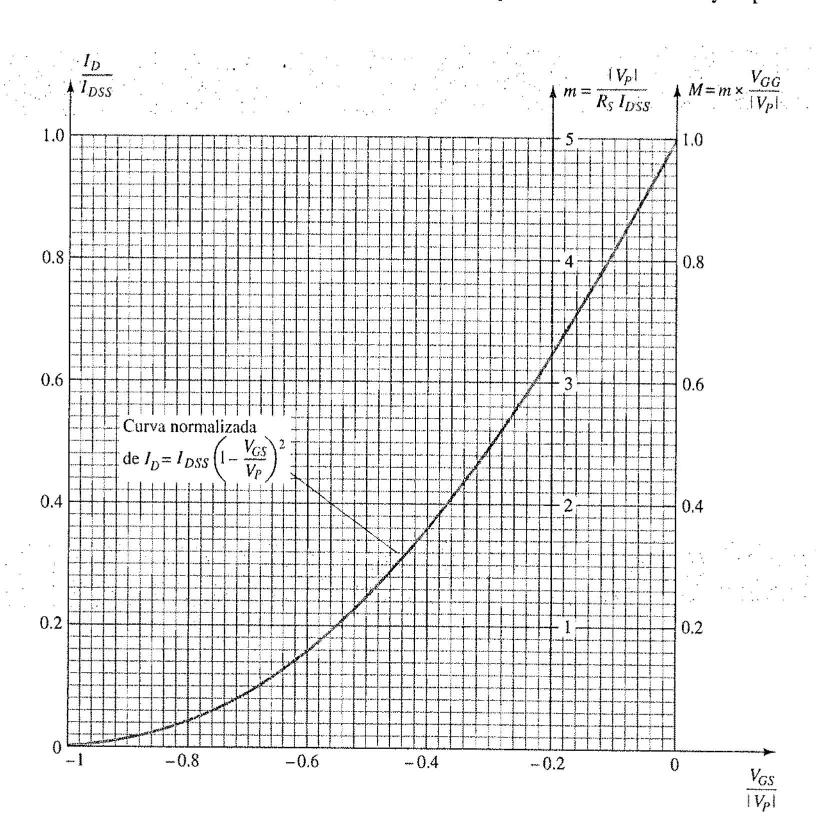


Figura 6.59 Curva universal de polarización de JFET.

$$m = \frac{|V_P|}{I_{DSS}R_S} \tag{6.35}$$

$$M = m \times \frac{V_G}{|V_P|} \tag{6.36}$$

con

$$V_G = \frac{R_2 V_{DD}}{R_1 + R_2}$$

Tenga en mente que la belleza de este método es la eliminación de la necesidad de trazar la curva de transferencia para cada análisis, que la superposición de la línea de polarización es mucho más sencilla y que los cálculos son menores. El empleo de los ejes *m* y *M* se describe mejor con ejemplos que utilizan las escalas. Una vez que el procedimiento se entiende con claridad, el análisis puede efectuarse muy rápido y con una buena medida de exactitud.

EJEMPLO 6.19

Determine los valores de estabilidad para I_D y V_{GS} para la red de la figura 6.60.

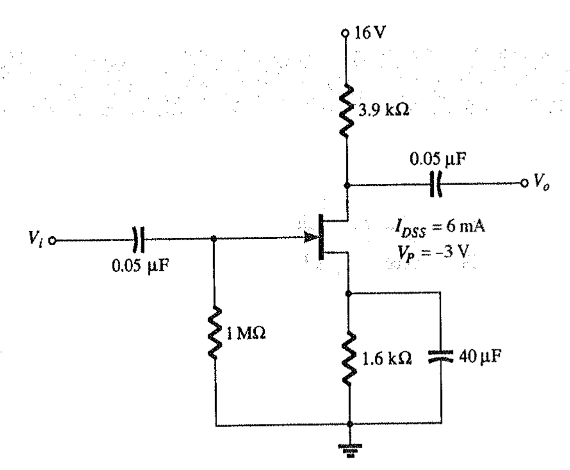


Figura 6.60 Ejemplo 6.19.

Solución

Al calcular el valor de *m*, se obtiene

$$m = \frac{|V_P|}{I_{DSS}R_S} = \frac{|-3\text{ V}|}{(6\text{ mA})(1.6\text{ k}\Omega)} = 0.31$$

La recta de autopolarización definida por R_S se dibuja al trazar una línea recta desde el origen hasta un punto definido por $m = 0.31$, como se muestra en la figura 6.61.

El punto *Q* resultante:

$$\frac{I_D}{I_{DSS}} = 0.18 \quad \text{y} \quad \frac{V_{GS}}{|V_P|} = -0.575$$

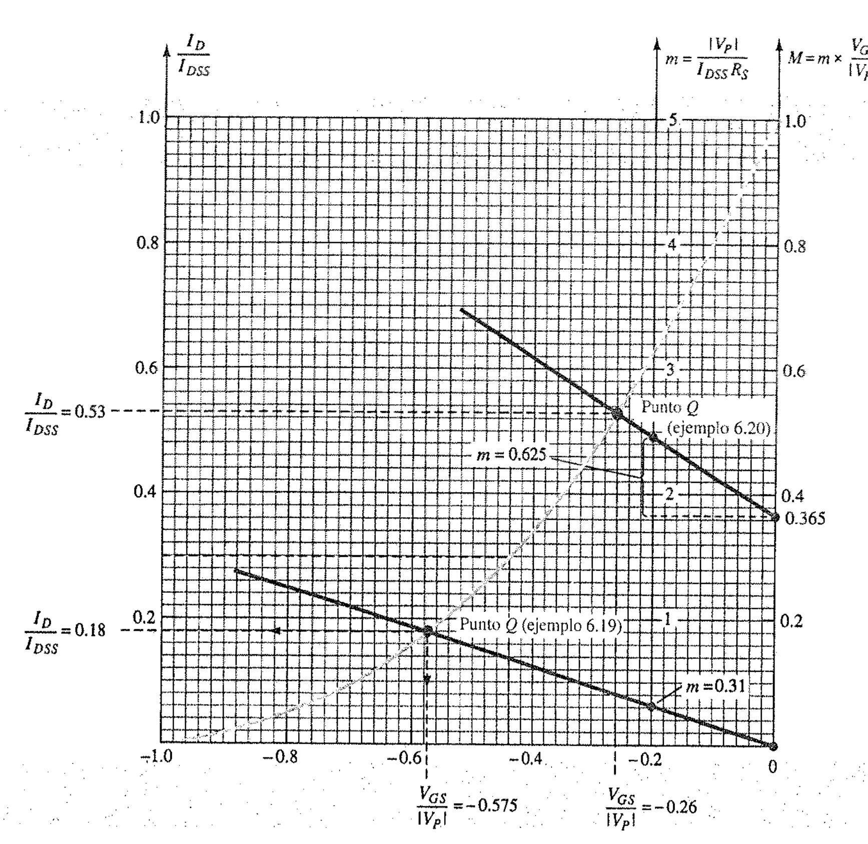


Figura 6.61 Curva universal para los ejemplos 6.19 y 6.20.

Los valores de estabilidad de I_D y V_{GS} pueden determinarse como sigue:

$$I_{D_Q} = 0.18I_{DSS} = 0.18(6\text{ mA}) = \mathbf{1.08\ mA}$$

y

$$V_{GS_Q} = -0.575|V_P| = -0.575(3\text{ V}) = \mathbf{-1.73\ V}$$

EJEMPLO 6.20 Determine los valores de estabilidad de I_D y V_{GS} para la red de la figura 6.62.

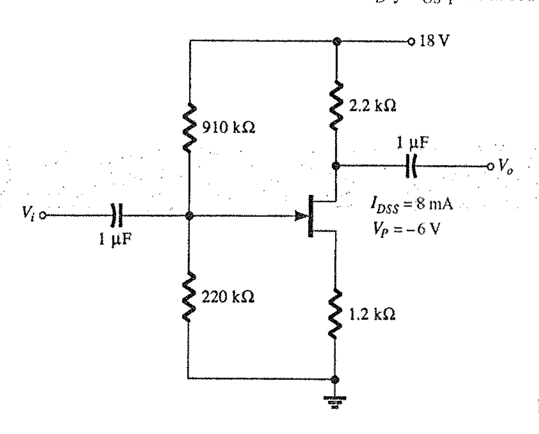


Figura 6.62 Ejemplo 6.20.

Solución

Al calcular m se obtiene

$$m = \frac{|V_P|}{I_{DSS}R_S} = \frac{|-6\text{ V}|}{(8\text{ mA})(1.2\text{ k}\Omega)} = 0.625$$

Al determinar V_G tenemos

$$V_G = \frac{R_2V_{DD}}{R_1 + R_2} = \frac{(220\text{ k}\Omega)(18\text{ V})}{910\text{ k}\Omega + 220\text{ k}\Omega} = 3.5\text{ V}$$

Al encontrar M se obtiene

$$M = m \times \frac{V_G}{|V_P|} = 0.625\left(\frac{3.5\text{ V}}{6\text{ V}}\right) = 0.365$$

Ahora que tanto m como M se conocen, es posible trazar la recta de polarización en la figura 6.61. Observe, en particular, que incluso cuando los niveles de I_{DSS} y de V_P son diferentes para las dos redes, es posible utilizar la misma curva universal. Primero, se localiza el valor de M en el eje M como se muestra en la figura 6.61, luego, se traza una línea horizontal hacia el eje m y en el punto de intersección se añade la magnitud de m como se muestra en la figura. Al emplear el punto obtenido sobre el eje m y la intersección M, se dibuja una línea que intersecte con la curva de transferencia para definir el punto Q.

Esto es,

$$\frac{I_D}{I_{DSS}} = 0.53 \quad \text{y} \quad \frac{V_{GS}}{|V_P|} = -0.26$$

e

$$I_{D_Q} = 0.53I_{DSS} = 0.53(8\text{ mA}) = \mathbf{4.24\ mA}$$

con

$$V_{GS_Q} = -0.26|V_P| = -0.26(6\text{ V}) = \mathbf{-1.56\ V}$$

6.13 APLICACIONES PRÁCTICAS

Las aplicaciones que aquí se describen aprovechan la alta impedancia de entrada de los transistores de efecto de campo, el aislamiento que existe entre los circuitos de la compuerta y del drenaje, y la región lineal de las características del JFET que permiten aproximar el dispositivo mediante un elemento resistivo ente las terminales de drenaje y fuente.

Resistor controlado por voltaje (amplificador no-inversor)

Una de las aplicaciones más comunes del JFET es como un resistor variable cuyo valor de resistencia está controlado por el voltaje de dc aplicado en la terminal de la compuerta. En la figura 6.63a se indica claramente la región lineal de un transistor JFET. Observe que en esta región, las distintas curvas inician todas en el origen y siguen un camino prácticamente recto a medida que el voltaje drenaje-fuente y la corriente de drenaje se incrementan. Recuerde de sus cursos básicos de dc que **la gráfica de un resistor fijo no es más que una línea recta con su origen en la intersección de los ejes.**

En la figura 6.63b, se expandió la región lineal hasta una voltaje máximo drenaje-fuente de 0.5 V. Observe que incluso cuando las curvas tienen cierta curvatura, es posible aproximarlas mediante el empleo de líneas rectas, todas ellas con origen en la intersección de los ejes y una pendiente determinada por el voltaje en dc de compuerta-fuente. Recuerde de análisis anteriores que **para una gráfica de *I-V* donde la corriente es el eje vertical y el voltaje el eje horizontal, la pendiente será más pronunciada con menor resistencia, y la pendiente será más horizontal con una mayor resistencia.** El resultado de esto es que una línea vertical tendrá una resistencia de 0 Ω, mientras que una línea horizontal tendrá una resistencia infinita. Cuando $V_{GS} = 0$ V, la pendiente será la más pronunciada y la resistencia, la menor. A medida que el

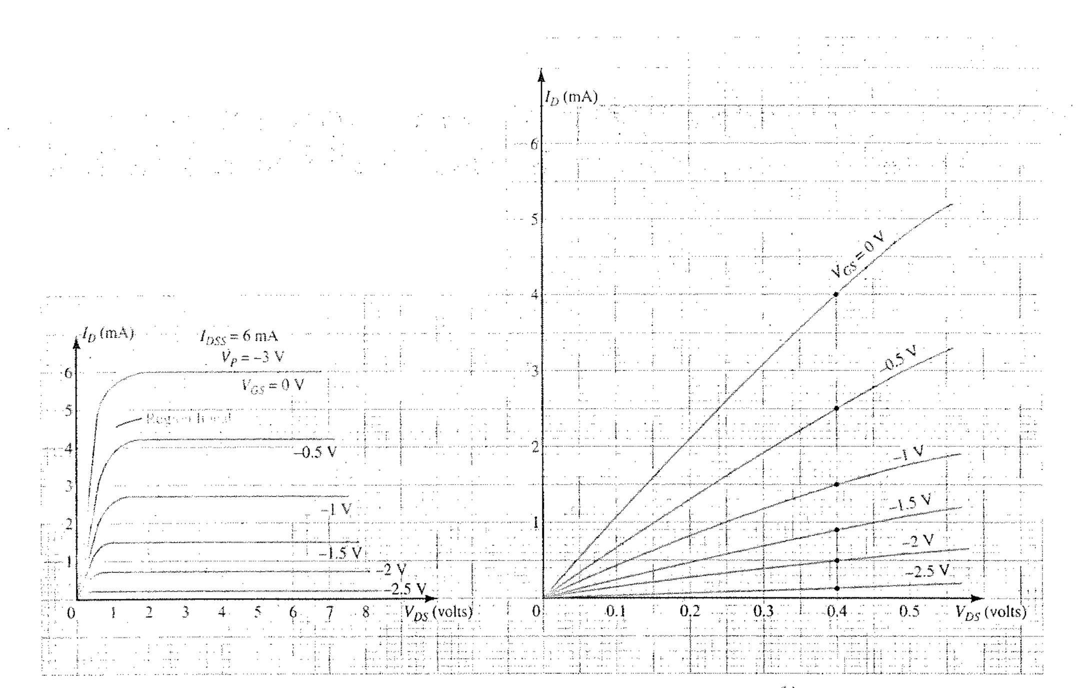


Figura 6.63 Características de JFET: (a) definición de la región lineal; (b) expansión de la región lineal.

voltaje compuerta-fuente crece de forma negativa, la pendiente disminuye hasta encontrarse prácticamente horizontal cerca del voltaje de estrechamiento.

Es importante recordar que esta región lineal se encuentra limitada a niveles de V_{DS} que son relativamente pequeños en comparación con el voltaje de estrechamiento. En general, **la región lineal de un JFET se define por $V_{DS} \ll V_{DS_{máx}}$ y $|V_{GS}| \ll |V_P|$.**

Mediante la ley de Ohm, calculemos la resistencia asociada con cada curva de la figura 6.63b empleando la corriente obtenida en un voltaje drenaje-fuente de 0.4 V.

$$V_{GS} = 0\text{ V}: \quad R_{DS} = \frac{V_{DS}}{I_{DS}} = \frac{0.4\text{ V}}{4\text{ mA}} = \mathbf{100\ \Omega}$$

$$V_{GS} = -0.5\text{ V}: \quad R_{DS} = \frac{V_{DS}}{I_{DS}} = \frac{0.4\text{ V}}{2.5\text{ mA}} = \mathbf{160\ \Omega}$$

$$V_{GS} = -1\text{ V}: \quad R_{DS} = \frac{V_{DS}}{I_{DS}} = \frac{0.4\text{ V}}{1.5\text{ mA}} = \mathbf{267\ \Omega}$$

$$V_{GS} = -1.5\text{ V}: \quad R_{DS} = \frac{V_{DS}}{I_{DS}} = \frac{0.4\text{ V}}{0.9\text{ mA}} = \mathbf{444\ \Omega}$$

$$V_{GS} = -2\text{ V}: \quad R_{DS} = \frac{V_{DS}}{I_{DS}} = \frac{0.4\text{ V}}{0.5\text{ mA}} = \mathbf{800\ \Omega}$$

$$V_{GS} = -2.5\text{ V}: \quad R_{DS} = \frac{V_{DS}}{I_{DS}} = \frac{0.4\text{ V}}{0.12\text{ mA}} = \mathbf{3.3\ k\Omega}$$

En particular, observe como **se incrementa la resistencia drenaje-fuente a medida que el voltaje compuerta-fuente se acerca al valor de estrechamiento.**

Los resultados obtenidos pueden verificarse con la ecuación 5.1 y con el empleo de un voltaje de estrechamiento de −3 V y R_o = 100 Ω en V_{GS} = 0 V.

$$R_{DS} = \frac{R_o}{\left(1 - \frac{V_{GS}}{V_P}\right)^2} = \frac{100\ \Omega}{\left(1 - \frac{V_{GS}}{-3\text{ V}}\right)^2}$$

$$V_{GS} = -0.5\text{ V}: \quad R_{DS} = \frac{100\ \Omega}{\left(1 - \frac{-0.5\text{ V}}{-3\text{ V}}\right)^2} = \mathbf{144\ \Omega} \quad \text{(en comparación con 160 Ω anterior)}$$

$$V_{GS} = -1\text{ V}: \quad R_{DS} = \frac{100\ \Omega}{\left(1 - \frac{-1\text{ V}}{-3\text{ V}}\right)^2} = \mathbf{225\ \Omega} \quad \text{(en comparación con 267 Ω anterior)}$$

$$V_{GS} = -1.5\text{ V}: \quad R_{DS} = \frac{100\ \Omega}{\left(1 - \frac{-1.5\text{ V}}{-3\text{ V}}\right)^2} = \mathbf{400\ \Omega} \quad \text{(en comparación con 444 Ω anterior)}$$

$$V_{GS} = -2\text{ V}: \quad R_{DS} = \frac{100\ \Omega}{\left(1 - \frac{-2\text{ V}}{-3\text{ V}}\right)^2} = \mathbf{900\ \Omega} \quad \text{(en comparación con 800 Ω anterior)}$$

$$V_{GS} = -2.5\text{ V}: \quad R_{DS} = \frac{100\ \Omega}{\left(1 - \frac{-2.5\text{ V}}{-3\text{ V}}\right)^2} = \mathbf{3.6\ k\Omega} \quad \text{(en comparación con 3.3 kΩ anterior)}$$

A pesar de que los resultados no coinciden exactamente, para la mayoría de las aplicaciones, la ecuación 5.1 proporciona una excelente aproximación al nivel de resistencia real de R_{DS}.

Tenga en cuenta que **los niveles posibles de V_{GS} entre 0 V y el estrechamiento son infinitos,** con lo que resulta el intervalo completo de valores de resistor entre 100 Ω y 3.3 kΩ. Por lo tanto, en general, el argumento anterior se resume en la figura 6.64a. Cuando V_{GS} = 0 V, se obtendrá la equivalencia de la figura 6.64b; cuando V_{GS} = −1.5 V, será entonces la equivalencia de la figura 6.64c, y así sucesivamente.

D, G, S, V_{GS} ⇒ $R_{DS} = f(V_{GS})$ cuando $V_{DS} \ll V_{DS_{máx}}$, $V_{GS} \ll V_P$

(a)

$V_{GS} = 0$ V ⇒ R_{DS} 100 Ω, 0 V

(b)

$V_{GS} = -1.5$ V ⇒ R_{DS} 400 Ω, 1.5 V

(c)

Figura 6.64 Resistencia de drenaje controlada por voltaje aplicado al JFET: (a) equivalencia general; (b) con V_{GS} = 0 V; (c) con V_{GS} = −1.5 V.

Ahora revisaremos la utilización de esta resistencia de drenaje controlada por voltaje en el amplificador no-inversor de la figura 6.65a; **no-inversor indica que tanto la entrada como la salida se encuentran en fase.** En el capítulo 13, se revisará el op-amp de la figura 6.65a con mayor detalle, con la ecuación de la ganancia derivada en la sección 13.4.

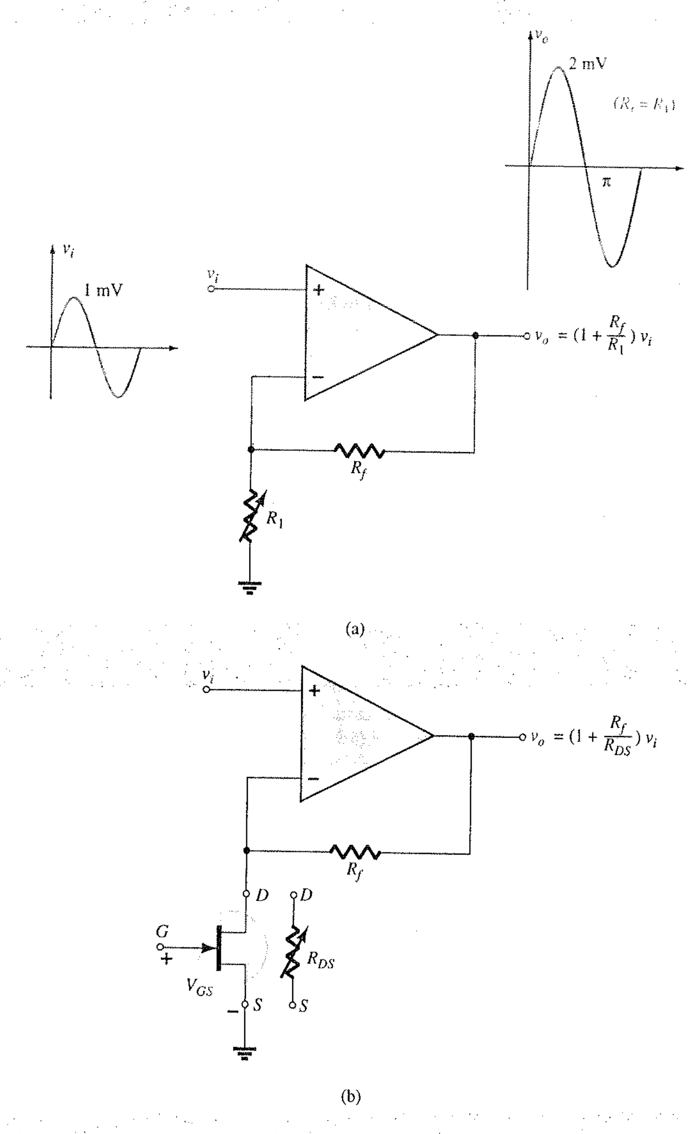


Figura 6.65 (a) Configuración de op-amp no inversor; (b) utilización de la resistencia drenaje-fuente de un JFET controlada por voltaje en el amplificador no-inversor.

Si $R_f = R_1$, la ganancia resultante es 2 como lo muestran las señales senoidales en fase de la figura 6.65a. En la figura 6.65b el resistor variable se reemplazó por un JFET de canal-*n*. Si $R_f = 3.3$ kΩ y se utiliza el transistor de la figura 6.63, la ganancia se podría extender de 1 + 3.3 kΩ/3.3 kΩ = 2 hasta 1 + 3.3 kΩ/100 Ω = 34 para cuando V_{GS} varía de −2.5 V a 0 V, respectivamente. Por lo tanto, en general, la ganancia del amplificador puede establecerse en cualquier valor entre 2 y 34, simplemente al controlar el voltaje de polarización de dc aplicado. El impacto de este tipo de control puede extenderse para una infinidad de aplicaciones. Por ejemplo, si el voltaje de la batería de un radio comienza a caer como consecuencia de una utilización prolongada, el nivel de dc en la compuerta del JFET de control caerá, por lo que el nivel de R_{DS} también lo hará. Una caída en R_{DS} ocasionará un incremento de ganancia para el mismo valor de R_f con lo que el volumen de salida del radio podrá mantenerse. Una gran cantidad de osciladores (redes diseñadas para generar señales senoidales de frecuencias específicas) tienen un factor de resistencia en la ecuación para la frecuencia generada. Si la frecuencia generada comienza a perderse, es posible diseñar una red de retroalimentación que cambie el nivel de dc en la compuerta del JFET y por tanto su resistencia de drenaje. Si tal resistencia de drenaje forma parte del factor de resistencia en la ecuación de la frecuencia, es posible estabilizar o mantener la frecuencia generada.

Unos de los factores más importantes que afectan a la estabilidad de un sistema es la variación de temperatura. A medida que un sistema se calienta, la tendencia usual es que la ganancia se incremente, lo cual a su vez generará un mayor calentamiento y eventualmente podría ocasionar una condición denominada como "avalancha o escape térmico". Mediante un diseño apropiado, es posible introducir un termisor que afecte el nivel de polarización de un resistor JFET variable controlado por voltaje. A medida que la resistencia del termisor decaiga como consecuencia del incremento de calor, el control de polarización del JFET será tal, que la resistencia de drenaje cambiará en el diseño del amplificador para reducir la ganancia, con lo que se establece un efecto de equilibrio.

Antes de abandonar la cuestión de los problemas térmicos, observe que ciertas especificaciones de diseño (frecuentemente las de tipo militar) requieren que los sistemas que son muy sensibles ante variaciones de temperatura se coloquen en "cámaras" u "hornos" para establecer un nivel de temperatura constante. Por ejemplo, es posible colocar un resistor de 1 W en un área cerrada junto con una red de oscilador con el objetivo de establecer un nivel de temperatura ambiental constante en la región. Posteriormente, el diseño se centraría en este nivel de calor que es mucho más alto que el nivel que normalmente generan los componentes, por lo que las variaciones en los niveles de temperatura de los elementos podrán ignorarse y de esta forma asegurar una frecuencia de salida estable.

Existen otras áreas de aplicación como: cualquier forma de control de volumen, efectos musicales, medidores, atenuadores, filtros, diseños para estabilidad, y otros. Una ventaja general de este tipo de estabilidad es que evita la necesidad de reguladores caros (capítulo 18) en el diseño general, aunque deberá comprenderse que el propósito de este tipo de mecanismos de control sólo es el de "poner a punto" en lugar de proporcionar la principal fuente de estabilidad.

Para el amplificador no-inversor, **una de las ventajas más importantes relacionada con el uso de un JFET para cuestiones de control, es el hecho de que es un control de dc en lugar de uno de ac.** Para la mayoría de los sistemas, el control de dc no sólo reduce la probabilidad de incorporar ruido no deseado en el sistema sino que además se presta bien para control remoto. Por ejemplo, en la figura 6.66a, un tablero de control remoto se encuentra controlando la ganancia de amplificación de una bocina mediante una línea de ac conectada al resistor variable. **La larga línea que sale del amplificador puede fácilmente captar ruido del aire circundante como el generado por lámparas fluorescentes, estaciones locales de radio, equipo en operación (incluso computadoras), motores, generadores, etcétera.** El resultado podría ser una señal en la línea de 2 mV con un nivel de ruido de 1 mV, lo cual presenta una relación señal a ruido terrible que sólo contribuiría a un mayor deterioro de la señal que procede del micrófono, debido a la ganancia de lazo del amplificador. En la figura 6.66b una línea de dc se encuentra controlando al voltaje de la compuerta del JFET y a la resistencia variable del amplificador no-inversor. A pesar de que el voltaje de la línea de dc sea sólo de −2 V, un voltaje de rizo de 1 mV captado por la larga línea, ocasionará una relación señal a ruido muy grande que esencialmente será ignorada por el proceso de distorsión. En otras palabras, el ruido sobre la línea de dc solamente movería ligeramente el punto de operación de dc sobre las características y casi no tendría efecto alguno sobre la resistencia de drenaje resultante; el aislamiento entre el ruido sobre la línea y la respuesta del amplificador sería casi ideal.

Incluso, aunque las figura 6.66a y 6.66b presentan una línea de control relativamente larga, la línea de control podría ser de sólo 6 pulgadas de largo como se muestra en la figura 6.66c, donde todos los elementos del amplificador se encuentran alojados en un mismo contenedor. Sin embargo, considere que **sólo es necesaria 1 pulgada de longitud para captar ruido de RF,** por lo que el control de dc es una característica favorable para casi todo sistema. Además, dado que la resistencia del control en la figura 6.66a es por lo general muy grande (cientos de kΩ) mientras que los resistores del control de voltaje de dc, en el sistema de dc de la figura

6.66b son generalmente muy pequeños, el resistor del control de volumen del sistema de ac absorberá mucho más ruido de ac que el diseño de dc. Este fenómeno es resultado del hecho de que **las señales de ruido de RF del aire poseen una resistencia interna muy alta, y por tanto, mientras mayor sea la resistencia de captación, mayor será el ruido RF absorbido por el receptor.** Recuerde el teorema de Thévenin que establece que para una máxima transferencia de potencia, la resistencia de carga deberá ser igual a la resistencia interna de la fuente.

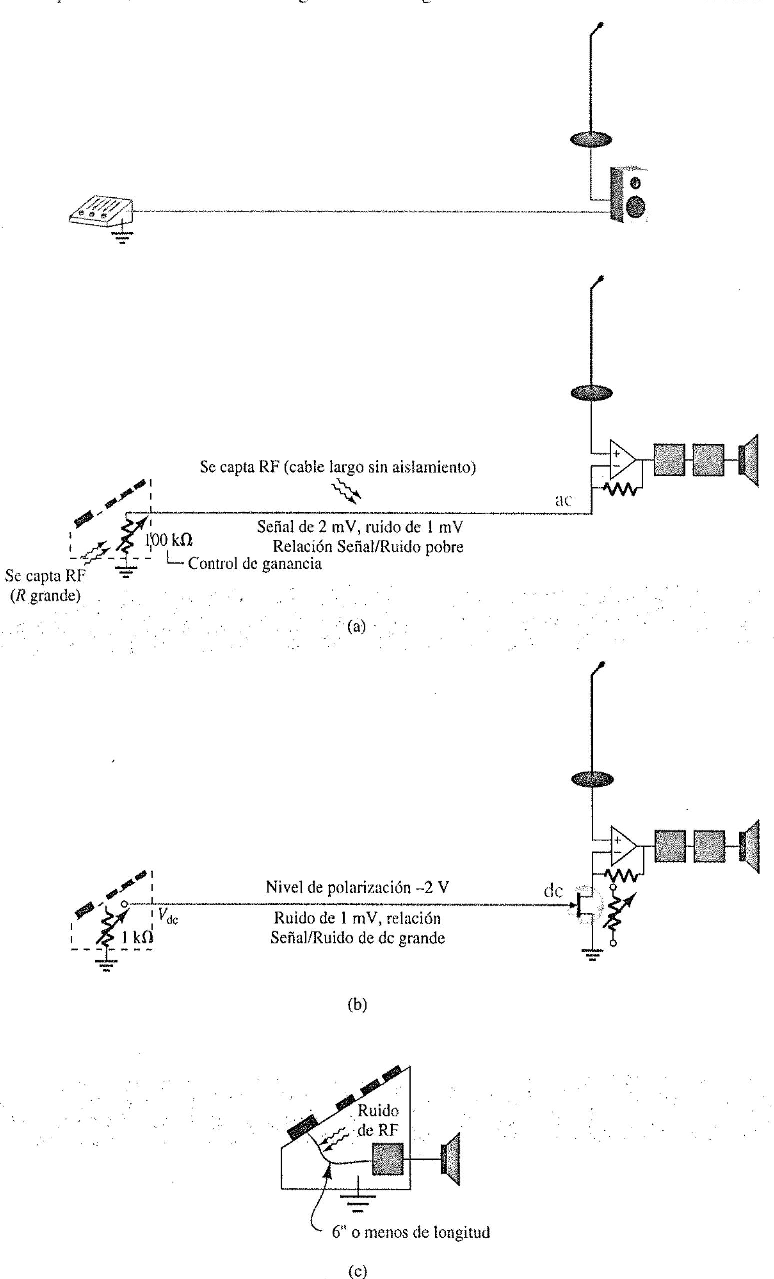
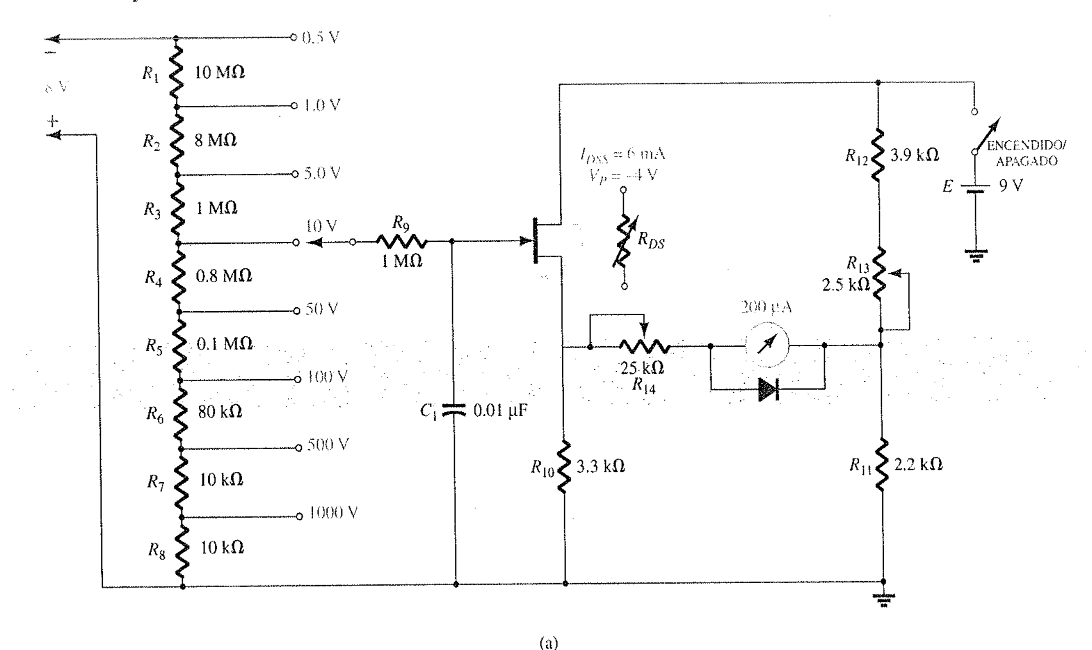


Figura 6.66 Demostración de los beneficios del control de dc: sistema con (a) control de ac; (b) control de dc; (c) captación del ruido de RF.

Como se observó antes, **el control de dc se presta para sistemas de control remoto y de cómputo** ya que operan completamente en niveles específicos de dc fijos. Por ejemplo, cuando un control remoto envía una señal infrarroja (*IR*) a un receptor en una televisión o videocasetera, la señal pasa a través de una secuencia de decodificación-contador para definir un nivel particular de voltaje sobre una escala de niveles de voltaje que pueden alimentar la compuerta del JFET. Si hablamos de un control de volumen, este voltaje de la compuerta podría estar controlando la resistencia del drenaje de un amplificador no-inversor que controle el volumen del sistema.

Voltímetro JFET

El efecto de resistor controlado por voltaje que acabamos de describir será bien utilizado en el voltímetro JFET de la figura 6.67a. La resistencia de drenaje del JFET proporciona una de las ramas de una red puente que cuando se encuentra balanceada provocará corriente cero a través del medidor sensible que aparece en el diagrama equivalente de la figura 6.67b. Debido a la necesidad de polarizar adecuadamente el JFET, el usuario debe ser particularmente cuidadoso en



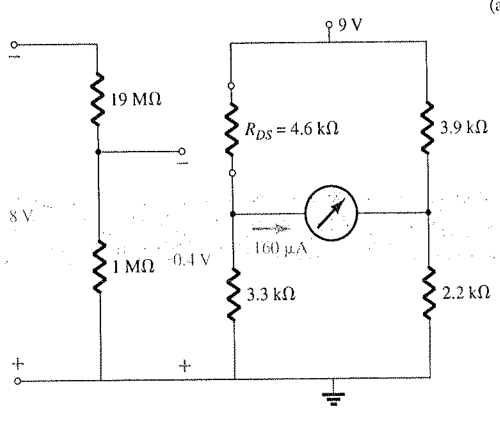


Figura 6.67 Voltímetro con JFET: (a) red; (b) equivalente reducido con una medición de 8 V. (Redibujado por International Rectifier Corporation.)

conectar las puntas de prueba como se muestra para los 8 V que se están midiendo. Un diseño más sofisticado contaría con un interruptor de polaridad que invertiría la polaridad si las terminales de medición o la lectura fueran erróneas. Para los 8 V que se miden, se seleccionó la escala de 10 V, lo que dio como resultado una configuración por divisor de voltaje como la mostrada en la figura 6.67b que ocasiona −0.4 V de la compuerta a la fuente del JFET. La resistencia de drenaje resultante del JFET establecería entonces una condición desbalanceada que ocasionaría una corriente a través del medidor que resulta en el movimiento y la indicación de un valor correspondiente. Por supuesto que para que la lectura tenga algún sentido, es necesario calibrar antes el medidor (fijar el movimiento en cero bajo condiciones específicas de operación) pero esta discusión se encuentra fuera del alcance de este texto.

Para la situación especial ideal de la figura 6.67b con los resistores de balance activados en 0 Ω, una resistencia drenaje a fuente del JFET de cerca de 4.6 Ω ocasionará una corriente en el medidor de cerca de 160 μA, o de 80% de la escala completa de lectura (200 μA) como lo requieren los 8 V leídos en la escala de 10 V. Además, observe que el voltaje compuerta-fuente de −0.4 V es considerablemente menor que el voltaje de estrechamiento de −4 V y ciertamente mucho menor que el voltaje máximo de V_{DS} como se requiere para la región lineal del JFET. La red de divisor de voltaje del circuito de salida asegurará que el voltaje compuerta-fuente no exceda los límites que permiten la equivalencia de resistencia variable. En la figura 6.67a, se incluyó el capacitor para eliminar cualquier pico que pudiera presentarse cuando se conecte al voltaje de dc que se medirá y para aterrizar cualquier ruido captado en la fuente. El diodo se incluye para proteger al medidor de voltajes excesivos (mayores que 0.7 V). Los resistores variables se incorporaron para ajustar a cero el medidor y para calibrarlo mediante una fuente de voltaje conocida.

Antes de abandonar el medidor, observe que **todas las partes móviles del medidor cuentan con un mecanismo de "amortiguación de aire", diseñado para minimizar el daño de picos de corriente y turbulencia externa.** Al agitar un medidor, verá que el movimiento no sigue directamente el movimiento de agitación, sino que éste se rezaga de una forma lenta y aletargada. La causa de esto es que se expulsa aire del "contenedor de amortiguamiento de aire" por el movimiento de la aguja, con lo que se detiene la respuesta del mecanismo balanceado.

Red de temporización

El gran aislamiento entre los circuitos de compuerta y drenaje permite el diseño de un temporizador relativamente simple como el presentado en la figura 6.68. El interruptor del tipo normalmente abierto (NE) que cuando se cierra, coloca al capacitor en corto y causa que el voltaje en sus terminales caiga rápidamente a 0 V. La red de conmutación puede manejar la descarga

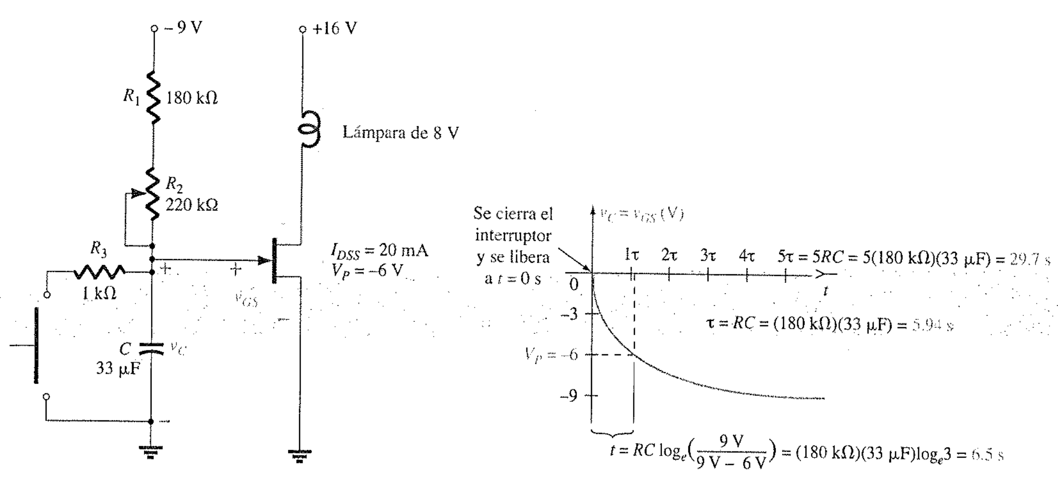


Figura 6.68 Red de temporización JFET.

rápida de voltaje a través del capacitor, debido a que los voltajes de trabajo son relativamente bajos y el tiempo de descarga es extremadamente corto. Alguien pensaría que se trata de un diseño pobre, pero en el mundo real se utiliza con frecuencia y no se desestima su uso.

Cuando se aplica la potencia, el capacitor responderá con su equivalente de circuito cerrado ya que el **voltaje a través del capacitor no puede cambiar de forma instantánea.** El resultado es que el voltaje compuerta-fuente del JFET inmediatamente se establecerá en 0 V, la corriente de drenaje I_D será igual a I_{DSS}, y la lámpara se encenderá. Sin embargo, con el interruptor en la posición normalmente abierta, el capacitor comenzará a cargarse a −9 V. **Debido a las altas impedancias paralelas de entrada del JFET, éstas prácticamente no ejercen efecto sobre la constante de tiempo de carga del capacitor.** Eventualmente, cuando el capacitor alcance el nivel de estrechamiento, el JFET y la lámpara se apagarán. Por lo tanto, en general, cuando el sistema de enciende por vez primera, la lámpara encenderá durante un periodo muy corto y luego se apagará. Ahora ya se encuentra lista para efectuar su función de temporizador.

Cuando el interruptor se cierra, pondrá en corto al capacitor ($R_3 \ll R_1, R_2$) y el voltaje de la compuerta se fijará en 0 V. La corriente de drenaje resultante será de I_{DSS} y la lámpara brillará mucho. Cuando el interruptor se libere, el capacitor se cargará hacia −9 V, y eventualmente cuando alcance el nivel de estrechamiento, tanto la lámpara como el JFET se apagarán. El periodo durante el cual la lámpara se encuentra encendida estará determinado por la constante de tiempo de la red de carga, determinada por $\tau = (R_1 + R_2)C$ y por el nivel de estrechamiento. Mientras más negativo sea el nivel de estrechamiento, mayor tiempo permanecerá encendida la lámpara. Se incluye el resistor R_1 para asegurar que exista cierta resistencia en el circuito de carga cuando se encienda el temporizador. De otra forma, podría aparecer una fuerte corriente que dañaría la red. El resistor R_2 es un resistor variable, para que el tiempo de encendido pueda controlarse. El resistor R_3 se añadió para limitar la corriente de descarga cuando el interruptor se cierre. Cuando el interruptor a través del capacitor se cierra, el tiempo de descarga del capacitor será de tan sólo $5\tau = 5RC = 5(1\text{ k}\Omega)(33\ \mu\text{F}) = 165\ \mu\text{s} = 0.165\text{ ms} = 0.000165\text{ s}$. En resumen, cuando el interruptor se presiona y se libera, la lámpara se enciende de forma brillante, y luego, a medida que pasa el tiempo, comenzará a debilitarse la luz hasta que se apague por completo pasado un periodo determinado por la constante de tiempo de la red.

Una de las aplicaciones más obvias para tal sistema de temporizador es para un pasillo o corredor donde se desea contar con luz por un periodo corto de manera que sea posible atravesarlo de manera segura y luego queramos que el sistema se apague de forma automática. Cuando se ingresa o se sale de un automóvil, quizá se requiera contar con luz por un periodo corto y no preocuparse por apagarlo. Existen posibilidades infinitas de aplicación para una red de temporización como la descrita. Sólo considere la cantidad de sistemas eléctricos o electrónicos que desearía encender por periodos específicos, y la lista crecerá exponencialmente.

Alguien podría preguntar el porqué un BJT no es una buena alternativa para el JFET en la misma aplicación. Primero, la resistencia de entrada del BJT quizá sea de unos cuantos kilohms, lo cual afectaría no sólo a la constante de tiempo de la red de carga sino también al voltaje máximo al cual se cargaría el capacitor. Con sólo dibujar una red equivalente y reemplazar al transistor por un resistor de 1 kΩ, lo anterior se verá claro de forma inmediata. Además, los niveles de control deberán diseñarse con mucho mayor cuidado ya que el transistor BJT se enciende en cerca de 0.7 V. La amplitud del voltaje de apagado a encendido es sólo de 0.7 V en lugar de 4 V para el caso de la configuración JFET. Una observación final: quizá habrá notado la ausencia de un resistor en serie en el circuito de drenaje para el caso donde la lámpara se enciende por primera vez y la resistencia de ella es muy baja. La corriente resultante podría ser demasiado alta hasta que la lámpara alcance su intensidad nominal. Sin embargo, nuevamente como se describió antes para el interruptor a través del capacitor, si los niveles de energía son pequeños y la duración de la corriente excesiva es mínima, tales diseños son aceptables. Si se tuviera alguna preocupación con respecto a esto, es posible añadir un resistor de 0.1 a 1 Ω en serie con la lámpara para proporcionar cierta seguridad.

Sistemas de fibra óptica

La introducción a la tecnología de fibra óptica ha ejercido un efecto dramático sobre la industria de las telecomunicaciones. **La capacidad de transporte de información del cable de fi-**

bra óptica es significativamente mayor que el proporcionado por los métodos convencionales mediante pares trenzados de cables individuales. Además, **el tamaño del cable se reduce; el cable es más barato; se eliminan disturbios en la transmisión como consecuencia de efectos electromagnéticos entre los conductores de transporte de corriente, y se elimina el ruido debido a fuentes de perturbación externa como las luminosas.**

La industria entera de la fibra óptica está basada en el hecho de que es posible transmitir información sobre un haz de luz. Aunque la velocidad de la luz a través del vacío es de 3×10^8 metros por segundo o aproximadamente 186,000 millas por segundo, su velocidad se reduce debido a encuentros con otros medios, que causan reflexión y refracción. Cuando la información se transmite a través de un cable de fibra óptica, se espera que rebote por las paredes del cable. Sin embargo, el ángulo en el cual se inyecta la luz en el cable es crítico así como el diseño existente del cable. En la figura 6.69 se definen los elementos de un cable de fibra óptica. El núcleo de vidrio o plástico del cable puede ser tan pequeño como 8 μm, lo cual es cercano a 0.1 veces el diámetro de un cabello humano. El núcleo se encuentra rodeado por una capa exterior denominada *recubrimiento interno* que también está hecho de vidrio o plástico pero que cuenta con un índice de refracción diferente para asegurar que la luz del núcleo que incida en la capa exterior del mismo, se refleje de regreso. Luego, se añade un recubrimiento exterior para proteger ambas capas interiores de los efectos ambientales externos.

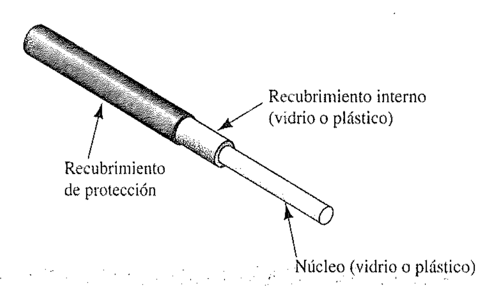


Figura 6.69 Elementos básicos de un cable de fibra óptica.

La mayoría de los sistemas ópticos de comunicación trabajan en el rango de frecuencias infrarrojas, el cual se extiende de 3×10^{11} a 5×10^{14} Hz. Este espectro se encuentra justo por debajo del espectro de luz visible que se extiende de 5×10^{14} a 7.7×10^{14} Hz. Para la mayoría de los sistemas ópticos, se emplea el rango de frecuencias de 1.87×10^{14} a 3.75×10^{14} Hz. Debido a las altas frecuencias, cada portador puede ser modulado para cientos o miles de canales simultáneos de voz. Además, **existe la posibilidad de transmisión de cómputo de velocidades muy altas, aunque es preciso asegurarse que los componentes electrónicos de los moduladores pueden también operar con éxito a la misma frecuencia.** Para distancias de cerca de 30 millas náuticas, es necesario utilizar repetidores (una combinación de receptor, amplificador y transmisor) los cuales requieren un conductor eléctrico adicional en el cable, que transporte una corriente aproximada de 1.5 A a 2500 V.

En la figura 6.70 se muestran los componentes básicos de un sistema de comunicación óptico. La señal de entrada se aplica a un modulador de luz cuyo único propósito es convertir la señal de entrada a uno de los niveles correspondientes de intensidad de luz para ser dirigida hacia la extensión del cable de fibra óptica. Posteriormente, la información es transportada a través del cable hacia la estación de recepción donde un demodulador de luz convertirá las intensidades de luz variantes de vuelta a niveles de voltaje que coincidirán con los de la señal original.

En la figura 6.71a se proporciona un equivalente electrónico para la transmisión de información de cómputo TTL (lógica transistor-transistor). Cuando el control de Habilitación se encuentra en el estado encendido o 1, la información TTL que se encuentra en la entrada de la compuerta AND podrá pasar a través de la compuerta de la configuración del JFET. El diseño es tal, que los niveles discretos de voltaje asociados con la lógica TTL encenderán y apagarán al JFET (quizá 0 V y −5 V respectivamente para un JFET con $V_P = -4$ V). El cambio resultante en los niveles de corriente ocasionará dos niveles distintos para la intensidad de la luz del LED (sección 1.16) en el circuito de drenaje. Esta luz emitida será luego dirigida a través del cable hacia la estación de recepción donde un fotodiodo (sección 19.6) reaccionará ante la

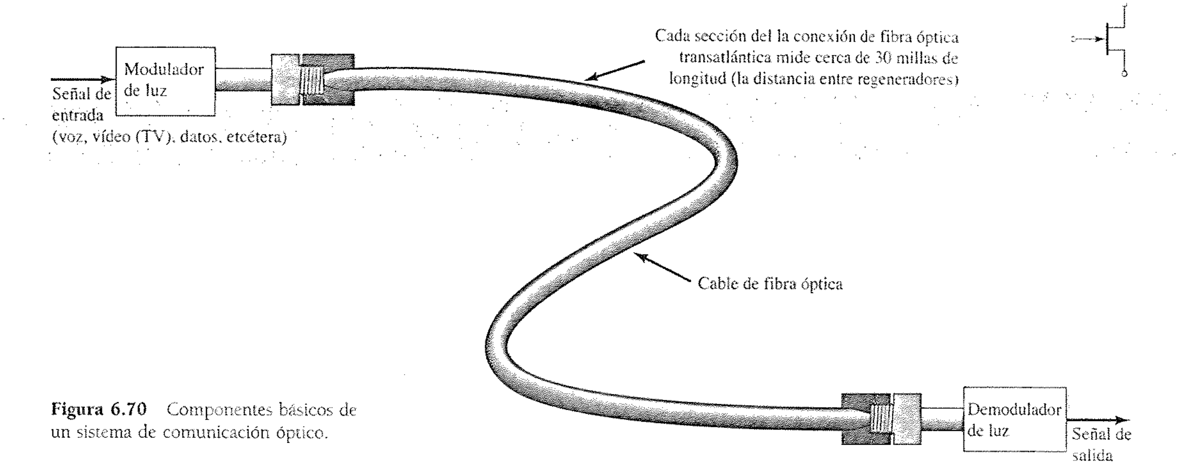


Figura 6.70 Componentes básicos de un sistema de comunicación óptico.

luz incidente y permitirá diferentes niveles de corriente a través del circuito, como lo establecen V y R. La corriente para los fotodiodos es una corriente inversa que tiene la dirección mostrada en la figura 6.71a, pero en el equivalente de ac el fotodiodo y el resistor R se encuentran en paralelo como se muestra en la figura 6.71b, lo cual establece el signo deseado con la polaridad presentada en la compuerta del JFET. El capacitor C simplemente es un circuito abierto para dc, con el objetivo de aislar el arreglo de polarización del fotodiodo, del JFET y un "corto circuito" como se muestra para la señal v_s. Entonces, la señal de entrada será amplificada y aparecerá en la terminal de drenaje del JFET de salida.

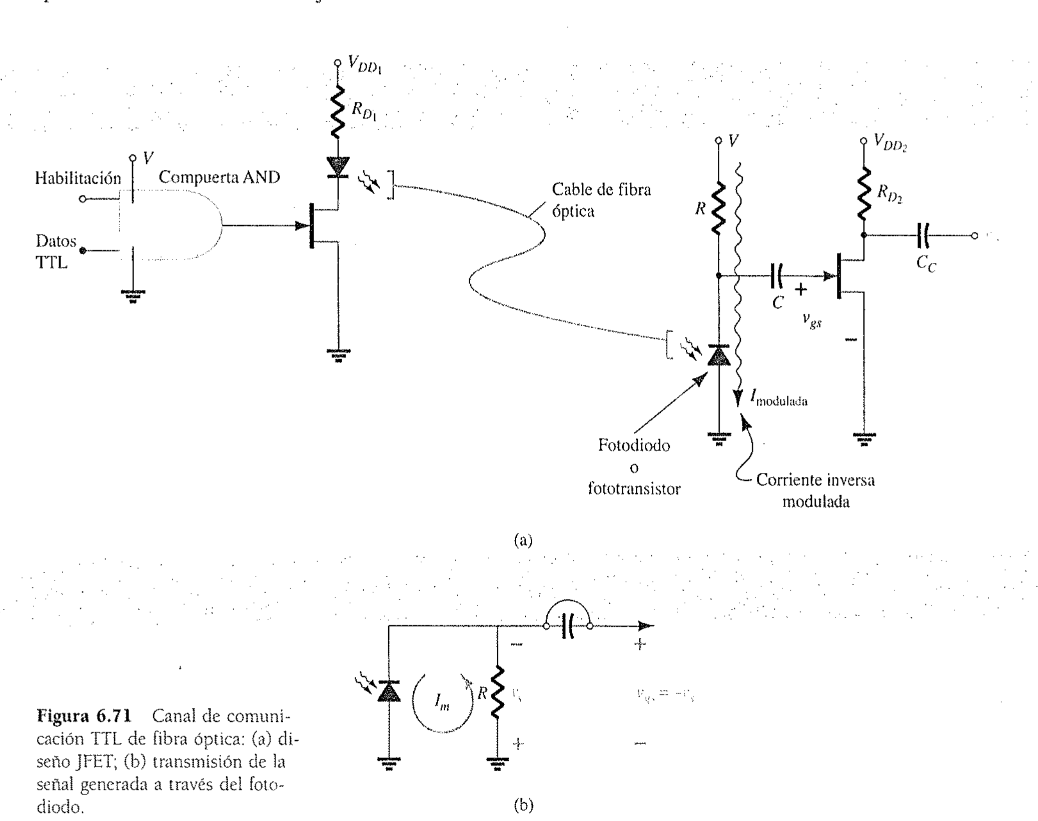


Figura 6.71 Canal de comunicación TTL de fibra óptica: (a) diseño JFET; (b) transmisión de la señal generada a través del fotodiodo.

Como se mencionó anteriormente, todos los elementos del diseño, incluso los JFETs, el LED, el fotodiodo, los capacitores, etcétera, deberán seleccionarse cuidadosamente para asegurar que funcionen adecuadamente con la alta frecuencia de transmisión. De hecho, frecuentemente se emplean diodos láser en lugar de LEDs en el modulador, debido a que poseen frecuencias más altas de información, mayores potencias y menores pérdidas de acoplamiento y transmisión. Sin embargo, los diodos láser son mucho más caros y más sensibles a la temperatura y, por lo general, manejan menores tiempos de vida que los LEDs. Para la parte del demodulador, los fotodiodos son de la variedad de fotodiodos de *pin* o de avalancha. La abreviación *pin* proviene del proceso de construcción *p*-intrínseco-*n* y el término *avalancha* del proceso de ionización de rápido crecimiento que se desarrolla durante la operación.

En general, el JFET es excelente para esta aplicación gracias a su alto aislamiento de la parte de la salida y su habilidad para pasar de forma rápida de un estado a otro como consecuencia de la entrada TTL. Para la parte de la salida, el aislamiento bloquea cualquier efecto del circuito sensor demodulador sobre la respuesta de ac, y proporciona cierta ganancia de la señal antes de pasarla a la siguiente etapa.

Manejador de relevador por MOSFET

El manejador de relevador por MOSFET que se describirá en esta sección es un ejemplo excelente de cómo es posible utilizar FETs para **manejar redes de alto voltaje/corriente sin consumir corriente o potencia del circuito, manejador, de excitación. La alta impedancia de entrada de los FETs esencialmente aísla ambas partes de la red sin la necesidad de tener eslabones ópticos o electromagnéticos.** La red que se describirá, puede emplearse para una variedad de aplicaciones, sin embargo, esta aplicación estará limitada a un sistema de alarma que se activa cuando alguien o algo cruce el plano de la luz transmitida.

El LED IR (infrarrojo, no visible) de la figura 6.72 se encuentra dirigiendo su luz a través de un "embudo direccional" que llega a una celda fotoconductiva (sección 19.7) de la red de control. La celda fotoconductiva tiene un rango de resistencia de cerca de 200 kΩ en su nivel de resistencia de oscuridad hasta menos de 1 kΩ en sus niveles de alta iluminación. El resistor R_1 es una resistencia variable que puede emplearse para fijar el nivel de umbral del MOSFET de tipo decremental. Se utilizó un MOSFET de mediana potencia debido al alto nivel de corriente de drenaje a través de la bobina magnetizadora. El diodo se incorpora como un dispositivo de protección por las razones discutidas a detalle en la sección 2.13.

Cuando el sistema se encuentra encendido y la luz está incidiendo sobre la celda fotoconductiva, la resistencia de la celda puede disminuir cerca de 10 kΩ. Para este nivel, la aplicación de la regla de divisor de voltaje obtendrá un voltaje cercano a 0.54 V en la terminal de la compuerta (con el potenciómetro de 50 kΩ ajustado en 0 kΩ). El MOSFET estará encendido, pero no a un nivel de corriente de drenaje que pueda causar que el relevador cambie de estado. Cuando alguien se atraviese, el suministro de luz será interrumpido, y la resistencia de la celda rápidamente (en unos cuantos ms) crecerá a 100 kΩ. Luego, el voltaje en la compuerta crecerá a 3 V, encenderá al MOSFET, activará al relevador y encenderá al sistema que se controla. Un circuito de alarma contaría con su propio diseño de control que aseguraría que ésta no se apague cuando la luz regrese a la celda fotoconductiva.

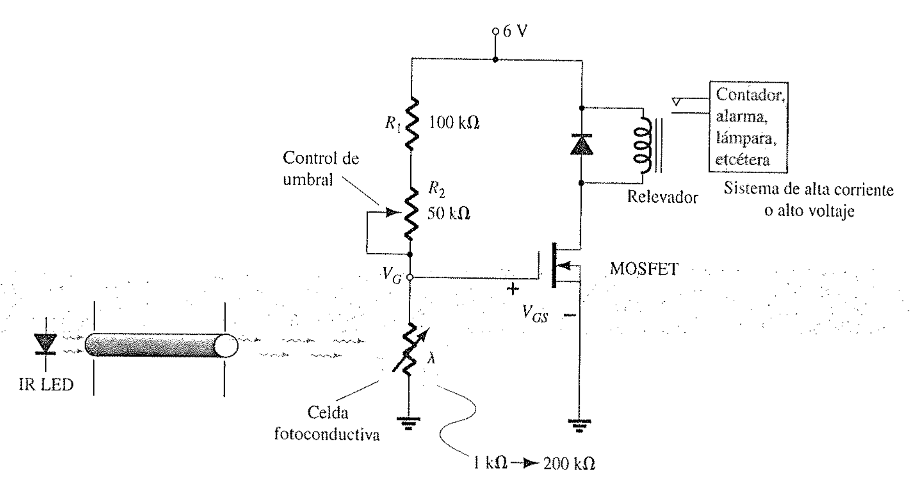


Figura 6.72 Manejador de relevador por MOSFET.

En esencia, por tanto, se ha logrado controlar una red de alta corriente mediante un nivel de voltaje de dc relativamente pequeño y con un diseño no costoso. El único defecto obvio en el diseño es el hecho de que el MOSFET se encontrará encendido incluso cuando no haya intrusión. Esto puede solucionarse mediante el uso de un diseño más sofisticado, pero tenga en mente que los **MOSFETs son típicamente dispositivos de bajo consumo de potencia**, por lo que el consumo de potencia, incluso con el tiempo, no es importante.

6.14 RESUMEN

Conclusiones y conceptos importantes

1. Una configuración de polarización fija tiene, como su nombre lo implica, un voltaje de dc **fijo** que es aplicado de la compuerta a la fuente para establecer el punto de operación.
2. La relación **no lineal** entre el voltaje compuerta-fuente y la corriente de drenaje de un JFET, requiere que se utilice una solución matemática o gráfica (que implica la solución de ecuaciones simultáneas) para determinar el punto de operación estable.
3. Los voltajes con un subíndice sencillo definen el voltaje de un punto específico con respecto a **tierra.**
4. La configuración de autopolarización se determina mediante una ecuación para V_{GS} que *siempre* pasará por el origen. Cualquier otro punto determinado por la ecuación de polarización establecerá una línea **recta** para representar la red de polarización.
5. Para la configuración de polarización por divisor de voltaje, es posible asumir que la corriente de la compuerta es 0 A para permitir un **aislamiento** entre la red de divisor de voltaje y la sección de salida. El voltaje resultante de compuerta a tierra siempre será **positivo para un JFET de canal-*n* y negativo para un JFET de canal-*p*. El incremento de los valores de R_S provocará menores valores de estabilidad de I_D y valores negativos mayores de V_{GS} para un JFET de canal-*n*.**
6. El método del análisis aplicado a MOSFETs de tipo decremental es el mismo que el aplicado a los JFETs, pero tiene como única diferencia, que se obtendrá un posible punto de operación con un nivel de I_D **por encima** del valor de I_{DSS}.
7. Las características y el método de análisis que se aplica a los MOSFETs de tipo incremental son **completamente diferentes** de aquéllos aplicados a los JFETs y MOSFETs de tipo decremental. Para valores de V_{GS} menores que el nivel de umbral la corriente de drenaje es de 0 A.
8. Cuando se analizan redes con una variedad de dispositivos, es necesario que primero se trabaje con la región de la red que proporcione un **nivel de corriente o de voltaje** mediante el uso de las relaciones básicas asociadas con estos dispositivos. Luego, se utiliza este nivel y las ecuaciones apropiadas para calcular los otros niveles de voltaje y corriente de la red en la región circundante del sistema.
9. El proceso de diseño regularmente requiere que se encuentre un valor de resistencia que establezca el voltaje o corriente deseado. Con esto en mente, recuerde que el valor de una resistencia lo define el **voltaje a través del resistor dividido por la corriente** a través del mismo. En el proceso de diseño, ambas cantidades generalmente se encuentran disponibles para un elemento resistivo en particular.
10. La habilidad para localizar fallas en un red, requiere de un **claro y firme entendimiento** del comportamiento a nivel de terminales de cada uno de los dispositivos en la red. Este entendimiento proporcionará un **estimado** de los niveles de voltaje de trabajo para pun-

tos específicos de la red, los cuales pueden verificarse mediante un voltímetro. La parte del óhmetro de un multímetro es particularmente útil para asegurar que existe una **verdadera conexión** entre los elementos de la red.

11. El análisis de los FETs de canal-*p* es el mismo que el aplicado a los FETs de canal-*n*, excepto por el hecho de que todos los voltajes tendrán un **polaridad opuesta** y las corrientes una **dirección opuesta**.

Ecuaciones

JFETs/MOSFETs de tipo decremental:

Configuración de polarización fija: $V_{GS} = -V_{GG} = V_G$

Configuración de autopolarización: $V_{GS} = -I_D R_S$

Polarización por divisor de voltaje: $V_G = \dfrac{R_2 V_{DD}}{R_1 + R_2}$

$$V_{GS} = V_G - I_D R_S$$

MOSFETs de tipo incremental:

Polarización por retroalimentación: $V_{DS} = V_{GS}$

$$V_{GS} = V_{DD} - I_D R_D$$

Polarización por divisor de voltaje: $V_G = \dfrac{R_2 V_{DD}}{R_1 + R_2}$

$$V_{GS} = V_G - I_D R_S$$

6.15 ANÁLISIS POR COMPUTADORA

PSpice para Windows

CONFIGURACIÓN POR DIVISOR DE VOLTAJE PARA JFET

Ahora se verificarán los resultados del ejemplo 6.20 mediante PSpice para Windows. La red de la figura 6.73 se construye por medio de los métodos descritos en los capítulos previos. El JFET J2N3819 se obtiene de la biblioteca **EVAL.slb**, y mediante la secuencia **Edit-Model-Edit Instance Model (Text)**, **Vto** se establece en −6 V, y **Beta**, con la definición Beta = $I_{DSS}/|V_P|^2$ se establece en 0.222 mA/V^2. Después de confirmar con **OK** y presionar sobre el icono de **Simulation** (el de fondo amarillo con dos formas de onda) y borrar el visor de mensajes (**Message Viewer**), se obtendrán las pantallas de **PSpiceAD** de la figura 6.73. La corriente de drenaje resultante será de 4.231 mA comparada con el nivel calculado de 4.24 mA, y V_{GS} será de 3.504 V − 5.077 V = −1.573 V contra el valor calculado de −1.56 V; ambas son comparaciones excelentes.

REDES COMBINADAS

Ahora, los resultados del ejemplo 6.13 tanto con un transistor como con un JFET serán verificados. Para el transistor, el modelo (**Model**) deberá alterarse para que tenga una beta (**Bf**) de 180 de forma que coincida con el ejemplo, y para el JFET, **Vto** deberá establecerse en −6 V y **Beta** en 0.333 mA/V^2. Los resultados que aparecen en la figura 6.74 nuevamente son una excelente comparación con la solución a mano. V_D es 11.44 V en relación con 11.07 V, V_C es 7.138 V comparada con 7.32 V y V_{GS} es −3.758 V contra −3.7 V.

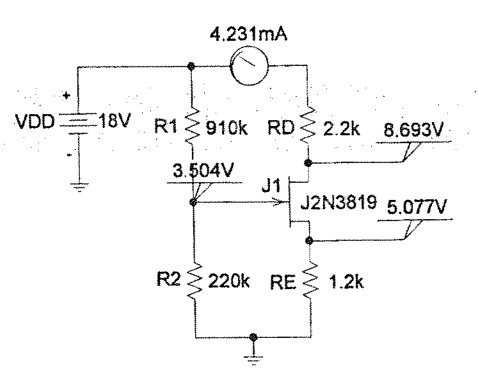


Figura 6.73 Resultados para niveles de dc con PSpice para Windows de la configuración de polarización por divisor de voltaje de JFET.

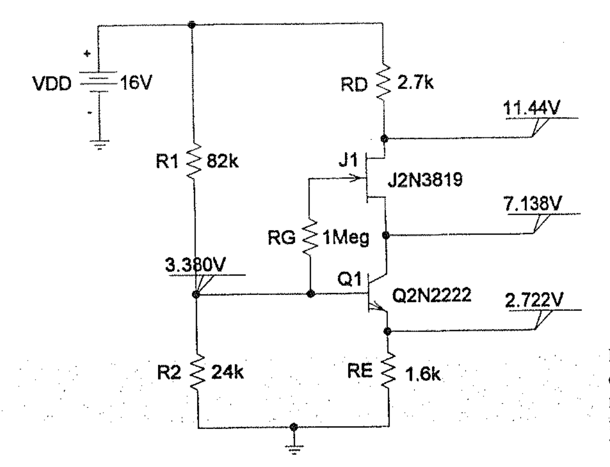


Figura 6.74 Verificación de la solución realizada a mano para el ejemplo 6.13 mediante PSpice para Windows.

MOSFET INCREMENTAL

Ahora, se verificará el procedimiento de análisis de la sección 6.6, mediante el MOSFET de canal-*n* de tipo decremental IRF150 que se localizó en la biblioteca **EVAL.slb**. Primero, se obtendrán las características del dispositivo al construir la red de la figura 6.75.

Haciendo clic sobre el icono de **Setup Analysis** (que cuenta con la barra azul en la esquina superior izquierda de la pantalla), se selecciona la opción de **DC Sweep** (barrido de dc) para obtener el cuadro de diálogo de **DC Sweep**, en donde se selecciona **Voltage Source** para **Swept Var. Type** y **Linear** para **Sweep Type**. Ya que sólo se obtendrá una curva, no hay necesidad de un barrido anidado (**Nested Sweep**). El voltaje de drenaje VDD permanecerá fijo en un valor de 9 V (cerca de tres veces el valor de umbral (**Vto**) de 2.831 V), mientras que el voltaje compuerta-fuente V_{GS}, que en este caso es VGG, tendrá un barrido de 0 a 10 V. El nombre (**Name**),

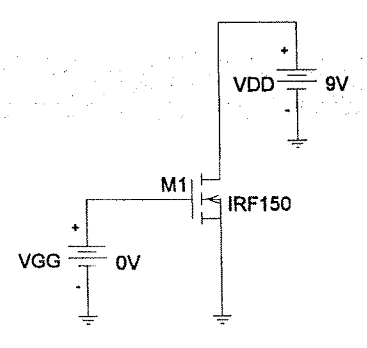


Figura 6.75 Red utilizada para obtener las características del MOSFET IRF150 de tipo incremental de canal-*n*.

por tanto, es VGG y el valor de inicio (**Start Value**) 0 V, el valor final (**End Value**) 10 V, y el incremento (**Increment**) de 0.01 V. Una vez que se selecciona **OK** y **Close** de la parte de **Analysis Setup**, es posible efectuar el análisis con el icono de **Analysis**. Si se selecciona la opción de ejecutar el probador de forma automática una vez que la simulación termine (**Automatically run Probe after simulation**) debajo de las opciones **Probe Setup Options** de **Analysis**, se presentará la pantalla de **OrCAD-MicroSim Probe**, con VGG como la variable para el eje horizontal y con un rango de 0 a 10 V. Luego, es posible utilizar el cuadro de diálogo **Add Traces** que surgió a partir del icono de **Traces** (patrón rojo con puntos sobre un eje) donde se selecciona **ID(M1)** para obtener la corriente de drenaje en función del voltaje compuerta-fuente. Haga clic sobre **OK** y aparecerán las características en la pantalla. Para expandir la escala de la gráfica resultante a 20 V, sólo seleccione **Plot** seguido por **X-Axis Settings** y coloque el nuevo rango de 0 a 20 V en **User Defined.** Después de hacer clic nuevamente en **OK**, se obtendrá la gráfica de la figura 6.76, que muestra un dispositivo de alta corriente. Las etiquetas mostradas **ID** y **VGS** se añadieron mediante el icono de **Text Label** con las letras A, B y C. La recta de carga trazada a mano se describirá en el párrafo siguiente.

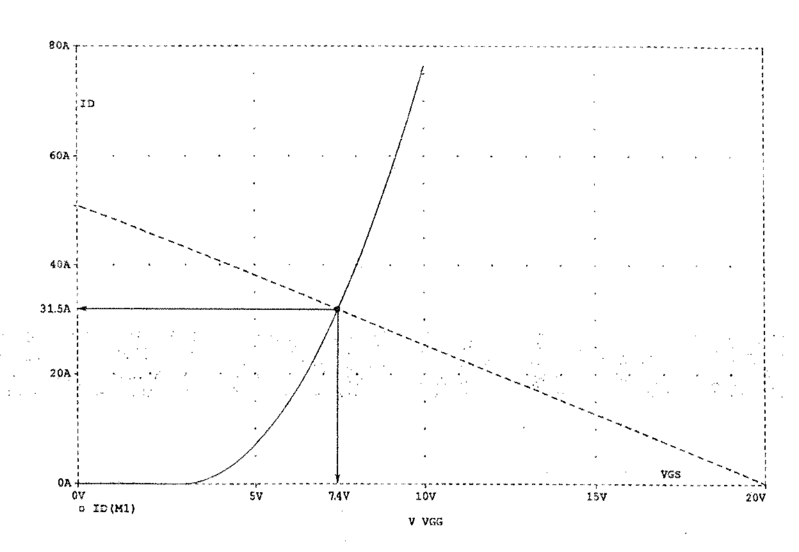


Figura 6.76 Características del MOSFET IRF500 de la figura 6.75, con una recta de carga definida por la red de la figura 6.77.

Posteriormente la red de la figura 6.77 se establece, para proporcionar una recta de carga que se extiende de I_D igual a 20 V/0.4 Ω = 50 A hasta $V_{GS} = V_{GG} = 20$ V como se muestra en la figura 6.76. Una simulación resultado de los niveles mostrados, coincidirá con la solución de la figura 6.76.

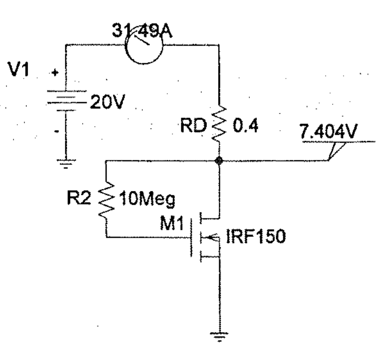


Figura 6.77 Arreglo de polarización por retroalimentación, mediante un MOSFET de tipo incremental IRF150.

Electronics Workbench

Ahora se verificarán los resultados del ejemplo 6.2 por medio de Electronics Workbench. La construcción de la red de la figura 6.78 es esencialmente la misma que la aplicada en el capítulo previo de BJTs. El JFET se obtiene al acudir primeramente a la barra de herramientas vertical de componentes en el lado izquierdo de la pantalla y al seleccionar la opción de **transistor** de la cuarta casilla hacia abajo. El resultado es la barra de herramientas de esta familia de componentes donde el JFET de canal-*n* será la cuarta opción de abajo hacia arriba. Al seleccionarlo, se presentará un cuadro de diálogo de **Component Browser** en donde será posible seleccionar el JFET 2N3821. Una vez que ha sido seleccionado, aparecerán todas las características del dispositivo bajo el título de **Model Data**. Al aceptar (**OK**) se presentará en la pantalla el JFET para que pueda ser posicionado como cualquier otro elemento. Al dar un clic con el botón izquierdo del ratón, el JFET se establecerá en el lugar deseado. Para definir el valor de **Beta** como lo determina

$$\text{Beta} = \frac{I_{DSS}}{|V_P|^2} = \frac{8\text{ mA}}{|-6\text{ V}|^2} = \frac{8\text{ mA}}{36\text{ V}^2} = 0.222\text{ mA/V}^2$$

y para insertar el voltaje de estrechamiento, haga doble clic sobre el símbolo del JFET para acceder al cuadro de diálogo de **JFET_N.** Seleccione **Edit Model** y cambie el valor de **Beta** y de **Vto** a **0.222m** y **−6 V,** respectivamente. Luego seleccione **Change Part Model,** seguido por **OK** y los parámetros estarán establecidos. Para colocar una etiqueta en el JFET con los valores de **IDSS** y **Vp** como se muestra en la figura 6.78, solamente utilice la secuencia **Edit-Place Text** que se demostró en capítulos anteriores. Finalmente, se selecciona la opción de **Indicator** de la barra de herramientas vertical, para escoger **VOLT-METER_V** debajo del cuadro de diálogo **Component Browser.** Al hacer clic en **OK,** se colocarán los indicadores como se muestra en la figura.

Al ejecutar **Simulate-Run/Stop** o al seleccionar **1** en el interruptor de simulación (**Simulate Switch**) se obtendrán los niveles de dc que aparecen en la figura 6.78. Observe que V_{GS} coincide de forma exacta con la solución realizada a mano de −2.6 V. El nivel de 11.364 V para el voltaje de drenaje a tierra es también muy cercano a la solución calculada a mano de 11.42 V, y proporciona una demostración satisfactoria del poder de Electronics Workbench.

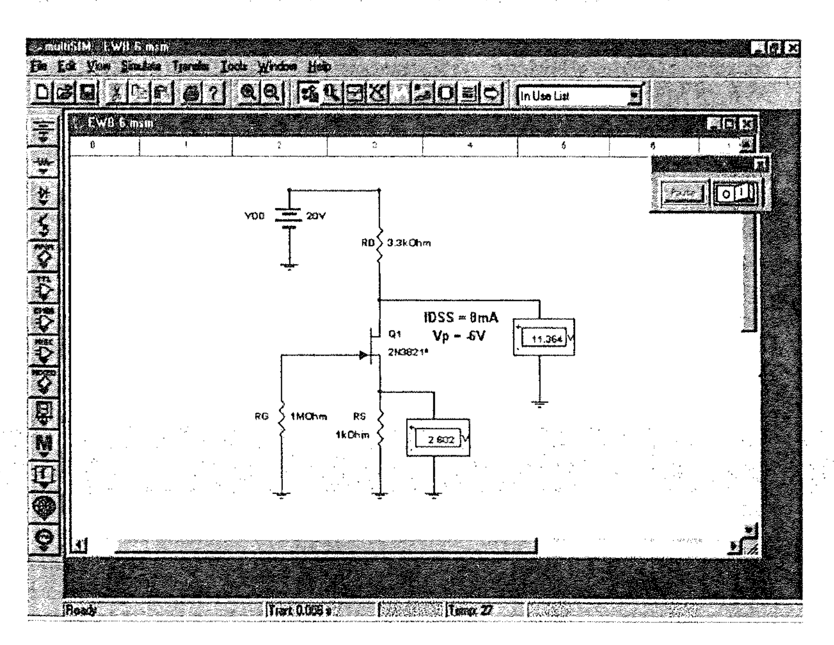


Figura 6.78 Verificación de los resultados del ejemplo 6.2 por medio de Electronics Workbench.

PROBLEMAS

§ 6.2 Configuración de polarización fija

1. Para la configuración de polarización fija de la figura 6.79:
   (a) Trace las características de transferencia del dispositivo.
   (b) Sobreponga la ecuación de la red en la misma gráfica.
   (c) Determine I_{D_Q} y V_{DS_Q}.
   (d) Mediante la ecuación de Shockley, resuelva para I_{D_Q} y luego encuentre V_{DS_Q}. Compare con los resultados del inciso (*c*).
2. Para la configuración de polarización fija de la figura 6.80, determine:
   (a) I_{D_Q} y V_{GS_Q} empleando solamente el enfoque matemático.
   (b) Repita el inciso (*a*) empleando el enfoque gráfico y compare resultados.
   (c) Encuentre V_{DS}, V_D, V_G y V_S utilizando los resultados del inciso (*a*).

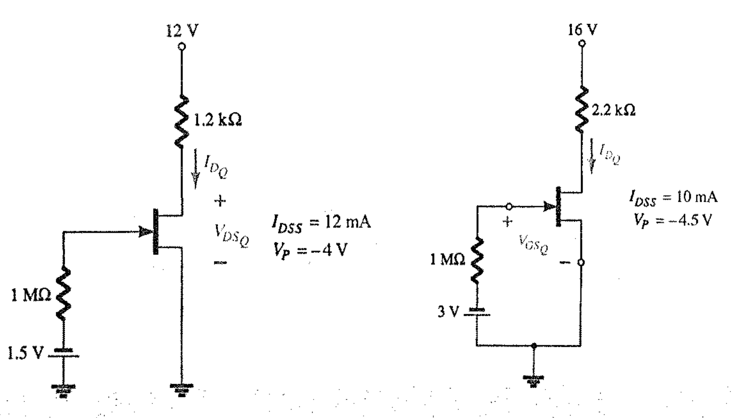


Figura 6.79 Problemas 1 y 35.

Figura 6.80 Problema 2.

3. Dado el valor de V_D medido en la figura 6.81, determine:
   (a) I_D.
   (b) V_{DS}.
   (c) V_{GG}.
4. Determine V_D para la configuración de polarización fija de la figura 6.82.
5. Determine V_D para la configuración de polarización fija de la figura 6.83.

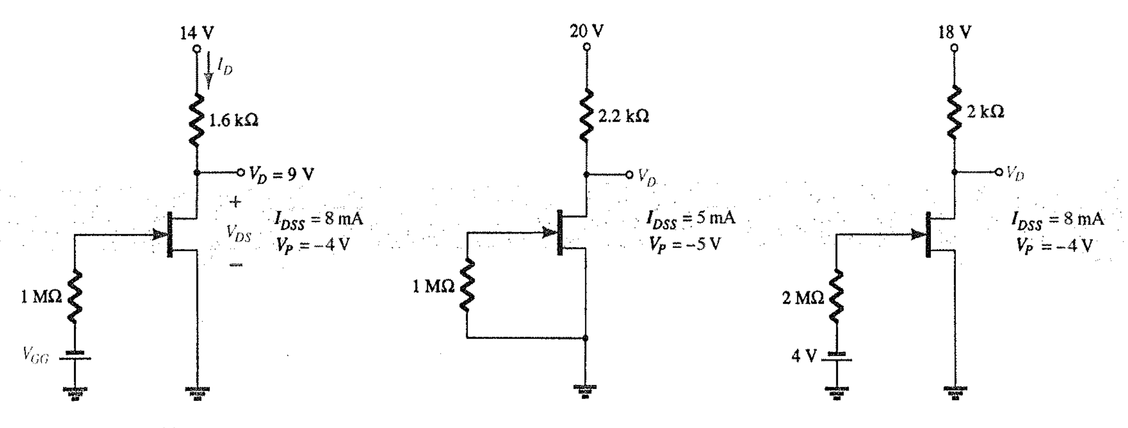


Figura 6.81 Problema 3.

Figura 6.82 Problema 4.

Figura 6.83 Problema 5.

§ 6.3 Configuración de autopolarización

6. Para la configuración de autopolarización de la figura 6.84.
   (a) Trace la curva de transferencia de la figura 6.84.
   (b) Sobreponga la ecuación de la red sobre la misma gráfica.
   (c) Determine I_{D_Q} y V_{GS_Q}.
   (d) Calcule V_{DS}, V_D, V_G y V_S.

*7. Determine I_{D_Q} para la red de la figura 6.84 únicamente mediante el método matemático. Hecho esto, establezca una ecuación cuadrática para I_D y seleccione la solución compatible con las características de la red. Compare con la solución obtenida en el problema 6.

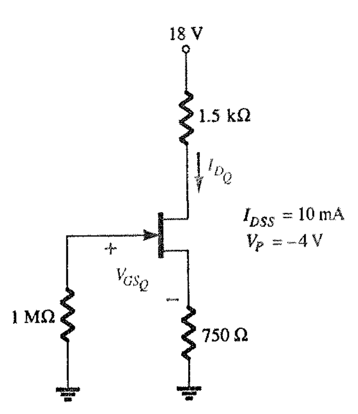


Figura 6.84 Problemas 6, 7 y 36.

8. Para la red de la figura 6.85, determine:
   (a) V_{GS_Q} e I_{D_Q}.
   (b) V_{DS}, V_D, V_G y V_S.
9. Con base en la medición de V_S = 1.7 V de la red de la figura 6.86, determine:
   (a) I_{D_Q}.
   (b) V_{GS_Q}.
   (c) I_{DSS}.
   (d) V_D.
   (e) V_{DS}.

*10. Para la red de la figura 6.87, determine:
   (a) I_D.
   (b) V_{DS}.
   (c) V_D.
   (d) V_S.

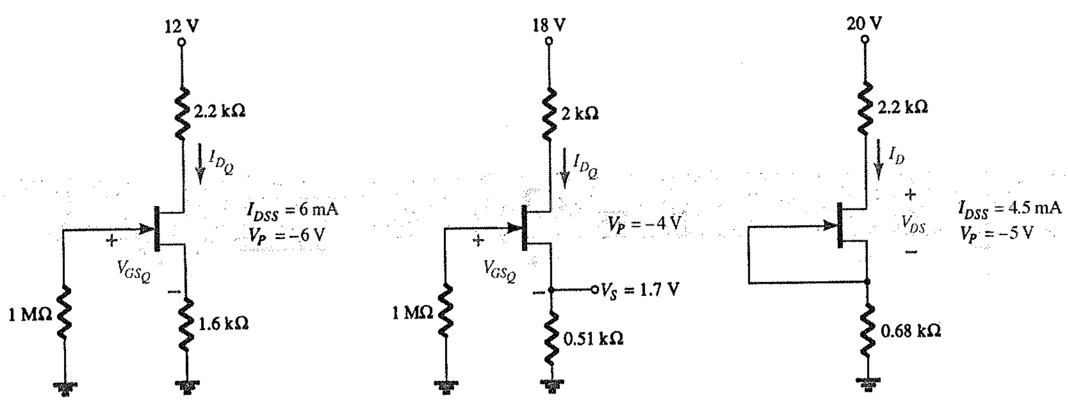
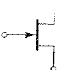


Figura 6.85 Problema 8.

Figura 6.86 Problema 9.

Figura 6.87 Problema 10.



*11. Calcule V_S para la red de la figura 6.88.

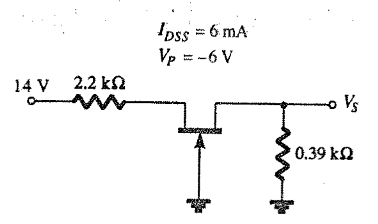


Figura 6.88 Problema 11.

§ 6.4 Polarización por divisor de voltaje

12. Para la red de la figura 6.89, determine:
(a) V_G.
(b) I_{D_Q} y V_{GS_Q}.
(c) V_D y V_S.
(d) V_{DS_Q}.

13. (a) Repita el problema 12 con R_S = 0.51 kΩ (cerca de 50% del valor del 12). ¿Cuál es el efecto de un R_S menor sobre I_{D_Q} y V_{GS_Q}?
(b) ¿Cuál es el valor mínimo posible de R_S para la red de la figura 6.89?

14. Para la red de la figura 6.90, V_D = 9 V. Determine:
(a) I_D.
(b) V_S y V_{DS}.
(c) V_G y V_{GS}.
(d) V_P.

***15.** Para la red de la figura 6.91, determine:
(a) I_{D_Q} y V_{GS_Q}.
(b) V_{DS} y V_S.

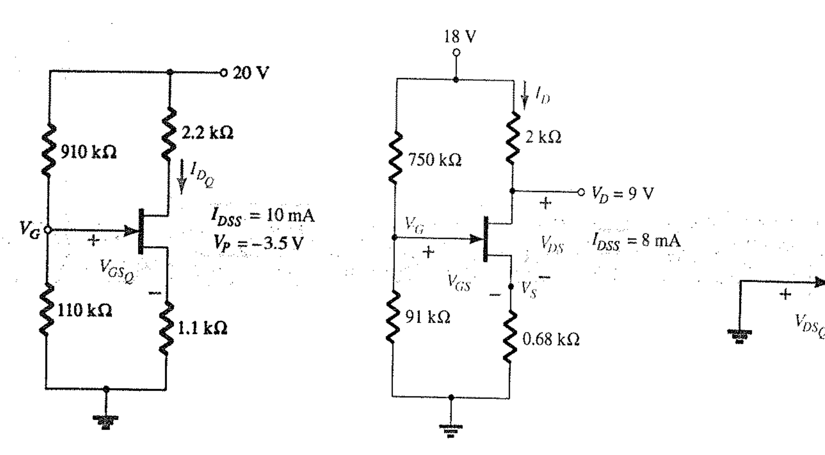


Figura 6.89 Problemas 12 y 13.

Figura 6.90 Problema 14.

Figura 6.91 Problemas 15 y 37.

*16. Dado V_{DS} = 4 V para la red de la figura 6.92, determine:
(a) I_D.
(b) V_D y V_S.
(c) V_{GS}.

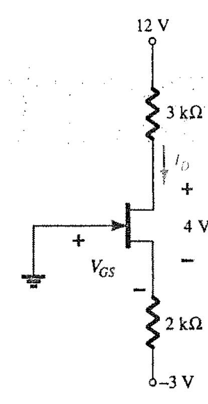


Figura 6.92 Problema 16.

§ 6.5 MOSFETs de tipo decremental

17. Para la configuración por autopolarización de la figura 6.93, determine:
(a) I_{D_Q} y V_{GS_Q}.
(b) V_{DS} y V_D.

*18. Para la red de la figura 6.94, determine:
(a) I_{D_Q} y V_{GS_Q}.
(b) V_{DS} y V_S.

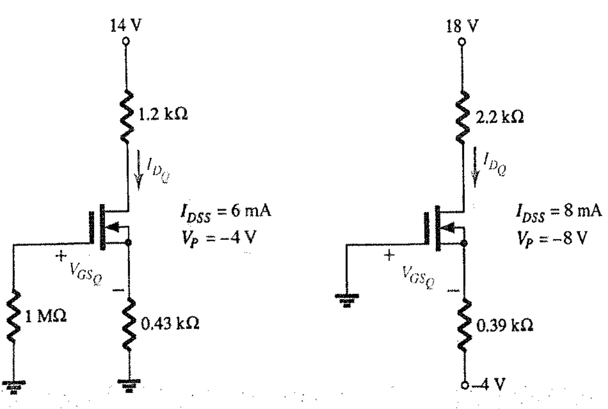


Figura 6.93 Problema 17.

Figura 6.94 Problema 18.

§ 6.6 MOSFETs de tipo incremental

19. Para la red de la figura 6.95, determine:
(a) I_{D_Q}.
(b) V_{GS_Q} y V_{DS_Q}.
(c) V_D y V_S.
(d) V_{DS}.

20. Para la configuración por divisor de voltaje de la figura 6.96, determine:
(a) I_{D_Q} y V_{GS_Q}.
(b) V_D y V_S.

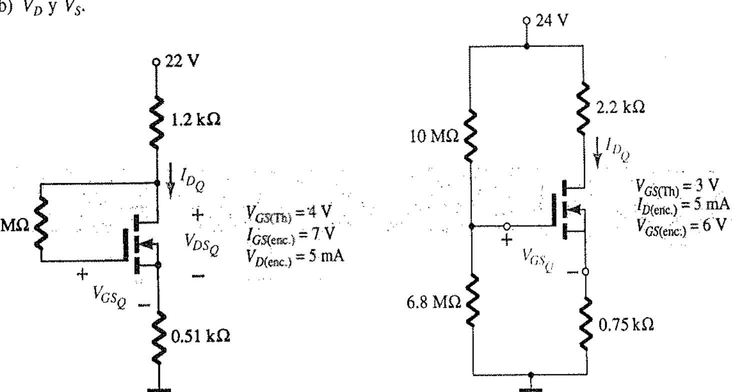


Figura 6.95 Problema 19.

Figura 6.96 Problema 20.

*21. Para la red de la figura 6.97, determine:
(a) V_G.
(b) V_{GS_Q} e I_{D_Q}.
(c) I_E.
(d) I_B.
(e) V_D.
(f) V_C.

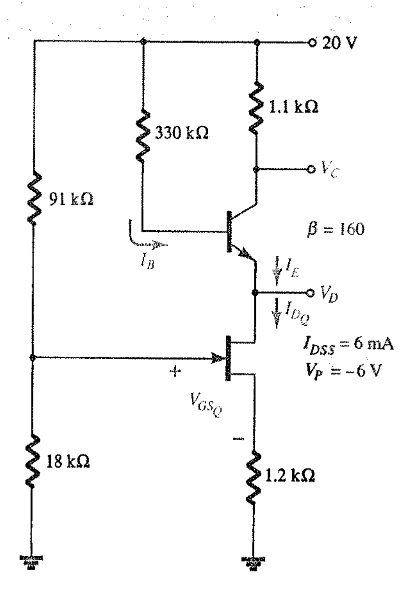


Figura 6.97 Problema 21.

*22. Para la red combinada de la figura 6.98, determine:
(a) V_B y V_G.
(b) V_E.
(c) I_E, I_C e I_D.
(d) I_B.
(e) V_C, V_S y V_D.
(f) V_{CE}.
(g) V_{DS}.

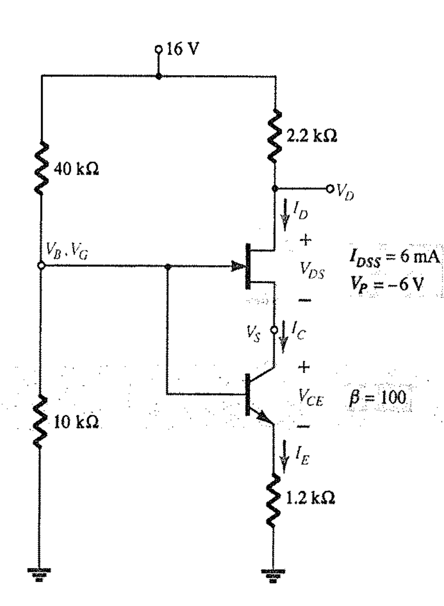


Figura 6.98 Problema 22.

*23. Diseñe una red de autopolarización utilizando un transistor JFET con I_{DSS} = 8 mA y V_P = −6 V que tenga un punto Q en I_{D_Q} = 4 mA con una fuente de alimentación de 14 V. Asuma que $R_D = 3R_S$ y utilice valores estándar.

*24. Diseñe una red de polarización por divisor de voltaje utilizando un MOSFET de tipo decremental con I_{DSS} = 10 mA y V_P = −4 V que tenga un punto Q en I_{D_Q} = 2.5 mA con una fuente de 24 V. Además, establezca V_G = 4 V y utilice $R_D = 2.5R_S$ con R_1 = 22 MΩ. Utilice valores estándar.

25. Diseñe una red tal como la que aparece en la figura 6.40, empleando un MOSFET de tipo incremental con $V_{GS(Th)}$ = 4 V, $k = 0.5 \times 10^{-3}$ A/V² que tenga un punto Q en I_{D_Q} = 6 mA, con un voltaje de alimentación de 16 V y valores estándar.

§ 6.10 Localización de fallas

*26. ¿Qué sugieren las lecturas de cada configuración de la figura 6.99 con respecto a la operación de la red?

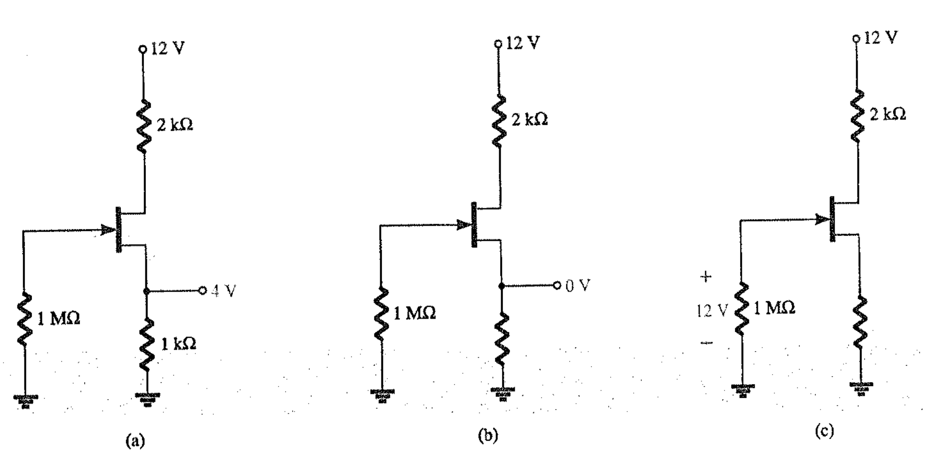


Figura 6.99 Problema 26.

*27. A pesar de que las lecturas iniciales de la figura 6.100 sugieren que la red se comporta de forma adecuada, determine una posible causa para el estado indeseado de la red.

*28. La red de la figura 6.101 no opera de forma correcta. ¿Cuál es la causa específica de tal falla?

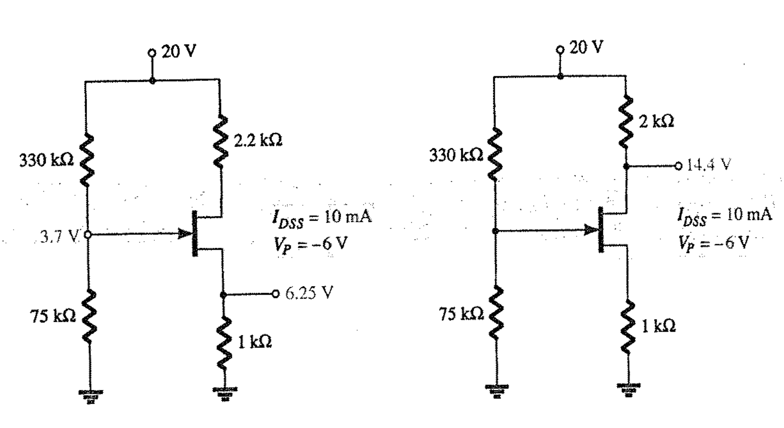


Figura 6.100 Problema 27. **Figura 6.101** Problema 28.

§ 6.11 FETs de canal-p

29. Para la red de la figura 6.102, determine:
(a) I_{D_Q} y V_{GS_Q}.
(b) V_{DS}.
(c) V_D.

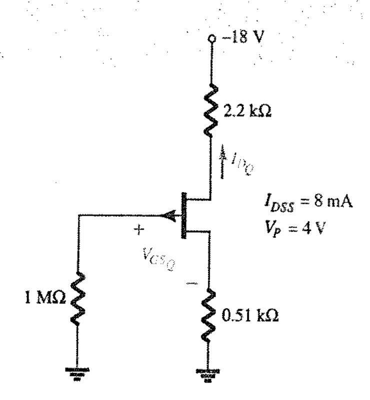


Figura 6.102 Problema 29.

30. Para la red de la figura 6.103, determine:
(a) I_{D_Q} y V_{GS_Q}.
(b) V_{DS}.
(c) V_D.

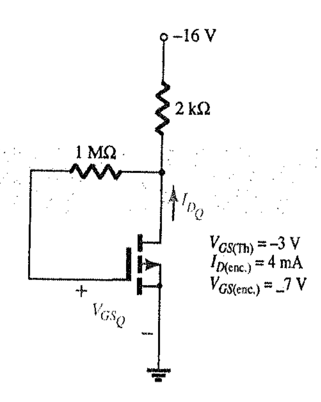


Figura 6.103 Problema 30.

§ 6.12 Curva de polarización universal para JFET

31. Repita el problema 1 utilizando la curva de polarización universal para JFET.
32. Repita el problema 6 utilizando la curva de polarización universal para JFET.
33. Repita el problema 12 utilizando la curva de polarización universal para JFET.
34. Repita el problema 15 utilizando la curva de polarización universal para JFET.

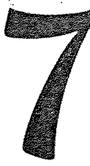
§ 6.15 Análisis por computadora

35. Realice un análisis utilizando PSpice para Windows de la red del problema 1.
36. Realice un análisis utilizando PSpice para Windows de la red del problema 6.
37. Realice un análisis utilizando Electronics Workbench de la red del problema 15.
38. Realice un análisis utilizando Electronics Workbench de la red del problema 30.

*Observe: Los asteriscos indican problemas con mayor dificultad.

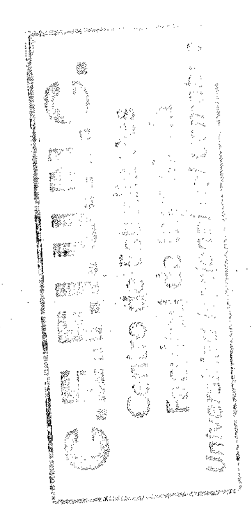
CAPÍTULO

Modelaje de transistores bipolares



r_e

7.1 INTRODUCCIÓN



En el capítulo 3 se presentó la construcción básica, la apariencia y las características del transistor, posteriormente, en el capítulo 4 se analizó la polarización en dc de este dispositivo a detalle. Ahora, comenzaremos por analizar la respuesta de ac a *pequeña señal* del amplificador BJT mediante la revisión de los *modelos* que con mayor frecuencia se utilizan para representar al transistor en el dominio senoidal de ac.

Una de nuestras primeras consideraciones en el análisis senoidal de ac de redes de transistores es acerca de la magnitud de la señal de entrada. Ya que ésta determinará si las técnicas que se deberán aplicar son de *pequeña señal* o de *gran señal*. No existe una línea divisoria establecida entre ambas, sin embargo, la aplicación (y la magnitud de las variables de interés relativa a las escalas de las características del dispositivo) por lo general establecerá con claridad el método apropiado. La técnica de pequeña señal se presenta en este capítulo, mientras que las aplicaciones de gran señal se revisarán en el capítulo 15.

Existen dos métodos frecuentemente utilizados en el análisis de ac de pequeña señal de redes de transistores: el modelo r_e y el modelo *equivalente híbrido*. Este capítulo no sólo presenta ambos modelos sino que también define el papel de cada uno y la relación que existe entre ambos.

7.2 AMPLIFICACIÓN EN EL DOMINIO AC

En el capítulo 3 se demostró que el transistor puede emplearse como un dispositivo de amplificación, es decir, que la señal senoidal de salida es mayor que la señal de entrada, o en otras palabras: la potencia de ac de salida es mayor que la potencia de ac de entrada. Por lo que surge la pregunta acerca de, ¿cómo es posible que la potencia de salida de ac sea mayor que la potencia de entrada de ac? La conservación de la energía establece que a través del tiempo, la potencia total de salida, P_o, de un sistema no puede ser mayor que su potencia de entrada, P_i, y que la eficiencia definida como $\eta = P_o/P_i$ no puede ser mayor a 1. El factor ausente de la exposición anterior que permite que la potencia de salida de ac sea mayor que la potencia de entrada de ac es la potencia de dc aplicada, que contribuye a la potencia total de salida incluso cuando parte de ella la disipa el dispositivo y los elementos resistivos. En otras palabras, existe un "intercambio" de potencia de dc al dominio de ac que permite establecer una potencia mayor de ac de salida. De hecho, se define una *eficiencia de conversión* por medio de $\eta = P_{o(ac)}/P_{i(dc)}$, donde $P_{o(ac)}$ es la potencia de ac en la carga y $P_{i(dc)}$ es la potencia de dc suministrada.

Quizá pueda describirse mejor el papel de la fuente de dc si consideramos primero la red simple de dc de la figura 7.1. La dirección resultante del flujo se indica en la figura junto con una gráfica de la corriente i en función del tiempo. Ahora insertaremos un mecanismo de control como el que se muestra en la figura 7.2. Este mecanismo de control

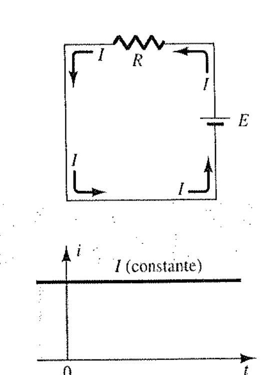


Figura 7.1 Corriente constante establecida mediante una fuente de dc.

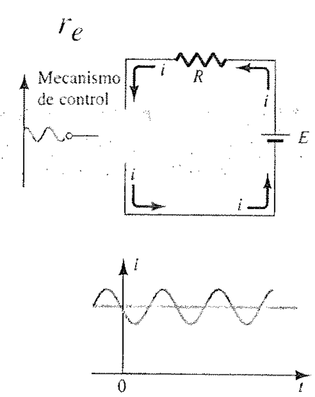


Figura 7.2 Efecto de un elemento de control sobre el flujo del estado estable del sistema eléctrico de la figura 7.1.

es tal, que al aplicar una señal relativamente pequeña sobre él, puede ocasionar una variación mucho mayor en el circuito de salida. Para el sistema de la figura 7.2, el valor pico de la variación está controlado por el nivel de dc que establece la fuente de alimentación. Cualquier intento por exceder el límite establecido por el nivel de dc ocasionará un "recorte" (aplanamiento) de la región pico de la señal de salida. En resumen y por consecuencia, un diseño apropiado de un amplificador requerirá que los componentes de dc y de ac sean sensibles a los requerimientos y limitaciones del otro.

Sin embargo, es verdaderamente un hecho afortunado que los amplificadores de pequeña señal de transistores se puedan considerar lineales para la mayoría de las aplicaciones, lo que permite la aplicación del teorema de superposición para separar el análisis de dc del análisis de ac.

7.3 MODELAJE DE TRANSISTORES BIPOLARES

La clave para el análisis a pequeña señal de transistores es el empleo de circuitos equivalentes (modelos) que se presentarán en este capítulo.

Un modelo es la combinación de elementos de circuito, adecuadamente seleccionados, que se aproximan mejor al comportamiento real de un dispositivo semiconductor bajo condiciones de operación específicas.

Una vez que el circuito equivalente de ac se ha determinado, es posible reemplazar el símbolo gráfico del dispositivo en el esquema por este circuito y de esta forma utilizar los métodos básicos de análisis de circuitos de ac (análisis de mallas, análisis nodal y teorema de Thévenin) para determinar la respuesta del circuito.

En la actualidad, existen dos corrientes de pensamiento relevantes con respecto al circuito equivalente que deberá sustituir al transistor. Por muchos años, las instituciones industriales y educativas se basaron fuertemente en los *parámetros híbridos* (que se presentarán en breve). El circuito equivalente de parámetros híbridos sigue siendo muy popular, aunque ahora debe compartir este centro de atención con un circuito equivalente que es derivado directamente de las condiciones de operación del transistor: el modelo r_e. Los fabricantes continúan especificando los parámetros híbridos para una región de operación particular en sus hojas de especificaciones. Los parámetros (o componentes) del modelo r_e pueden derivarse de forma directa a partir de los parámetros híbridos en esta región. Sin embargo, el circuito equivalente híbrido adolece de verse limitado a un conjunto particular de condiciones de operación si es que se desea considerar como preciso. Los parámetros del otro circuito equivalente pueden determinarse para cualquier región de operación dentro de la región activa y no se encuentran limitados por el conjunto individual de parámetros proporcionados por la hoja de especificaciones. A su vez, sin embargo, el modelo r_e tiene la desventaja de no tomar en cuenta el nivel de impedancia de salida del dispositivo ni el efecto de retroalimentación de la salida a la entrada.

Debido a que los dos modelos se emplean de forma extensa en la actualidad, ambos se analizarán a detalle a lo largo de este texto. En algunos análisis y ejemplos se utilizará el modelo híbrido mientras que en otros únicamente se hará uso del modelo r_e. No obstante, en el texto se hará el esfuerzo por mostrar la relación cercana que existe entre ambos y la forma en que el dominio de uno de ellos conduce a un dominio natural del otro.

En un esfuerzo por demostrar el efecto que el circuito equivalente de ac ejercerá sobre el análisis siguiente, considere el circuito de la figura 7.3. Se asume por un momento que el circuito equivalente de ac de pequeña señal se ha determinado ya. Debido a que sólo nos encontramos interesados en la respuesta de ac del circuito, todas la fuentes de dc pueden reemplazarse por un equivalente de potencial cero ("corto circuito") dado que éstas determinan solamente el nivel de dc (nivel de estabilidad) del voltaje de salida y no la magnitud de la excursión de la salida de ac. Esto lo demuestra claramente la figura 7.4. Los niveles de dc fueron importantes sólo para la determinación del punto Q de operación apropiado. Una vez determinado éste, es posible ignorar los niveles de dc en el análisis de ac de la red. Además, los capacitores de acoplamiento C_1 y C_2 así como el capacitor de desvío C_3 fueron seleccionados para tener una reactancia muy baja a la frecuencia de aplicación. Por tanto y para propósitos prácticos, éstos también se pueden reemplazar por una

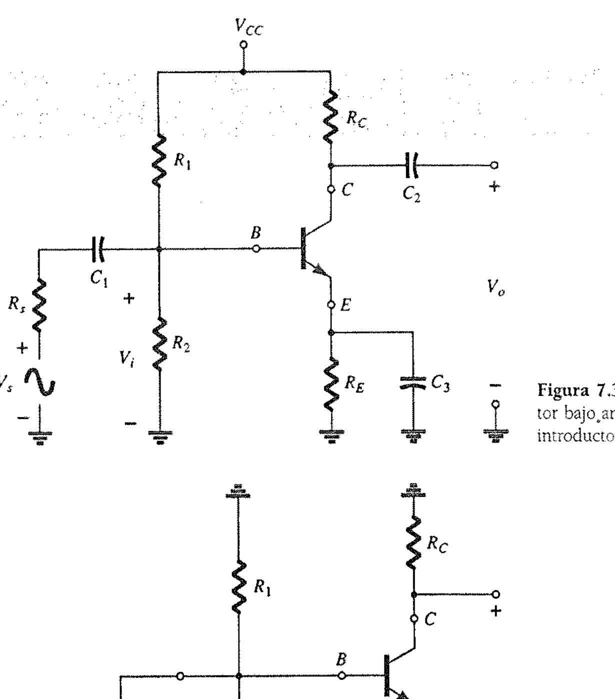


Figura 7.3 Circuito de transistor bajo análisis en esta discusión introductoria.

Figura 7.4 La red de la figura 7.3 después de la eliminación de la fuente de dc y la inserción del corto circuito equivalente para los capacitores.

trayectoria de baja resistencia o un "corto circuito". Observe que esto ocasionará un "corto" del resistor de polarización de dc R_E. Recuerde que los capacitores asumen un equivalente de "circuito abierto" bajo condiciones de estado estable de dc, lo que permite aislar las etapas de los niveles de dc de las condiciones estables.

Si establecemos una tierra común y reacomodamos los elementos de la figura 7.4, R_1 y R_2 se encontrarán en paralelo y R_C se desplazará del colector al emisor como se muestra en la figura 7.5. Debido a que los componentes del circuito equivalente del transistor que aparecen en la figura 7.5, emplean componentes familiares como resistores y fuentes de control independientes, es posible aplicar técnicas de análisis como la superposición, el teorema de Thévenin, u otros, para determinar las cantidades deseadas.

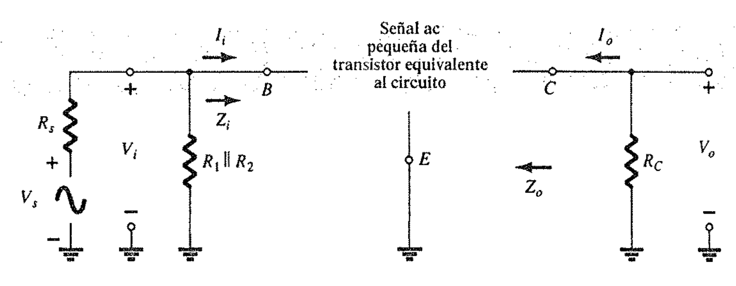


Figura 7.5 Circuito de la figura 7.4 redibujado para el análisis de ac a pequeña señal.

Continuamos con el análisis de la figura 7.5 para identificar las cantidades importantes que se determinarán para el sistema. Debido a que el transistor es un dispositivo de amplificación, se podría esperar alguna indicación acerca de cómo se relaciona el voltaje de salida V_o con el voltaje de entrada V_i (la *ganancia de voltaje*). Observe en la figura 7.5 que para esta configuración, $I_i = I_b$ e $I_o = I_c$, lo cual define la *ganancia de corriente* como $A_i = I_o/I_i$. La impedancia de entrada Z_i y la impedancia de salida Z_o serán particularmente importantes para el análisis que sigue. Estos parámetros se explicarán con mucho mayor detalle en las secciones siguientes.

En resumen y por tanto, el equivalente de ac de una red se obtiene mediante:

1. Haciendo todas las fuentes de dc cero y reemplazándolas por un corto circuito equivalente.
2. Reemplazando todos los capacitores por un corto circuito equivalente.
3. Eliminando todos los elementos en paralelo con un elemento de desvío mediante los equivalentes de corto circuito cerrado presentados en los pasos 1 y 2.
4. Redibujando la red de una forma más lógica y conveniente.

En las secciones siguientes se presentarán los circuitos equivalentes r_e e híbrido para terminar el análisis de ac de la red de la figura 7.5.

7.4 LOS PARÁMETROS IMPORTANTES: Z_i, Z_o, A_v y A_i

Antes de analizar los circuitos equivalentes para los BJTs a detalle, nos concentraremos en los parámetros de un sistema de dos puertos que son de importancia esencial desde un punto de vista de análisis y diseño. Para el sistema de dos puertos (dos pares de terminales) de la figura 7.6, la sección de la entrada (la parte a la que normalmente se aplica la señal) se encuentra a la izquierda y la sección de la salida (donde la carga se encuentra conectada) se encuentra a la derecha. De hecho, para la mayoría de los sistemas eléctricos y electrónicos el flujo general por lo regular es de izquierda a derecha. Para ambos conjuntos de terminales, es muy importante la impedancia entre cada par de terminales bajo condiciones normales de operación.

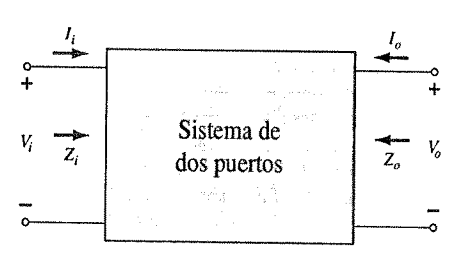


Figura 7.6 Sistema de dos puertos.

Impedancia de entrada, Z_i

Para la sección de la entrada, la impedancia de entrada Z_i está definida por la ley de Ohm de la siguiente forma:

$$Z_i = \frac{V_i}{I_i} \tag{7.1}$$

Si la señal de entrada V_i se modifica, la corriente I_i puede calcularse mediante el mismo nivel de impedancia de entrada. En otras palabras:

Para el análisis de pequeña señal, una vez que se ha determinado la impedancia de entrada es posible emplear el mismo valor numérico para niveles cambiantes de la señal aplicada.

De hecho, en las secciones siguientes veremos que la impedancia de entrada de un transistor puede determinarse de forma aproximada mediante las condiciones de polarización de dc, las cuales son condiciones que no cambian simplemente porque la magnitud de la señal aplicada de ac ha cambiado.

En particular es sobresaliente el hecho de que para frecuencias en el rango bajo-medio (por lo general ≤ 100 kHz):

La impedancia de entrada de un amplificador a transistor BJT es de naturaleza solamente resistiva y según la forma en la que el transistor se emplee, ésta puede variar desde unos cuantos ohms hasta megaohms.

Además:

No es posible utilizar un óhmetro para medir la impedancia de entrada de ac de pequeña señal ya que el óhmetro opera en el modo dc.

La ecuación 7.1 es especialmente útil porque proporciona un método para medir la resistencia de entrada en el dominio de ac. Por ejemplo, en la figura 7.7 se añadió un resistor sensor en el lado de la entrada para permitir la determinación de I_i mediante la ley de Ohm. Es posible utilizar un osciloscopio o un multímetro digital sensible (DMM) para medir los voltajes V_s y V_i. Ambos voltajes pueden ser de pico a pico, pico, o valores rms siempre y cuando los dos niveles empleen el mismo estándar. La impedancia de entrada se determina, por tanto, de la siguiente forma:

$$I_i = \frac{V_s - V_i}{R_{sensor}} \tag{7.2}$$

y

$$Z_i = \frac{V_i}{I_i} \tag{7.3}$$

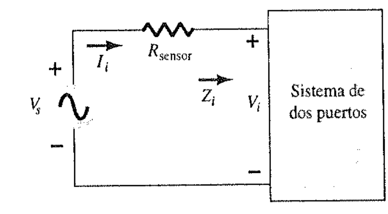


Figura 7.7 Determinación de Z_i.

La importancia de la impedancia de entrada de un sistema puede demostrarse mejor mediante la red de la figura 7.8. La fuente de la señal posee una resistencia interna de 600 Ω, y el sistema (posiblemente un amplificador a transistor) cuenta con una resistencia de entrada de 1.2 kΩ. Si la fuente fuese ideal (R_s = 0 Ω), los 10 mV se aplicarían com-

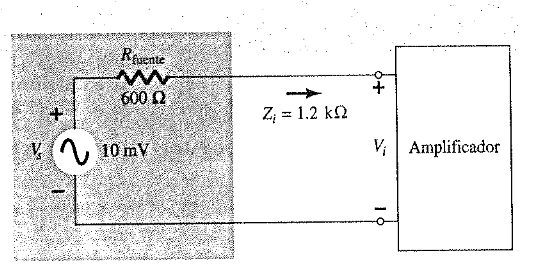


Figura 7.8 Demostración del impacto de Z_i sobre la respuesta del amplificador.

pletos al sistema; pero debido a la impedancia de la fuente, el voltaje de entrada se determinará mediante la regla del divisor de voltaje de la siguiente forma:

$$V_i = \frac{Z_i V_s}{Z_i + R_{\text{fuente}}} = \frac{(1.2\ \text{k}\Omega)(10\ \text{mV})}{1.2\ \text{k}\Omega + 0.6\ \text{k}\Omega} = 6.67\ \text{mV}$$

De este modo, sólo 66.7% de la señal completa de entrada se encuentra disponible en la entrada. Si Z_i fuera de sólo 600 Ω, entonces $V_i = \frac{1}{2}(10\ \text{mV}) = 5\ \text{mV}$ o sea, 50% de la señal disponible. Desde luego, si $Z_i = 8.2\ \text{k}\Omega$, V_i sería de 93.2% de la señal aplicada. Por lo tanto, el nivel de la impedancia de entrada, puede tener un impacto importante sobre el nivel de la señal que llega al sistema (o amplificador). En las secciones y capítulos siguientes, se demostrará que la resistencia de entrada de ac depende de si el transistor se encuentra en la configuración de base común, emisor común o colector común y de la localización de los elementos resistivos.

EJEMPLO 7.1

Para el sistema de la figura 7.9, determine el nivel de la impedancia de entrada.

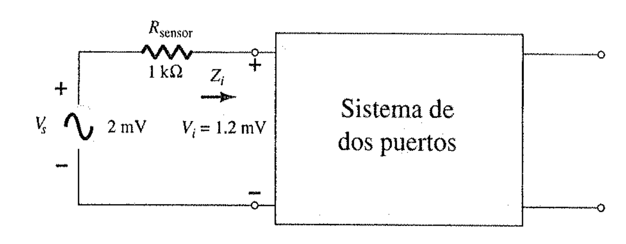


Figura 7.9 Ejemplo 7.1.

Solución

$$I_i = \frac{V_s - V_i}{R_{\text{sensor}}} = \frac{2\ \text{mV} - 1.2\ \text{mV}}{1\ \text{k}\Omega} = \frac{0.8\ \text{mV}}{1\ \text{k}\Omega} = 0.8\ \mu\text{A}$$

y

$$Z_i = \frac{V_i}{I_i} = \frac{1.2\ \text{mV}}{0.8\ \mu\text{A}} = \mathbf{1.5\ k\Omega}$$

Impedancia de salida, Z_o

La impedancia de salida se define naturalmente en el conjunto de terminales de salida, pero la forma en que se define es muy diferente a la que se utiliza para la impedancia de entrada. Es decir:

La impedancia de salida se determina en las terminales de salida si se mira hacia atrás en el sistema con la señal aplicada igual a cero.

Por ejemplo, en la figura 7.10, la señal aplicada se hace cero volts. Para determinar Z_o, se aplica una señal V_s a las terminales de salida y se mide el nivel de V_o mediante un osciloscopio o un DMM sensible. Por lo tanto, la impedancia de salida se determina de la siguiente forma:

$$I_o = \frac{V - V_o}{R_{\text{sensor}}} \tag{7.4}$$

y

$$Z_o = \frac{V_o}{I_o} \tag{7.5}$$

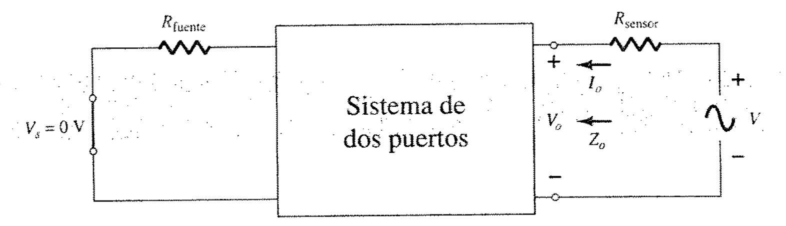


Figura 7.10 Determinación de Z_o.

En particular para frecuencias en el rango bajo-medio (típicamente ≤ 100 kHz):

La impedancia de salida de un amplificador a transistor BJT es de naturaleza resistiva y, según la configuración y la colocación de los elementos resistivos, Z_o puede variar de unos cuantos ohms a un nivel que puede exceder 2 MΩ.

Además:

No es posible utilizar un óhmetro para medir la impedancia de salida de ac a pequeña señal debido a que este aparato opera en el modo de dc.

Para las configuraciones de amplificador donde se desea una ganancia de corriente considerable, el nivel de Z_o deberá ser lo más grande posible. Como se demuestra por la figura 7.11, si $Z_o \gg R_L$, la mayor parte de la corriente de salida del amplificador pasará a la carga. En las secciones y capítulos siguientes se demostrará que Z_o es por lo regular mucho mayor en comparación con R_L que es posible reemplazarla por un equivalente de circuito abierto.

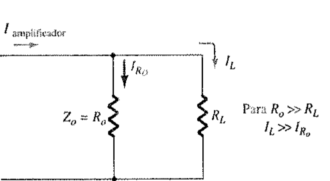


Figura 7.11 Efecto de $Z_o = R_o$ sobre la corriente de salida o de carga I_L.

EJEMPLO 7.2

Para el sistema de la figura 7.12, determine el nivel de la impedancia de salida.

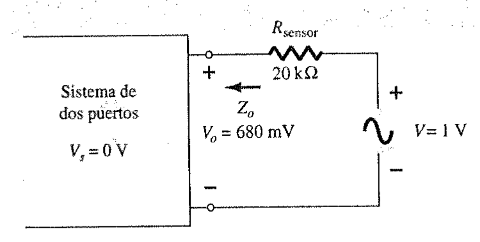


Figura 7.12 Ejemplo 7.2.

Solución

$$I_o = \frac{V - V_o}{R_{\text{sensor}}} = \frac{1\ \text{V} - 680\ \text{mV}}{20\ \text{k}\Omega} = \frac{320\ \text{mV}}{20\ \text{k}\Omega} = 16\ \mu\text{A}$$

y

$$Z_o = \frac{V_o}{I_o} = \frac{680\ \text{mV}}{16\ \mu\text{A}} = \mathbf{42.5\ k\Omega}$$

Ganancia de voltaje, A_v

Una de las características más importantes de un amplificador es la ganancia de voltaje de ac a pequeña señal, que se determina mediante

$$A_v = \frac{V_o}{V_i} \tag{7.6}$$

Para el sistema de la figura 7.13, no se conectó una carga a las terminales de salida y el nivel de ganancia determinado por la ecuación 7.6 se refiere como ganancia de voltaje sin carga. Es decir,

$$A_{v_{NL}} = \frac{V_o}{V_i}\bigg|_{R_L = \infty\,\Omega \text{ (circuito abierto)}} \quad (7.7)$$

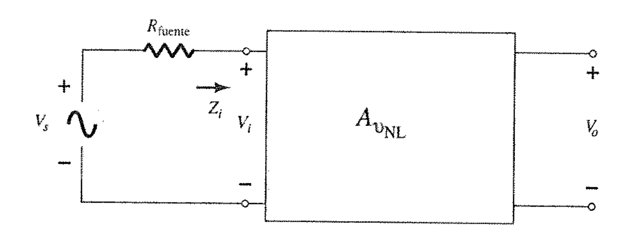


Figura 7.13 Determinación de la ganancia de voltaje sin carga.

En el capítulo 9 se demostrará que:

Para los amplificadores a transistor, la ganancia de voltaje sin carga es mayor que la ganancia de voltaje con carga.

Para el sistema de la figura 7.13 que tiene una resistencia de fuente R_s, el nivel de V_i deberá determinarse al utilizar primero la regla del divisor de voltaje antes de calcular la ganancia V_o/V_s. Es decir,

$$V_i = \frac{Z_i V_s}{Z_i + R_s}$$

con

$$\frac{V_i}{V_s} = \frac{Z_i}{Z_i + R_s}$$

y

$$A_{v_s} = \frac{V_o}{V_s} = \frac{V_i}{V_s} \cdot \frac{V_o}{V_i}$$

de manera que

$$A_{v_s} = \frac{V_o}{V_s} = \frac{Z_i}{Z_i + R_s} A_{v_{NL}} \quad (7.8)$$

De manera experimental, la ganancia de voltaje A_{v_s} o $A_{v_{NL}}$ puede determinarse simplemente al medir los niveles apropiados de voltaje mediante un osciloscopio o un DMM (multímetro digital) sensible y sustituir en la ecuación adecuada.

Según la configuración, la magnitud de la ganancia de voltaje de un amplificador a transistor de una sola etapa con carga, típicamente se encuentra en el rango de menos de 1 a unos cuantos cientos. Sin embargo, un sistema multietapas (multiunidades) puede tener una ganancia de voltaje en el rango de los millares.

EJEMPLO 7.3 Para el amplificador de BJT de la figura 7.14, determine:

(a) V_i.
(b) I_i.
(c) Z_i.
(d) A_{v_s}.

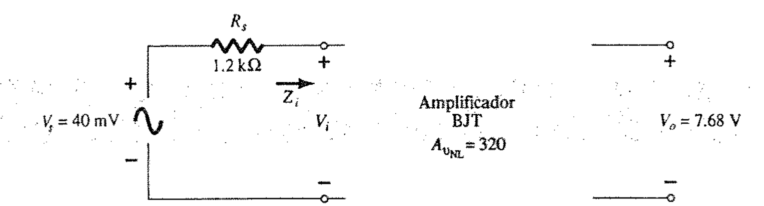


Figura 7.14 Ejemplo 7.3.

Solución

(a) $A_{v_{NL}} = \frac{V_o}{V_i}$ y $V_i = \frac{V_o}{A_{v_{NL}}} = \frac{7.68\text{ V}}{320} = \mathbf{24\text{ mV}}$

(b) $I_i = \frac{V_s - V_i}{R_s} = \frac{40\text{ mV} - 24\text{ mV}}{1.2\text{ k}\Omega} = \mathbf{13.33\ \mu A}$

(c) $Z_i = \frac{V_i}{I_i} = \frac{24\text{ mV}}{13.33\ \mu\text{A}} = \mathbf{1.8\text{ k}\Omega}$

(d) $A_{v_s} = \frac{Z_i}{Z_i + R_s} A_{v_{NL}}$

$= \frac{1.8\text{ k}\Omega}{1.8\text{ k}\Omega + 1.2\text{ k}\Omega}(320)$

$= \mathbf{192}$

Ganancia de corriente, A_i

La última característica numérica que será analizada es la ganancia de corriente definida por

$$A_i = \frac{I_o}{I_i} \quad (7.9)$$

Aunque por lo general ésta recibe menor atención que la ganancia de voltaje es, sin embargo, una cantidad importante que puede ejercer un impacto significativo sobre la efectividad general de un diseño. En general:

Para amplificadores a BJT, por lo general, la ganancia de corriente se encuentra en un rango desde un nivel justo menor a 1 hasta un nivel que puede exceder 100.

Para la situación con carga de la figura 7.15,

$$I_i = \frac{V_i}{Z_i} \quad \text{e} \quad I_o = -\frac{V_o}{R_L}$$

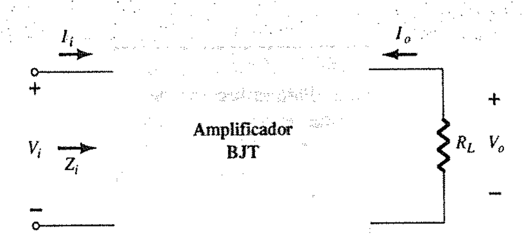


Figura 7.15 Determinación de la ganancia de corriente con carga.

con $$A_i = \frac{I_o}{I_i} = -\frac{V_o/R_L}{V_i/Z_i} = -\frac{V_o Z_i}{V_i R_L}$$

y $$\boxed{A_i = -A_v \frac{Z_i}{R_L}} \qquad (7.10)$$

La ecuación 7.10 permite determinar la ganancia de corriente a partir de la ganancia de voltaje y los niveles de impedancia.

Relación de fase

La relación de fase entre las señales senoidales de entrada y de salida es importante por una variedad de razones. Sin embargo, por fortuna:

Para el amplificador a transistor típico, en frecuencias que permiten ignorar los efectos de los elementos reactivos, las señales de entrada y de salida se encontrarán ya sea 180° fuera de fase o en fase.

El motivo de esta situación quedará claro en los capítulos siguientes.

Resumen

Se han presentado los parámetros de primordial importancia de un amplificador: la impedancia de entrada Z_i, la impedancia de salida Z_o, la ganancia de voltaje A_v, la ganancia de corriente A_i y la relación de fase resultante. Otros factores como la frecuencia aplicada en los extremos inferior y superior del espectro, tendrán un efecto sobre estos parámetros, cuestión que se analizará en el capítulo 11. En las secciones y capítulos siguientes, todos los parámetros se determinarán mediante una variedad de redes a transistor para permitir una comparación de las ventajas y desventajas de cada configuración.

7.5 EL MODELO r_e DEL TRANSISTOR

El modelo r_e utiliza un diodo y una fuente de corriente controlada para emular el comportamiento de un transistor en la región de interés. Recuerde que una fuente de corriente controlada por corriente es aquélla donde los parámetros de la fuente de corriente se controlan por una corriente de cualquier parte de la red. De hecho, en general:

Los amplificadores a BJT son conocidos como dispositivos controlados por corriente.

Configuración de base común

En la figura 7.16a, se insertó un transistor *pnp* de base común dentro de la estructura de dos puertos empleada en la discusión de las últimas secciones. En la figura 7.16b, se colocó el modelo r_e para transistor entre las mismas cuatro terminales. Como se observó en la sección 7.3, el modelo (circuito equivalente) se selecciona como una forma de aproximación al comportamiento del dispositivo que reemplaza en la región de operación de interés. En otras palabras, los resultados obtenidos con el modelo colocado en su lugar deberían estar relativamente cerca de los obtenidos con el transistor real. El lector recordará del capítulo 3 que una unión de un transistor en operación se encuentra en polarización directa, mientras que la otra se encuentra en polarización inversa. La unión en polarización directa se comportará de forma muy similar a un diodo (al ignorar los efectos de los niveles cambiantes de V_{CE}) como lo verifican las curvas de la figura 3.7. Para la unión base-emisor del transistor de la figura 7.16a, la equivalencia del diodo de la figura 7.16b entre las mismas dos terminales parece muy adecuada. Para la sección de la salida, recuerde que las curvas horizontales de la figura 3.8 mostraron que $I_c \cong I_e$ (como se derivó a partir de $I_c = \alpha I_e$) para el rango de valores de V_{CE}. La fuente de corriente de la figura 7.16b establece el hecho de que $I_c = \alpha I_e$, con la corriente de control I_e que aparece en la sección de la entrada del circuito equivalente como lo estipula la figura 7.16a. Por tanto, hemos establecido una equivalencia en las terminales de entrada y de salida mediante la

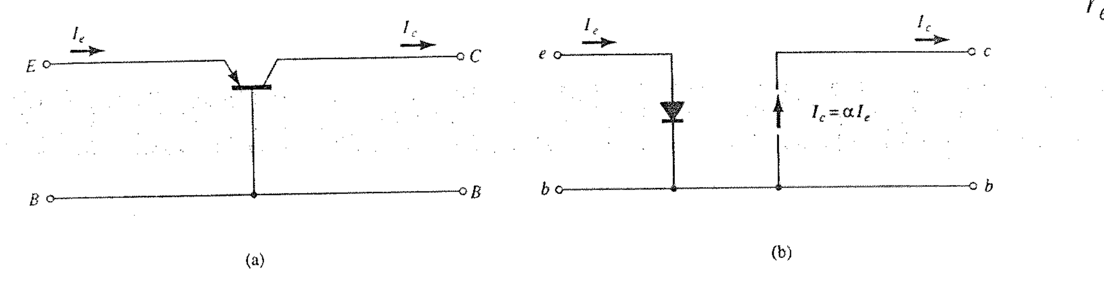


Figura 7.16 (a) Transistor BJT en base común; (b) modelo r_e para la configuración de la figura 7.16a.

fuente controlada por corriente, y proporcionando un vínculo entre ambas (un análisis inicial habría sugerido que el modelo de la figura 7.16b es un modelo válido para el dispositivo real).

Recuerde del capítulo 1 que la resistencia en ac de un diodo puede determinarse a partir de la ecuación $r_{ac} = 26\ \text{mV}/I_D$, donde I_D es la corriente en dc a través del diodo en el punto Q (estable). Es posible emplear esta misma ecuación para encontrar la resistencia de ac del diodo de la figura 7.16b si simplemente se sustituye la corriente del emisor de la siguiente forma:

$$\boxed{r_e = \frac{26\ \text{mV}}{I_E}} \qquad (7.11)$$

El subíndice e de r_e se seleccionó para enfatizar que es el nivel de dc de la corriente de emisor el que determina el nivel en ac de la resistencia del diodo de la figura 7.16b. Al sustituir el valor obtenido de r_e en la figura 7.16b dará por resultado el muy útil modelo de la figura 7.17.

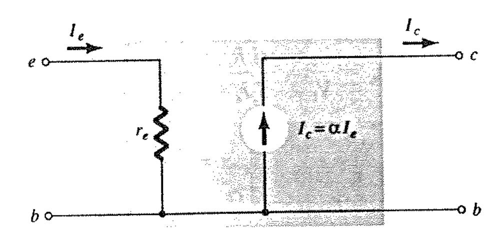


Figura 7.17 Circuito equivalente r_e de base común.

Debido al aislamiento que existe entre el circuito de entrada y el de salida de la figura 7.17, debiera parecer obvio que la impedancia de entrada Z_i para la configuración de base común de un transistor es simplemente r_e. Es decir,

$$\boxed{Z_i = r_e}_{CB} \qquad (7.12)$$

Para la configuración de base común, los valores típicos de Z_i se encuentran en un rango de unos cuantos ohms hasta un máximo de cerca de 50 Ω.

Para la impedancia de salida, si hacemos la señal cero, entonces $I_e = 0$ A e $I_c = \alpha I_e = \alpha(0\ \text{A}) = 0$ A, con lo que se provoca una equivalencia de circuito abierto en las terminales de salida. El resultado de esto es que para el modelo de la figura 7.17,

$$\boxed{Z_o \cong \infty\ \Omega}_{CB} \qquad (7.13)$$

En realidad:

Para la configuración de base común, los valores típicos de Z_o se encuentran en el rango de los megaohms.

La resistencia de salida de la configuración de base común está determinada por la pendiente de las líneas de las características que forman las características de salida como se muestra en la figura 7.18. Si se asume que las líneas son perfectamente horizontales (una aproximación adecuada) daría por resultado la conclusión de la ecuación 7.13. Si se pone cuidado al medir Z_o de forma gráfica o experimental, por lo general se obtendrían niveles en el rango de 1 a 2 MΩ.

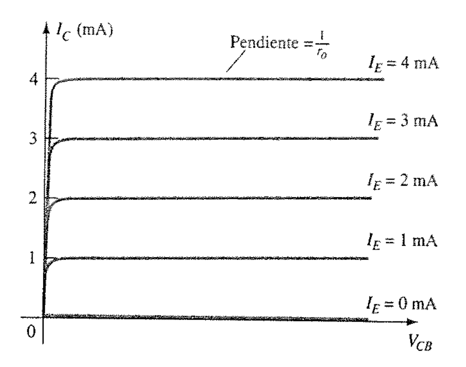


Figura 7.18 Definición de Z_o.

En general, para la configuración de base común, la impedancia de entrada es relativamente pequeña mientras que la impedancia de salida es muy alta.

La ganancia de voltaje ahora se encontrará determinada por la red de la figura 7.19.

$$V_o = -I_oR_L = -(-I_c)R_L = \alpha I_eR_L$$

y

$$V_i = I_eZ_i = I_er_e$$

por lo que

$$A_v = \frac{V_o}{V_i} = \frac{\alpha I_eR_L}{I_er_e}$$

y

$$\boxed{A_v = \frac{\alpha R_L}{r_e} \cong \frac{R_L}{r_e}}_{CB} \qquad (7.14)$$

Para la ganancia de corriente,

$$A_i = \frac{I_o}{I_i} = \frac{-I_c}{I_e} = -\frac{\alpha I_e}{I_e}$$

y

$$\boxed{A_i = -\alpha \cong -1}_{CB} \qquad (7.15)$$

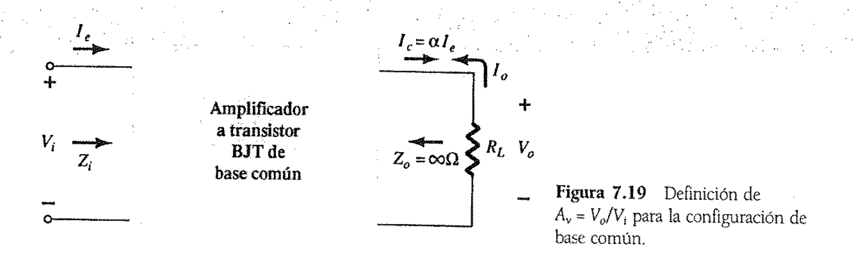


Figura 7.19 Definición de $A_v = V_o/V_i$ para la configuración de base común.

El hecho de que la polaridad del voltaje V_o como lo determina la corriente I_c sea el mismo que el definido por la figura 7.19 (es decir, el lado negativo está en un potencial de tierra) muestra que V_o y V_i se encuentran *en fase* para la configuración de base común. Para un transistor *npn* en configuración de base común, la equivalencia podría ser la que se señala en la figura 7.20.

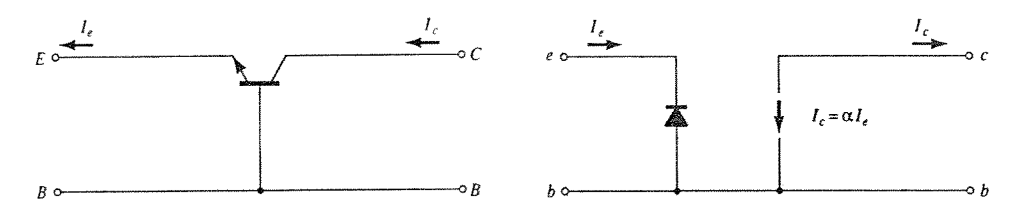


Figura 7.20 Modelo aproximado para la configuración de transistor *npn* de base común.

EJEMPLO 7.4

Para la configuración de base común de la figura 7.17 con $I_E = 4$ mA, $\alpha = 0.98$ y una señal de ac de 2 mV aplicada entre las terminales de la base y el emisor:
(a) Determine la impedancia de entrada.
(b) Calcule la ganancia de voltaje si se conecta un carga de 0.56 kΩ a las terminales de salida.
(c) Encuentre la impedancia de salida y la ganancia de corriente.

Solución

(a) $r_e = \dfrac{26\text{ mV}}{I_E} = \dfrac{26\text{ mV}}{4\text{ mA}} = \mathbf{6.5\ \Omega}$

(b) $I_i = I_e = \dfrac{V_i}{Z_i} = \dfrac{2\text{ mV}}{6.5\ \Omega} = 307.69\ \mu\text{A}$

$$V_o = I_cR_L = \alpha I_eR_L = (0.98)(307.69\ \mu\text{A})(0.56\text{ k}\Omega)$$
$$= 168.86\text{ mV}$$

y $A_v = \dfrac{V_o}{V_i} = \dfrac{168.86\text{ mV}}{2\text{ mV}} = \mathbf{84.43}$

o a partir de la ecuación 7.14,

$$A_v = \frac{\alpha R_L}{r_e} = \frac{(0.98)(0.56\text{ k}\Omega)}{6.5\ \Omega} = \mathbf{84.43}$$

(c) $Z_o \cong \infty\ \Omega$

$A_i = \dfrac{I_o}{I_i} = -\alpha = \mathbf{-0.98}$ como se definió en la ecuación 7.15.

Configuración de emisor común

Para la configuración de emisor común de la figura 7.21a, las terminales de entrada son las terminales de la base y del emisor, pero la salida se establece ahora entre las terminales del colector y del emisor. Además, la terminal del emisor ahora es común entre los puertos de entrada y de salida del amplificador. Al sustituir el circuito equivalente r_e para el transistor *npn* se obtendrá la configuración de la figura 7.21b. Observe que la fuente controlada por corriente aún está conectada entre las terminales de colector y base y el diodo entre las ter-

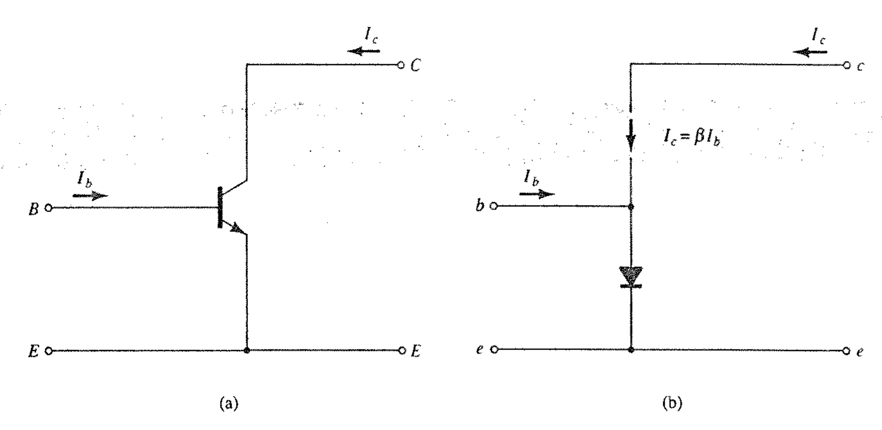


Figura 7.21 (a) Transistor BJT de emisor común; (b) modelo aproximado para la configuración de la figura 7.21a.

minales de la base y el emisor. En esta configuración, la corriente de la base es la corriente de entrada mientras que la corriente de salida sigue siendo I_c. Recuerde del capítulo 3 que las corrientes de la base y del colector se relacionan mediante la siguiente ecuación:

$$\boxed{I_c = \beta I_b} \qquad (7.16)$$

Por tanto, la corriente a través del diodo se determina por

$$I_e = I_c + I_b = \beta I_b + I_b$$

e

$$\boxed{I_e = (\beta + 1)I_b} \qquad (7.17)$$

Sin embargo, dado que la beta de ac por lo general es mucho mayor que 1, se utilizará la siguiente aproximación para el análisis de la corriente:

$$\boxed{I_e \cong \beta I_b} \qquad (7.18)$$

La impedancia de entrada está determinada por la siguiente relación:

$$Z_i = \frac{V_i}{I_i} = \frac{V_{be}}{I_b}$$

El voltaje V_{be} está a través de la resistencia del diodo como lo muestra la figura 7.22. El nivel de r_e sigue determinado por la corriente de dc I_E. Al emplear la ley de Ohm se obtiene:

$$V_i = V_{be} = I_e r_e \cong \beta I_b r_e$$

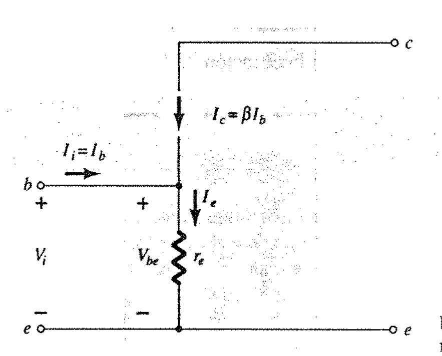


Figura 7.22 Determinación de Z_i mediante el modelo aproximado.

Al sustituir tenemos

$$Z_i = \frac{V_{be}}{I_b} \cong \frac{\beta I_b r_e}{I_b}$$

y

$$\boxed{Z_i \cong \beta r_e}_{CE} \qquad (7.19)$$

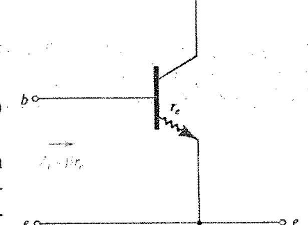


Figura 7.23 Impacto de r_e sobre la impedancia de entrada.

En esencia, la ecuación 7.19 establece que la impedancia de entrada para una situación como la que se muestra en la figura 7.23 será de beta veces el valor de r_e. En otras palabras, se reflejará un elemento resistivo en la terminal del emisor hacia el circuito de entrada mediante un factor multiplicador β. Por ejemplo, si $r_e = 6.5\ \Omega$ como en el ejemplo 7.4, y $\beta = 160$ (algo común), la impedancia de entrada se habrá incrementado a un nivel de

$$Z_i \cong \beta r_e = (160)(6.5\ \Omega) = \mathbf{1.04\ k\Omega}$$

Para la configuración de emisor común, valores típicos de Z_i definidos por βr_e se encuentran en un rango desde unos cuantos cientos de ohms hasta valores de kilohms, con valores máximos de cerca de 6–7 kΩ.

Para la impedancia de salida, las características de interés son el conjunto de salida de la figura 7.24. Observe que la pendiente de las curvas se incrementa con el aumento de la corriente del colector. Mientras mayor sea la pendiente, menor será el nivel de la impedancia de salida (Z_o). El modelo r_e de la figura 7.21 no incluye una impedancia de salida, pero si ésta se encuentra disponible a partir de un análisis gráfico o de las hojas de especificaciones, es posible incluirla como se muestra en la figura 7.25.

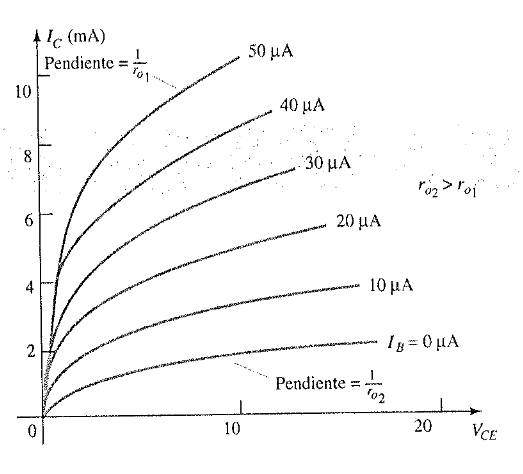


Figura 7.24 Definición de r_o para la configuración de emisor común.

Para la configuración de emisor común, los valores típicos de Z_o se encuentran en el rango de 40 a 50 kΩ.

Para el modelo de la figura 7.25, si la señal aplicada se hace cero, la corriente I_c es de 0 A y la impedancia de salida es

$$\boxed{Z_o = r_o}_{CE} \qquad (7.20)$$

Figura 7.25 Incorporación de r_o en el circuito equivalente de transistor.

Desde luego, si se ignora la contribución de r_o como en el modelo r_e, la impedancia de salida estará definida por $Z_o = \infty\ \Omega$.

Ahora se determinará la ganancia de voltaje para la configuración de emisor común de la figura 7.26 mediante la suposición $Z_o = \infty\ \Omega$. El efecto de incorporar r_o se considerará en el capítulo 8. Para la dirección definida de I_o y la polaridad de V_o,

$$V_o = -I_o R_L$$

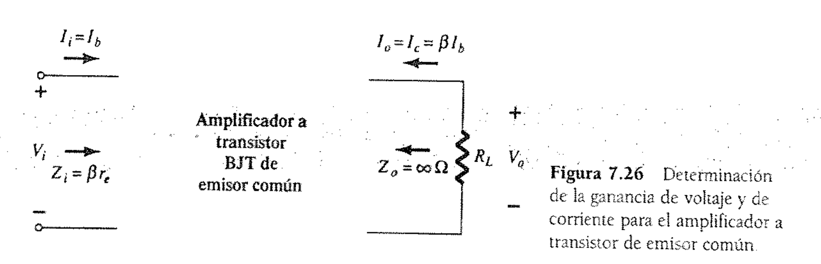


Figura 7.26 Determinación de la ganancia de voltaje y de corriente para el amplificador a transistor de emisor común.

El signo menos simplemente refleja el hecho de que la dirección de I_o en la figura 7.26 establecería un voltaje V_o con la polaridad opuesta. Al continuar se obtiene

$$V_o = -I_o R_L = -I_c R_L = -\beta I_b R_L$$

y

$$V_i = I_i Z_i = I_b \beta r_e$$

por lo que

$$A_v = \frac{V_o}{V_i} = -\frac{\beta I_b R_L}{I_b \beta r_e}$$

y

$$\boxed{A_v = -\frac{R_L}{r_e}}_{CE, r_o = \infty\,\Omega} \qquad (7.21)$$

El signo menos resultante para la ganancia de voltaje revela que los voltajes de entrada y de salida se encuentran 180° fuera de fase.

La ganancia de corriente para la configuración de la figura 7.26:

$$A_i = \frac{I_o}{I_i} = \frac{I_c}{I_b} = \frac{\beta I_b}{I_b}$$

y

$$\boxed{A_i = \beta}_{CE, r_o = \infty\,\Omega} \qquad (7.22)$$

Al utilizar los hechos de que la impedancia de entrada es βr_e, la corriente del colector es βI_b y que la impedancia de salida es r_o, el modelo equivalente de la figura 7.27 puede ser una herramienta eficaz para el análisis siguiente. Para valores típicos de los parámetros, la configuración de emisor común puede considerarse como una configuración con un nivel moderado de impedancia de entrada, una ganancia de voltaje y de corriente altas y una impedancia de salida que podría incluirse en el análisis de la red.

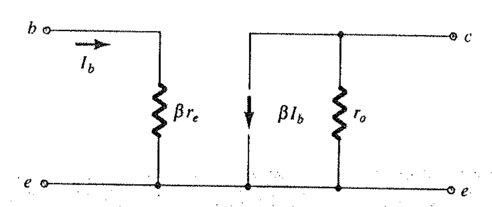


Figura 7.27 Modelo r_e para la configuración de transistor de emisor común.

EJEMPLO 7.5

Dados $\beta = 120$ e $I_E = 3.2$ mA para una configuración de emisor común con $r_o = \infty\ \Omega$, determine:

(a) Z_i.
(b) A_v si se aplica una carga de 2 kΩ.
(c) A_i con la carga de 2 kΩ.

Solución

(a) $r_e = \dfrac{26\text{ mV}}{I_E} = \dfrac{26\text{ mV}}{3.2\text{ mV}} = 8.125\ \Omega$

y $Z_i = \beta r_e = (120)(8.125\ \Omega) = \mathbf{975\ \Omega}$

(b) Ecuación (7.21): $A_v = -\dfrac{R_L}{r_e} = -\dfrac{2\text{ k}\Omega}{8.125\ \Omega} = \mathbf{-246.15}$

(c) $A_i = \dfrac{I_o}{I_i} = \beta = \mathbf{120}$

Configuración de colector común

Para la configuración de colector común, normalmente se aplica el modelo de la figura 7.21 definido para la configuración de emisor común en lugar de definir un modelo para la configuración de colector común. En capítulos subsecuentes, se analizará un número de configuraciones de colector común y estará claro el impacto del uso del mismo modelo.

7.6 MODELO HÍBRIDO EQUIVALENTE

En la sección 7.5 se indicó que el modelo r_e para un transistor es sensible al nivel de operación de dc del amplificador. El resultado de esto es una impedancia de entrada que varía con el punto de operación de dc. Para el modelo híbrido equivalente que se describirá en esta sección, los parámetros se definen para un punto de operación que puede o no reflejar las condiciones reales de operación del amplificador. Esto se debe al hecho de que las hojas de especificaciones no pueden proporcionar los parámetros de un circuito equivalente para todos los puntos de operación posibles. Es necesario seleccionar condiciones de operación que reflejen las características generales del dispositivo. Los parámetros híbridos como se muestra en la figura 7.28, se dibujaron a partir de la hoja de especificaciones del transistor 2N4400 descrito en el capítulo 3. Los valores se proporcionaron para una corriente de dc de colector de 1 mA y un voltaje colector-emisor de 10 V. Además, se provee un rango de valores para cada parámetro con el objetivo de guiar el diseño inicial o el análisis del sistema. Una ventaja evidente del listado de la hoja de especificaciones es el conocimiento inmediato de los niveles comunes de los parámetros del dispositivo en comparación con otros transistores.

Las cantidades h_{ie}, h_{re}, h_{fe} y h_{oe} de la figura 7.28 se denominan parámetros híbridos y son los componentes de un circuito equivalente de pequeña señal que se describirá en breve. Durante años, el modelo híbrido junto con todos sus parámetros era el modelo elegido por las comunidades educativas e industriales sin embargo, en la actualidad el modelo r_e se aplica de forma más frecuente, pero por lo general junto con el parámetro h_{oe} del modelo equivalente híbrido para proporcionar cierta medida de la impedancia de salida. Debido a que las hojas de especificaciones proveen los parámetros híbridos y que el

			Mínimo	Máximo	
Impedancia de entrada (I_C = 1 mA dc, V_{CE} = 10 V dc, f = 1 kHz)	2N4400	h_{ie}	0.5	7.5	kΩ
Relación de retroalimentación de voltaje (I_C = 1 mA dc, V_{CE} = 10 V dc, f = 1 kHz)		h_{re}	0.1	8.0	$\times 10^{-4}$
Ganancia de corriente de pequeña señal (I_C = 1 mA dc, V_{CE} = 10 V dc, f = 1 kHz)	2N4400	h_{fe}	20	250	—
Admitancia de salida (I_C = 1 mA dc, V_{CE} = 10 V dc, f = 1 kHz)		h_{oe}	1.0	30	1μS

Figura 7.28 Parámetros híbridos del transistor 2N4400.

modelo híbrido continúa recibiendo mucha atención es muy importante que el modelo híbrido se cubra con cierto detalle en este libro. Una vez que éste se haya desarrollado, las similitudes entre los modelos r_e y el híbrido serán evidentes. De hecho, una vez que los componentes de uno de ellos se definan para un punto de operación particular, los parámetros del otro modelo estarán disponibles de forma inmediata.

La descripción del modelo equivalente híbrido iniciará con el sistema general de dos puertos de la figura 7.29. El siguiente conjunto de ecuaciones 7.23 es sólo una de las múltiples formas en que se pueden relacionar las cuatro variables de la figura 7.29. Sin embargo, debido a que es el que con más frecuencia se emplea en el análisis de circuitos de transistor, se analizará a detalle en este capítulo.

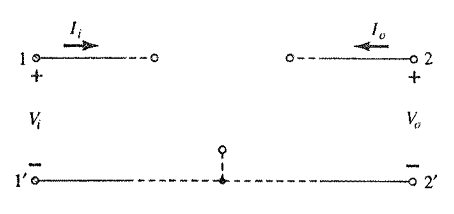


Figura 7.29 Sistema de dos puertos.

$$V_i = h_{11}I_i + h_{12}V_o \quad (7.23a)$$

$$I_o = h_{21}I_i + h_{22}V_o \quad (7.23b)$$

Los parámetros que relacionan las cuatro variables se denominan *parámetros-h* debido a la palabra "híbrido". El término *híbrido* se seleccionó debido a que la mezcla de variables (V e I) en cada ecuación, ocasiona un conjunto "híbrido" de unidades de medición para los parámetros-*h*. Es posible obtener una comprensión más clara de lo que representan los distintos parámetros-*h* y de cómo se puede determinar su magnitud al aislar a cada uno y analizar la relación que se da por resultado.

Si de forma arbitraria se hace $V_o = 0$ (corto circuito en las terminales de salida) y se resuelve para h_{11} en la ecuación 7.23a, se obtendrá el siguiente resultado:

$$h_{11} = \left.\frac{V_i}{I_i}\right|_{V_o=0} \quad \text{ohms} \quad (7.24)$$

Esta relación indica que el parámetro h_{11} es un parámetro de impedancia con unidades en ohms. Debido a que se trata del cociente del voltaje de *entrada* entre la corriente de *entrada* con las terminales de entrada en *corto circuito*, se le denomina *parámetro de impedancia de entrada en corto circuito*. El subíndice 11 en h_{11} define el hecho de que el parámetro está calculado mediante una relación entre cantidades medidas en las terminales de entrada.

Si I_i se hace cero mediante la apertura de las terminales de entrada, se obtendrá lo siguiente para h_{12}:

$$h_{12} = \left.\frac{V_i}{V_o}\right|_{I_i=0} \quad \text{sin unidad} \quad (7.25)$$

El parámetro h_{12} es por tanto, la relación del cociente del voltaje de entrada al voltaje de salida con la corriente de entrada igual a cero. No tiene unidades debido a que es un cociente de niveles de voltaje y se le denomina *parámetro de la relación de voltaje de transferencia inversa de circuito abierto*. El subíndice 12 en h_{12} revela que el parámetro es una cantidad de transferencia determinada por una relación de mediciones de entrada a salida. El primer dígito del subíndice define la cantidad medida que aparecerá en el numerador; el segundo dígito define la fuente de la cantidad que aparecerá en el denominador.

El término *inversa* se incluye porque la relación es un voltaje de entrada sobre un voltaje de salida en lugar de la relación inversa típica de interés.

Si en la ecuación 7.23b V_o es igual a cero nuevamente mediante el corto circuito de las terminales de salida, se obtendrá el siguiente resultado para h_{21}:

$$h_{21} = \left.\frac{I_o}{I_i}\right|_{V_o=0} \quad \text{sin unidad} \quad (7.26)$$

Observe que ahora tenemos la relación de una cantidad de salida sobre una cantidad de entrada. Ahora se utilizará el término *directo* en lugar de *inverso* como se indicó para h_{12}. El parámetro h_{21} es la relación de la corriente de salida a la corriente de entrada con las terminales de salida en circuito cerrado. Este parámetro, de la misma forma que h_{12} no tiene unidades dado que se trata del cociente de niveles de corriente. De manera formal se designa con el término *parámetro de relación de corriente de transferencia directa en corto circuito*. El subíndice 21 nuevamente indica que se trata de un parámetro de transferencia con la cantidad de salida en el numerador y la cantidad de entrada en el denominador.

El último parámetro h_{22} se puede calcular al abrir nuevamente las terminales de entrada para hacer $I_I = 0$ y resolver para h_{22} en la ecuación 7.23b:

$$h_{22} = \left.\frac{I_o}{V_o}\right|_{I_i=0} \quad \text{siemens} \quad (7.27)$$

Debido a que éste es el cociente de la corriente de salida entre el voltaje de salida, se trata del parámetro de conductancia de salida y se mide en siemens (S). Se le denomina *parámetro de admitancia de salida de circuito abierto*. El subíndice 22 revela que se encuentra determinado por el cociente de cantidades de salida.

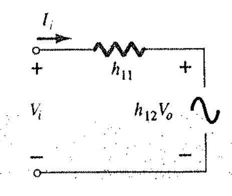


Figura 7.30 Circuito equivalente híbrido de entrada.

Debido a que cada término de la ecuación 7.23a se encuentra en unidades de volt, es posible aplicar la ley de voltaje de Kirchhoff "hacia atrás" para encontrar un circuito que "encaje" en la ecuación. Al hacer esta operación se obtendrá el circuito de la figura 7.30. Puesto que el parámetro h_{11} se encuentra en unidades de ohms, se representa en la figura 7.30 mediante un resistor. La cantidad h_{12} es adimensional y por tanto solamente aparece como un factor multiplicador del término de "retroalimentación" en el circuito de entrada.

Puesto que cada término de la ecuación 7.23b tiene unidades de corriente, es posible aplicar la ley de corriente de Kirchhoff "hacia atrás" para obtener el circuito de la figura 7.31. Debido a que h_{22} maneja unidades de admitancia, las cuales, para el modelo del transistor será la conductancia, se representa por el símbolo del resistor. Sin embargo, hay que tener presente que la resistencia en ohms de este resistor será igual al recíproco de la conductancia ($1/h_{22}$).

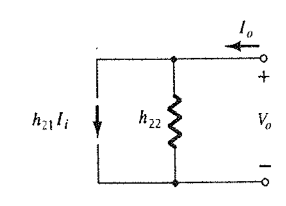


Figura 7.31 Circuito equivalente híbrido de salida.

El circuito equivalente de "ac" completo para el dispositivo lineal básico de tres terminales se indica en la figura 7.32, con un nuevo conjunto de subíndices para los parámetros-*h*. La notación de la figura 7.32 es de naturaleza más práctica ya que relaciona los parámetros-*h* con la relación resultante obtenida en los párrafos anteriores. La selección de las letras resulta obvia a partir de la siguiente lista:

$$h_{11} \rightarrow \text{resistencia de entrada} \rightarrow h_i$$

$$h_{12} \rightarrow \text{relación de voltaje de transferencia inverso} \rightarrow h_r$$

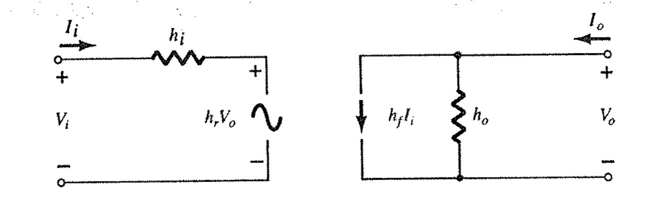


Figura 7.32 Circuito equivalente híbrido completo.

$h_{21} \rightarrow$ relación de corriente de transferencia directa $\rightarrow h_f$

$h_{22} \rightarrow$ conductancia de salida $\rightarrow h_o$

El circuito de la figura 7.32 es aplicable para cualquier dispositivo electrónico o sistema de tres terminales sin fuentes independientes internas. Sin embargo, para el transistor, a pesar de que cuenta con tres configuraciones básicas, *las tres son configuraciones de tres terminales*, por lo que el circuito equivalente resultante tendrá el mismo formato que el que se muestra en la figura 7.32. En cada caso, es posible conectar la parte inferior de las secciones de entrada y de salida de la red de la figura 7.32 como se indica en la figura 7.33 debido a que el nivel de potencial es el mismo. Por tanto, en esencia, el modelo del transistor es un sistema de dos puertos de tres terminales. Los parámetros-*h*, sin embargo, cambian con cada configuración. Para distinguir cuál parámetro se ha empleado o cuál se encuentra disponible, se añadió un segundo subíndice a la notación del parámetro-*h*. Para la configuración de la base común, la letra minúscula *b* se añadió, mientras que para las configuraciones de emisor común y colector común, se añadieron las letras *e* y *c* respectivamente. La red equivalente híbrida para la configuración de emisor común se presenta con notación estándar en la figura 7.33. Observe que $I_i = I_b$, $I_o = I_c$, y mediante la aplicación de la ley de corriente de Kirchhoff, $I_e = I_b + I_c$. El voltaje de entrada ahora es V_{be} y el voltaje de salida V_{ce}. Para la configuración de base común de la figura 7.34, $I_i = I_e$, $I_o = I_c$ con $V_{eb} = V_i$ y $V_{cb} = V_o$. Las redes de las figuras 7.33 y 7.34 son aplicables a transistores *npn* y *pnp*.

El hecho de que tanto un circuito de Thévenin como uno de Norton aparezcan en el circuito de la figura 7.32 es un motivo más para denominar al circuito resultante, circuito equivalente *híbrido*. Existen otros dos circuitos equivalentes de transistor adicionales, que no se analizarán en este texto, denominados como circuitos equivalentes de parámetro-**z** y de parámetro-**y**, que emplean ya sea el voltaje de la fuente o la corriente de la fuente pero no ambos, en el mismo circuito equivalente. En la sección 7.7, las magnitudes de los distintos parámetros se calcularán a partir de las características del transistor en la región de operación con lo que resultará la *red equivalente de pequeña señal* buscada para el transistor.

Para las configuraciones de emisor común y de base común, las magnitudes de h_r y h_o son por lo general tales, que los resultados obtenidos para los parámetros importantes como Z_i, Z_o, A_v y A_i son sólo ligeramente afectados si éstos (h_r y h_o) no se incluyen en el modelo.

Debido a que por lo general h_r es una cantidad relativamente pequeña, su eliminación se aproxima mediante $h_r \cong 0$ y $h_rV_o = 0$, con lo que se ocasiona un corto circuito equivalente para el elemento de retroalimentación como se señala en la figura 7.35. La resistencia determinada por $1/h_o$ es con frecuencia lo suficientemente grande para ser ignorada en comparación con la carga en paralelo, con lo que se permite su reemplazo mediante un circuito abierto equivalente para los modelos de emisor común y de base común, como se indica en la figura 7.35.

El equivalente resultante de la figura 7.36 es muy similar a la estructura general de los circuitos equivalentes de base común y emisor común, obtenidos con el modelo r_e. De hecho, los modelos equivalente híbrido y r_e para cada configuración se reemplazaron en la figura 7.37 para efectos de comparación. A partir de la figura 7.37a deberá quedar claro que

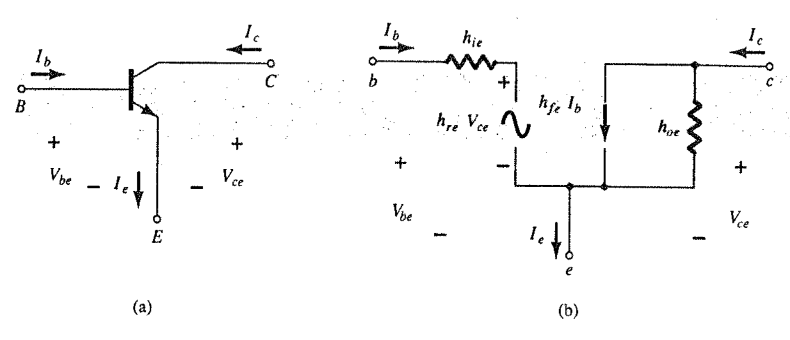


Figura 7.33 Configuración de emisor común: (a) símbolo gráfico; (b) circuito equivalente híbrido.

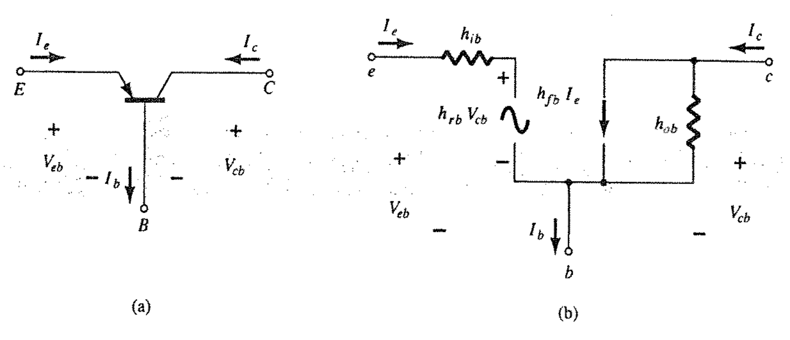


Figura 7.34 Configuración de base común: (a) símbolo gráfico; (b) circuito equivalente híbrido.

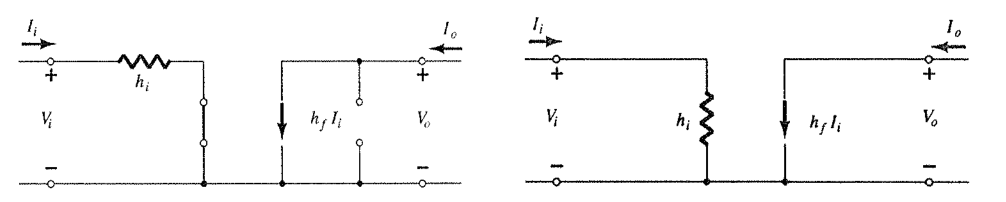


Figura 7.35 Efecto de eliminar h_{re} y h_{oe} del circuito equivalente híbrido.

Figura 7.36 Modelo equivalente híbrido aproximado.

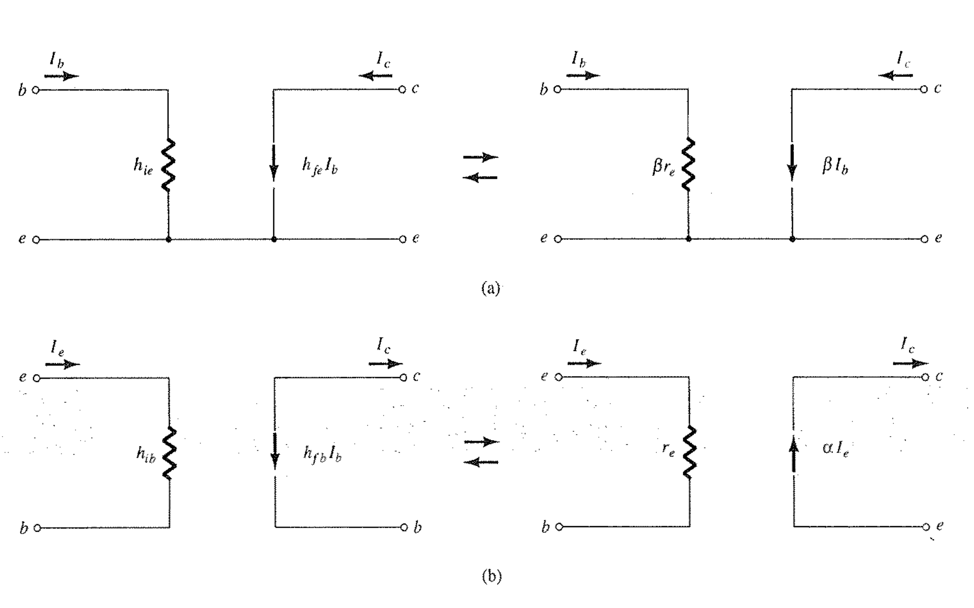


Figura 7.37 Modelo híbrido en comparación con el modelo r_e: (a) configuración de emisor común; (b) configuración de base común.

$$h_{ie} = \beta r_e \qquad (7.28)$$

y

$$h_{fe} = \beta_{ac} \qquad (7.29)$$

A partir de la figura 7.37b,

$$h_{ib} = r_e \qquad (7.30)$$

y

$$h_{fb} = -\alpha \cong -1 \qquad (7.31)$$

En particular, observe que el signo menos en la ecuación 7.31 es responsable del hecho de que la fuente de corriente del circuito equivalente híbrido estándar se encuentre apuntando hacia abajo en lugar de hacerlo hacia la dirección real, como se muestra en el modelo r_e de la figura 7.37b.

EJEMPLO 7.6

Dado $I_E = 2.5$ mA, $h_{fe} = 140$, $h_{oe} = 20\ \mu$S (μmho) y $h_{ob} = 0.5\ \mu$S, determine:
(a) El circuito equivalente híbrido de emisor común.
(b) El modelo r_e de base común.

Solución

(a) $r_e = \dfrac{26\text{ mV}}{I_E} = \dfrac{26\text{ mV}}{2.5\text{ mA}} = 10.4\ \Omega$

$h_{ie} = \beta r_e = (140)(10.4\ \Omega) = \mathbf{1.456\ k\Omega}$

$r_o = \dfrac{1}{h_{oe}} = \dfrac{1}{20\ \mu S} = 50\ \text{k}\Omega$

Observe la figura 7.38.

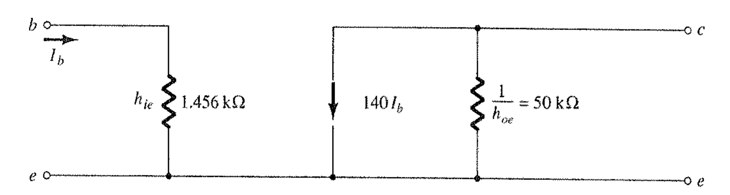


Figura 7.38 Circuito equivalente híbrido de emisor común para los parámetros del ejemplo 7.6.

(b) $r_e = \mathbf{10.4\ \Omega}$

$\alpha \cong 1, \quad r_o = \dfrac{1}{h_{ob}} = \dfrac{1}{0.5\ \mu S} = \mathbf{2\ M\Omega}$

Observe la figura 7.39.

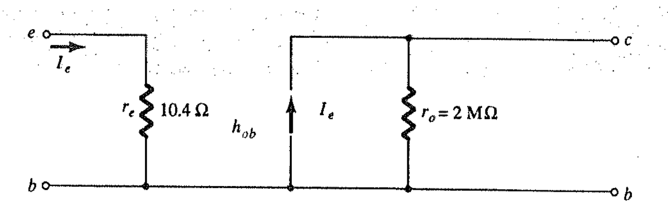


Figura 7.39 Modelo r_e de base común para los parámetros del ejemplo 7.6.

En el apéndice B se proporciona un conjunto de ecuaciones que relacionan los parámetros de cada configuración para el equivalente híbrido. En la sección 7.8 se demostrará que el parámetro híbrido h_{fe} (β_{ac}) es el menos sensible de los parámetros híbridos ante un cambio en la corriente del colector. Por tanto, asumir que $h_{fe} = \beta$ es una constante para el intervalo de interés, es una muy buena aproximación. Es $h_{ie} = \beta r_e$ el que variará de forma importante con I_C y deberá determinarse en los niveles de operación, dado que éste puede tener un gran impacto sobre los niveles de ganancia del amplificador de transistor.

7.7 DETERMINACIÓN GRÁFICA DE LOS PARÁMETROS-*h*

Mediante el empleo de derivadas parciales (cálculo) es posible mostrar que se puede encontrar la magnitud de los parámetros-*h* para el circuito equivalente del transistor a pequeña señal en la región de operación para la configuración de emisor común mediante el uso de las siguientes ecuaciones:*

$$h_{ie} = \frac{\partial v_i}{\partial i_i} = \frac{\partial v_{be}}{\partial i_b} \cong \left.\frac{\Delta v_{be}}{\Delta i_b}\right|_{V_{CE}=\text{constante}} \qquad \text{(ohms)} \qquad (7.32)$$

$$h_{re} = \frac{\partial v_i}{\partial v_o} = \frac{\partial v_{be}}{\partial v_{ce}} \cong \left.\frac{\Delta v_{be}}{\Delta v_{ce}}\right|_{I_B=\text{constante}} \qquad \text{(sin unidades)} \qquad (7.33)$$

$$h_{fe} = \frac{\partial i_o}{\partial i_i} = \frac{\partial i_c}{\partial i_b} \cong \left.\frac{\Delta i_c}{\Delta i_b}\right|_{V_{CE}=\text{constante}} \qquad \text{(sin unidades)} \qquad (7.34)$$

$$h_{oe} = \frac{\partial i_o}{\partial v_o} = \frac{\partial i_c}{\partial v_{ce}} \cong \left.\frac{\Delta i_c}{\Delta v_{ce}}\right|_{I_B=\text{constante}} \qquad \text{(siemens)} \qquad (7.35)$$

En cada caso, el símbolo Δ indica un pequeño cambio en la cantidad alrededor del punto de operación estable. En otras palabras, los parámetros-*h* se determinan en la región de operación de la señal aplicada de tal forma que el circuito equivalente será el más preciso. Los valores constantes de V_{CE} e I_B de cada caso se refieren a la condición que deberá de satisfacerse cuando se determinen los distintos parámetros a partir de las características del transistor. Para las configuraciones de base común y de colector común, es posible obtener la ecuación apropiada simplemente al sustituir los valores adecuados de v_i, v_o, i_i e i_o.

Los parámetros h_{ie} y h_{re} se determinan a partir de las características de entrada o de la base, mientras que los parámetros h_{fe} y h_{oe} se obtienen a partir de las características de salida o del colector. Dado que h_{fe} es, por lo general, el parámetro de mayor interés, primero se deberán discutir las operaciones involucradas con ecuaciones como de la 7.32 a la 7.35 para este parámetro. El primer paso en la determinación de cualquiera de los cuatro parámetros híbridos consiste en localizar el punto de operación estable como se indica en la figura 7.40. En la ecuación 7.34 la condición V_{CE} = constante, requiere que los cambios en la corriente de la base y en la corriente del colector se realicen a lo largo de una línea recta vertical dibujada a través del punto *Q* que representa un voltaje colector-emisor fijo. La ecuación 7.34 luego requerirá de que un cambio pequeño en la corriente del colector se divida entre el cambio correspondiente de la corriente de base. Para lograr la mayor precisión posible, estos cambios deberán ser lo más pequeños posibles.

*La derivada parcial $\partial v_i/\partial i_i$ proporciona una medida del cambio instantáneo en v_i como consecuencia de un cambio instantáneo de i_i.

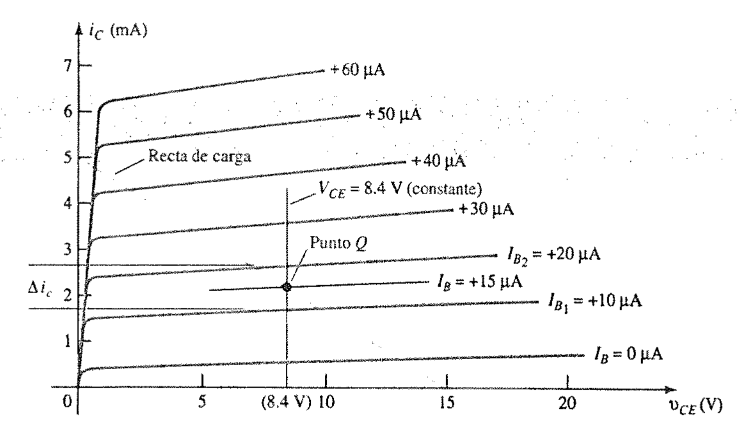


Figura 7.40 Determinación de h_{fe}.

En la figura 7.40, el cambio en i_b se seleccionó para prolongarse desde I_{B_1} hasta I_{B_2} a lo largo de la línea recta perpendicular en V_{CE}. Luego, el cambio correspondiente en i_c se encuentra al dibujar las líneas horizontales a partir de las intersecciones de I_{B_1} e I_{B_2} con V_{CE} = constante con respecto al eje vertical. Todo lo que resta es sustituir los cambios resultantes de i_b e i_c en la ecuación 7.34. Es decir,

$$|h_{fe}| = \left.\frac{\Delta i_c}{\Delta i_b}\right|_{V_{CE}=\text{constante}} = \left.\frac{(2.7-1.7)\text{ mA}}{(20-10)\ \mu\text{A}}\right|_{V_{CE}=8.4\text{ V}}$$

$$= \frac{10^{-3}}{10\times10^{-6}} = \mathbf{100}$$

En la figura 7.41, se traza una línea recta tangente a la curva I_B a través del punto Q para establecer una línea en I_B = constante como lo requiere la ecuación 7.35 para h_{oe}. Luego se seleccionó un cambio en v_{CE} y se determinó el cambio correspondiente en i_C mediante el dibujo de líneas horizontales hacia el eje vertical en las intersecciones sobre la línea I_B = constante. Al sustituir en la ecuación 7.35, se obtiene

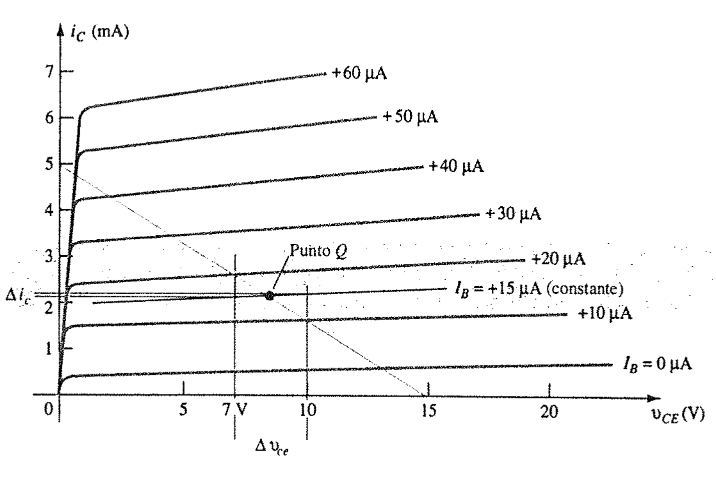


Figura 7.41 Determinación de h_{oe}.

$$|h_{oe}| = \left.\frac{\Delta i_c}{\Delta v_{ce}}\right|_{I_B=\text{constante}} = \left.\frac{(2.2-2.1)\text{ mA}}{(10-7)\text{ V}}\right|_{I_B=+15\ \mu\text{A}}$$

$$= \frac{0.1\times10^{-3}}{3} = \mathbf{33\ \mu A/V = 33\times10^{-6}\ S = 33\ \mu S}$$

Para determinar los parámetros h_{ie} y h_{re}, debe encontrarse primero el punto Q sobre las características de entrada o de la base como se indica en la figura 7.42. Para h_{ie}, se dibuja una línea tangente a la curva V_{CE} = 8.4 V a través del punto Q para establecer una línea en V_{CE} = constante como lo requiere la ecuación 7.32. Luego se seleccionó un pequeño cambio en v_{be}, con lo que se provocó un cambio correspondiente en i_b. Al sustituir en la ecuación 7.32, se obtiene

$$|h_{ie}| = \left.\frac{\Delta v_{be}}{\Delta i_b}\right|_{V_{CE}=\text{constante}} = \left.\frac{(733-718)\text{ mV}}{(20-10)\ \mu\text{A}}\right|_{V_{CE}=8.4\text{ V}}$$

$$= \frac{15\times10^{-3}}{10\times10^{-6}} = \mathbf{1.5\ k\Omega}$$

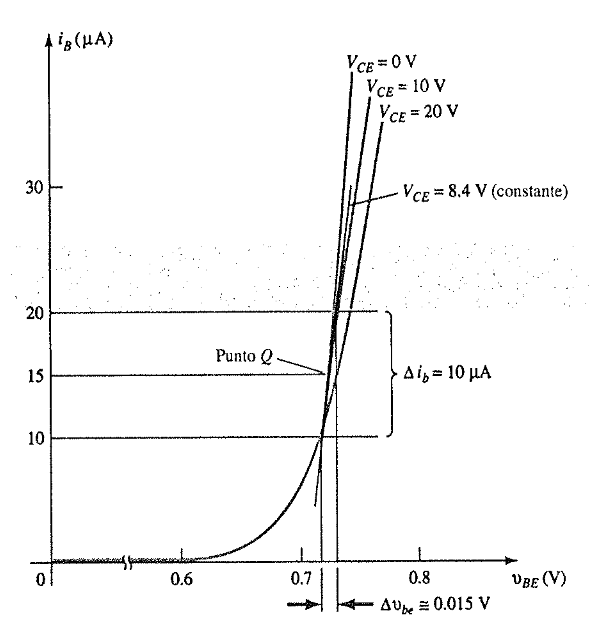


Figura 7.42 Determinación de h_{ie}.

El último parámetro h_{re}, puede calcularse al dibujar primero una línea horizontal a través del punto Q en I_B = 15 μA. La selección natural consiste en escoger un cambio en v_{CE} y encontrar el cambio resultante en v_{BE} como se muestra en la figura 7.43.

Al sustituir en la ecuación 7.33, se obtiene

$$|h_{re}| = \left.\frac{\Delta v_{be}}{\Delta v_{ce}}\right|_{I_B=\text{constante}} = \frac{(733-725)\text{ mV}}{(20-0)\text{ V}} = \frac{8\times10^{-3}}{20} = \mathbf{4\times10^{-4}}$$

Para el transistor cuyas características han aparecido en las figuras 7.40 a la 7.43, el circuito equivalente híbrido de pequeña señal resultante se muestra en la figura 7.44.

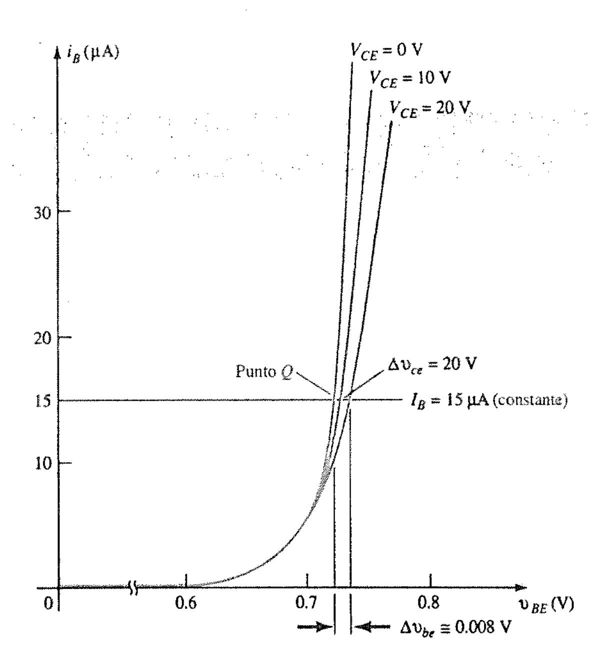


Figura 7.43 Determinación de h_{re}.

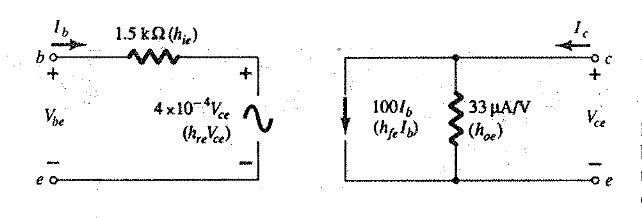


Figura 7.44 Circuito equivalente híbrido completo para un transistor con las características que aparecen en las figuras 7.40 a la 7.43.

Como se mencionó anteriormente, es posible obtener los parámetros híbridos para las configuraciones de base común y de colector común mediante las mismas ecuaciones básicas con las variables y características apropiadas.

En la tabla 7.1 se muestran los valores típicos de los parámetros para cada una de las configuraciones para el amplio rango de transistores disponibles en la actualidad. El signo negativo indica que en la ecuación 7.34 a medida que una cantidad se incrementa en magnitud, dentro del cambio elegido, la otra disminuirá en magnitud.

TABLA 7.1 Valores típicos de los parámetros para las configuraciones a transistor de emisor común, colector común y base común

Parámetro	*CE*	*CC*	*CB*
h_i	1 kΩ	1 kΩ	20 Ω
h_r	2.5×10^{-4}	$\cong 1$	3.0×10^{-4}
h_f	50	−50	−0.98
h_o	25 μA/V	25 μA/V	0.5 μA/V
$1/h_o$	40 kΩ	40 kΩ	2 MΩ

Observe en forma retrospectiva (sección 3.5: Acción amplificadora del transistor) que la resistencia de entrada de la configuración de base común es baja, mientras que la resistencia de salida es alta. Considere también que la ganancia de corriente a corto circuito es muy cercana a 1. Para las configuraciones de emisor común y de colector común, observe que la resistencia de entrada es mucho mayor que la de la configuración de base común y que la relación de la resistencia de salida a la de entrada es aproximadamente de 40:1. Considere también para las configuraciones de emisor común y de base común que h_r es muy pequeña en magnitud. Actualmente se encuentran disponibles transistores con valores de h_{fe} que varían de 20 a 600. Para cualquier transistor, la región de operación y las condiciones bajo las cuales se emplea tendrán un efecto sobre los distintos parámetros-*h*. El efecto de la temperatura y de la corriente y voltaje del colector sobre los parámetros-*h* se analizarán en la sección 7.8.

7.8 VARIACIONES DE LOS PARÁMETROS DEL TRANSISTOR

Existe un gran número de curvas que pueden dibujarse para mostrar las variaciones de los parámetros-*h* debido a la temperatura, frecuencia, voltaje y corriente. Las más interesantes y útiles para esta etapa del desarrollo incluyen las variaciones del parámetro-*h* ante la temperatura de la unión, y ante el voltaje y la corriente del colector.

En la figura 7.45 se indica el efecto de la corriente del colector sobre el parámetro-*h*. Observe con cuidado que se emplea una escala logarítmica en el eje vertical y en el horizontal. Las escalas logarítmicas se analizan en el capítulo 11. Todos los parámetros se normalizaron a la unidad de forma que sea posible determinar el cambio relativo en magnitud ante la corriente del colector. Sobre cada conjunto de curvas, como en la figura 7.46, siempre se indica el punto de operación en el que los parámetros se encontraron. Para esta situación particular, el punto de operación se encuentra en la intersección de V_{CE} = 5.0 V e I_C = 1.0 mA. Debido a que la frecuencia y la temperatura de operación también afectan a los parámetros-*h*, estas cantidades también se indican sobre las curvas. En 0.1 mA, h_{fe} es aproximadamente 0.5 o 50% de su valor en 1.0 mA, mientras que en 3 mA, es de 1.5 o 150% de dicho valor. En otras palabras, si h_{fe} = 50 cuando I_C = 1.0 mA, h_{fe} habrá cambiado de un valor de 0.5(50) = 25 a 1.5(50) =75, con un cambio de I_C desde 0.1 has-

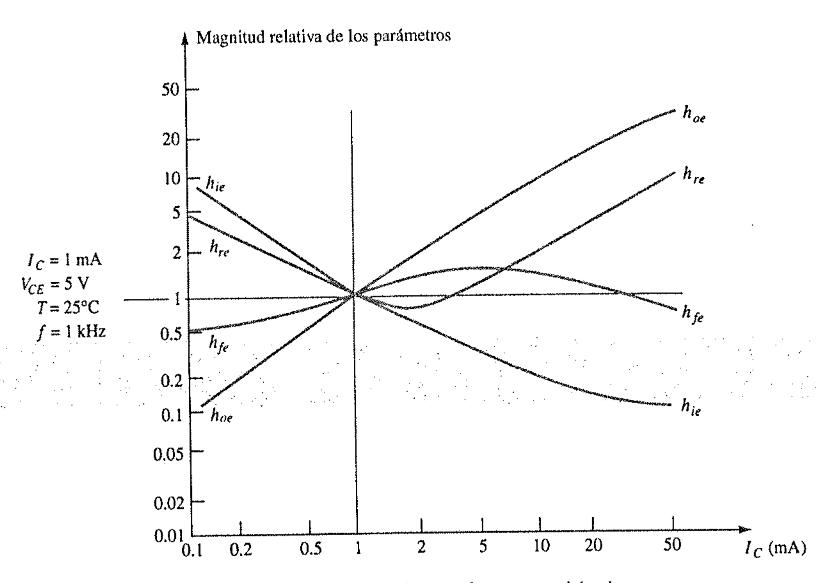


Figura 7.45 Variaciones de los parámetros híbridos ante la corriente del colector.

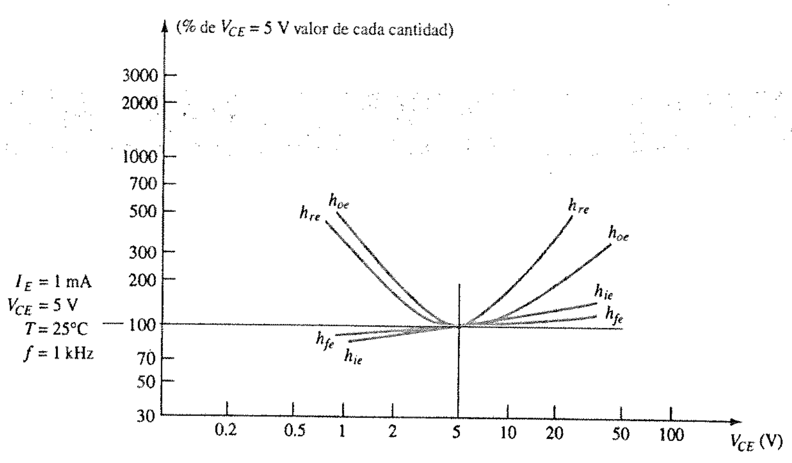


Figura 7.46 Variaciones de los parámetros híbridos ante el potencial colector-emisor.

ta 3 mA. Sin embargo, considere el punto de operación en I_C = 50 mA. La magnitud de h_{re} es ahora aproximadamente 11 veces mayor que en el punto Q definido, una magnitud que quizá no permitirá eliminar este parámetro del circuito equivalente. El parámetro h_{oe} es aproximadamente 35 veces el valor normalizado. Este incremento en h_{oe} disminuirá la magnitud de la resistencia de salida del transistor hasta un punto donde puede acercarse a la magnitud del resistor de carga. Por tanto, no habría justificación para eliminar h_{oe} del circuito equivalente sobre una base aproximada.

En la figura 7.46 se indica la variación en la magnitud de los parámetros-h sobre una base normalizada ante cambios en el voltaje del colector. Este conjunto de curvas se normalizó en el mismo punto de operación del transistor analizado en la figura 7.45, de forma que sea posible realizar una comparación entre los dos conjuntos de curvas. Observe que h_{ie} y h_{fe} son relativamente estables en magnitud, mientras que h_{oe} y h_{re} son mucho mayores a la izquierda y a la derecha del punto de operación seleccionado. En otras palabras, h_{oe} y h_{re} son mucho más sensibles a los cambios en el voltaje del colector que h_{ie} y h_{fe}.

Resulta interesante observar que a partir de las figuras 7.45 y 7.46 que el valor de h_{fe} sea el que parece cambiar menos. Por lo tanto, el valor específico de la ganancia de corriente, ya sea h_{fe} o β, pueda ser considerado, sobre una base aproximada y relativa, constante para el rango de la corriente y el voltaje del colector.

El valor de $h_{ie} = \beta r_e$ varía de forma considerable ante la corriente del colector como se esperaría que lo hiciera debido a la sensibilidad de r_e hacia la corriente del colector ($I_E \cong I_C$). Ésta es, por lo tanto, una cantidad que deberá determinarse lo más cercanamente posible a las condiciones de operación. Para valores por debajo del V_{CE} especificado, h_{re} es bastante constante, pero se incrementa de manera considerable para valores mayores. Por fortuna, para la mayoría de las aplicaciones, las magnitudes de h_{re} y h_{oe} son tales que, por lo general, pueden ignorarse ya que son muy sensibles a la corriente del colector y al voltaje colector-emisor.

En la figura 7.47 se graficaron las variaciones de los parámetros-h ante cambios en la temperatura de la unión. El valor de normalización se seleccionó como la temperatura ambiente: T = 25°C. La escala horizontal es una escala lineal en lugar de logarítmica como se utilizó en las figuras 7.45 y 7.46. En general, todos los parámetros incrementan su magnitud con la temperatura. Sin embargo, el parámetro que menos se afecta es h_{oe}, mientras que la impedancia de entrada h_{ie} cambia con mayor rapidez. El hecho de que h_{fe} cambiará a partir de 50% de su valor normalizado en –50°C hasta 150% de su valor normalizado en + 150°C indica con claridad que la temperatura de operación debe considerarse con cuidado en el diseño de circuitos de transistores.

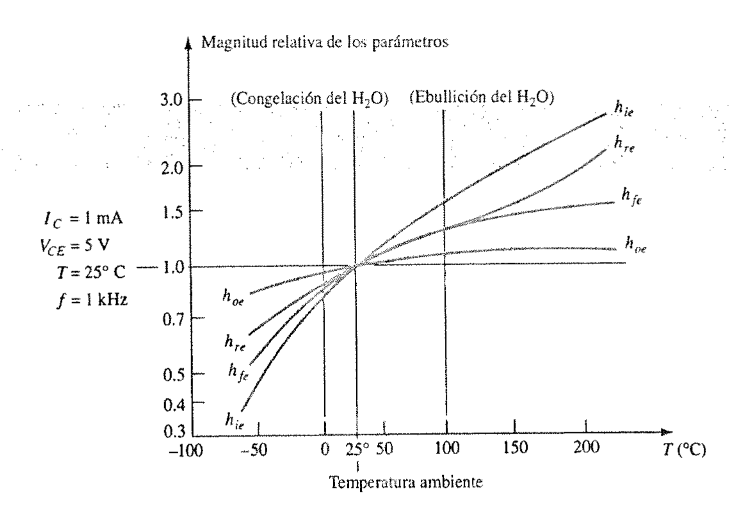


Figura 7.47 Variaciones de los parámetros híbridos ante la temperatura.

7.9 RESUMEN

Conclusiones y conceptos importantes

1. No es posible obtener una amplificación en el dominio de ac **sin la aplicación de un nivel de polarización de dc.**
2. Para la mayoría de las aplicaciones es posible considerar al amplificador BJT como lineal, lo que permite el empleo del **teorema de superposición** para separar los análisis y diseños de ac y de dc.
3. Un **modelo** es una combinación de elementos de circuito, seleccionados cuidadosamente, que se aproximen de mejor manera al comportamiento de un BJT para un conjunto particular de condiciones de operación.
4. Cuando se presenta un **modelo de ac** para un BJT:
   a. Todas las **fuentes de dc se hacen cero** y se reemplazan por una conexión de corto circuito a tierra.
   b. Todos los **capacitores** se reemplazan por **cortos circuitos equivalentes.**
   c. Todos los elementos **en paralelo con** un corto circuito equivalente insertado, deberán eliminarse de la red.
   d. La red deberá de **redibujarse** lo más frecuente posible.
5. La **impedancia de entrada** de una red de ac **no puede medirse** mediante un óhmetro.
6. La **impedancia de salida** de un amplificador se mide con la **señal aplicada igual a cero** y no puede medirse mediante un óhmetro.
7. Para todos los amplificadores a transistor, la ganancia sin carga **siempre es mayor** que la ganancia con carga.
8. La ganancia de la fuente a la carga **siempre es reducida** por la resistencia interna de la fuente.

9. La **ganancia de corriente** de un amplificador es **muy sensible a** la impedancia de entrada del amplificador y de la carga aplicada.
10. El **modelo r_e** de un transistor es **muy sensible** a la red de polarización de dc del amplificador.
11. **Es posible incluir una impedancia de salida** para el modelo r_e sólo si se obtiene a partir de la hoja de especificaciones o de una medición gráfica de las curvas características.
12. Para la **configuración de base común,** la **impedancia de entrada** es por lo general **muy pequeña** y la **impedancia de salida muy grande**. Además, la **ganancia de voltaje** puede ser **muy grande,** pero la **ganancia de corriente** es siempre muy cercana a 1.
13. Para la **configuración de emisor común,** la **impedancia de entrada,** por lo general, se aproxima a unos **cuantos kilohms** y la **impedancia de salida** es relativamente **grande**. Además, la configuración de emisor común puede tener **una ganancia de voltaje y de corriente relativamente alta.**
14. Los **parámetros** de un modelo equivalente híbrido para un transistor se proporcionan para un **conjunto particular de condiciones de operación de dc**. Sin embargo, se proporcionan cuatro parámetros en lugar de los dos que normalmente se presentan para el modelo r_e. Para algunas aplicaciones, la relación de voltaje de transferencia inverso y la impedancia típica de salida, que normalmente no se encuentran en el modelo r_e, pueden ser muy importantes.
15. El **factor de amplificación** (beta β o h_{fe}) es el menos sensible ante cambios en la **corriente del colector**, mientras que el parámetro de la **impedancia de salida** es el más sensible. La impedancia de salida también es muy sensible ante cambios en V_{CE}, mientras que el factor de **amplificación** es el **menos sensible**. Sin embargo, la **impedancia de salida** es la **menos sensible** ante cambios en la **temperatura,** mientras que el factor de amplificación es un tanto sensible.

Ecuaciones

$$r_e = \frac{26\text{ mV}}{I_E}$$

Base común:

$$Z_i = r_e$$

$$A_v \cong \frac{R_L}{r_e}$$

$$A_i \cong -1$$

Emisor común:

$$Z_i \cong \beta r_e$$

$$A_v = -\frac{R_L}{r_e}$$

$$A_i = \beta$$

Híbrido:

$$h_{ie} = \beta r_e$$

$$h_{fe} = \beta_{ac}$$

$$h_{ib} = r_e$$

$$h_{fb} = -\alpha \cong -1$$

§ 7.2 Amplificación en el dominio de ac

1. (a) ¿Cuál es la amplificación esperada para el amplificador a transistor BJT si la fuente de alimentación de dc es de cero volts?
(b) ¿Qué le sucederá a la señal de entrada de ac si el nivel de dc es insuficiente? Dibuje el efecto sobre la forma de onda.
(c) ¿Cuál es la eficiencia de conversión de un amplificador en el que el valor efectivo de la corriente a través de una carga de 2.2 kΩ es de 5 mA y el consumo de corriente para un fuente de dc de 18 V es de 3.8 mA?

2. ¿Se le ocurre alguna analogía que pudiera explicar la importancia del nivel de dc sobre la ganancia de ac resultante?

§ 7.3 Modelaje de transistores bipolares

3. ¿Cuál es la reactancia de un capacitor de 10 μF a una frecuencia de 1 kHz? Para redes en las que los niveles de los resistores se encuentran por lo general en rango de los kilohms, ¿es un supuesto adecuado emplear la equivalencia de corto circuito de señal para las condiciones recién descritas?, ¿y a los 100 kHz?

4. Dada la configuración de base común de la figura 7.48, dibuje el equivalente de ac mediante la notación para el modelo del transistor que aparece en la figura 7.5.

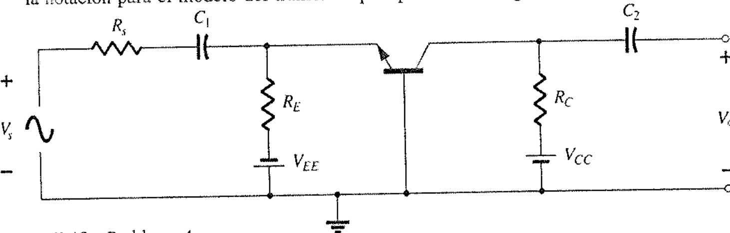


Figura 7.48 Problema 4.

5. (a) Describa las diferencias entre los modelos equivalentes r_e e híbrido para un transistor BJT.
(b) Para cada modelo, enumere las condiciones bajo las cuales deberá aplicarse.

§ 7.4 Los parámetros importantes: Z_i, Z_o, A_v y A_i

6. (a) Para la configuración de la figura 7.7, determine Z_i si V_s = 40 mV, R_{sensor} = 0.5 kΩ e I_i = 20 μA.
(b) Mediante los resultados del inciso (*a*), determine V_i si la fuente aplicada se cambia a 12 mV con una resistencia interna de 0.4 kΩ.

7. (a) Para la configuración de la figura 7.10, determine Z_i si V = 600 mV, R_{sensor} = 10 kΩ e I_o = 10 μA.
(b) Mediante la Z_o obtenida en el inciso (*a*), determine I_L para la configuración de la figura 7.11 si R_L = 2.2 kΩ e $I_{amplificador}$ = 6 mA.

8. Dada la configuración de BJT de la figura 7.49, determine:
(a) V_i.
(b) Z_i.
(c) $A_{v_{NL}}$.
(d) A_{v_s}.

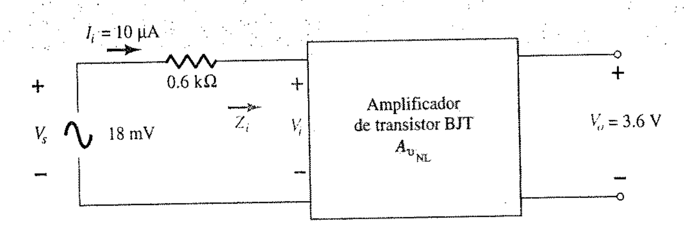


Figura 7.49 Problema 8.

9. Para el amplificador a BJT de la figura 7.50, determine:
   (a) I_i.
   (b) Z_i.
   (c) V_o.
   (d) I_o.
   (e) A_i mediante los resultados de los incisos (*a*) y (*d*).
   (f) A_i mediante la ecuación 7.10.

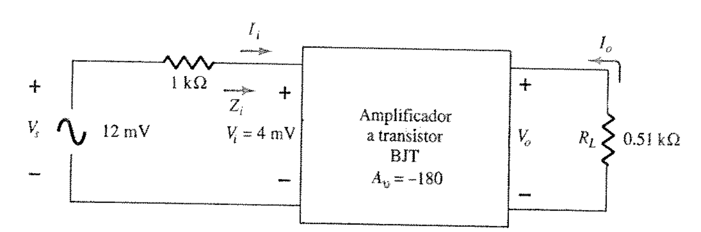


Figura 7.50 Problema 9.

§ 7.5 El modelo r_e del transistor

10. Para la configuración de base común de la figura 7.17, se aplica una señal de ac de 10 mV, con lo que se provoca una corriente de emisor de 0.5 mA. Si $\alpha = 0.980$, determine:
   (a) Z_i.
   (b) V_o si $R_L = 1.2\ \text{k}\Omega$.
   (c) $A_v = V_o/V_i$.
   (d) Z_o con $r_o = \infty\ \Omega$.
   (e) $A_i = I_o/I_i$.
   (f) I_b.
11. Para la configuración de base común de la figura 7.17, la corriente del emisor es de 3.2 mA y $\alpha = 0.99$. Determine lo siguiente si la señal aplicada es de 48 mV y la carga es de 2.2 kΩ.
   (a) r_e.
   (b) Z_i.
   (c) I_c.
   (d) V_o.
   (e) A_v.
   (f) I_b.
12. Mediante el modelo de la figura 7.27, determine lo siguiente para un amplificador de emisor común si $\beta = 80$, I_E (dc) = 2 mA y $r_o = 40\ \text{k}\Omega$.
   (a) Z_i.
   (b) I_b.
   (c) $A_i = I_o/I_i = I_L/I_b$ si $R_L = 1.2\ \text{k}\Omega$.
   (d) A_v if $R_L = 1.2\ \text{k}\Omega$.
13. La impedancia de entrada de un amplificador de emisor común es de 1.2 kΩ con $\beta = 140$, r_o = 50 kΩ y $R_L = 2.7\ \text{k}\Omega$. Determine:
   (a) r_e.
   (b) I_b si $V_i = 30\ \text{mV}$.
   (c) I_c.
   (d) $A_i = I_o/I_i = I_L/I_b$.
   (e) $A_v = V_o/V_i$.

§ 7.6 Modelo equivalente híbrido

14. Dado I_E(dc) = 1.2 mA, $\beta = 120$ y $r_o = 40\ \text{k}\Omega$, dibuje el:
   (a) Modelo equivalente híbrido de emisor común.
   (b) Modelo equivalente r_e de emisor común.
   (c) Modelo equivalente híbrido de base común.
   (d) Modelo equivalente r_e de base común.

15. Dado $h_{ie} = 2.4\ \text{k}\Omega$, $h_{fe} = 100$, $h_{re} = 4 \times 10^{-4}$ y $h_{oe} = 25\ \mu\text{S}$, dibuje el:
   (a) Modelo equivalente híbrido de emisor común.
   (b) Modelo equivalente r_e de emisor común.
   (c) Modelo equivalente híbrido de base común.
   (d) Modelo equivalente r_e de base común.
16. Redibuje la red de emisor común de la figura 7.3 para la respuesta de ac mediante la sustitución del modelo equivalente híbrido aproximado entre las terminales apropiadas.
17. Redibuje la red de la figura 7.51 para la respuesta de ac con el modelo r_e insertado entre las terminales apropiadas. Incluya r_o.
18. Redibuje la red de la figura 7.52 para la respuesta de ac con el modelo r_e insertado entre las terminales apropiadas. Incluya r_o.

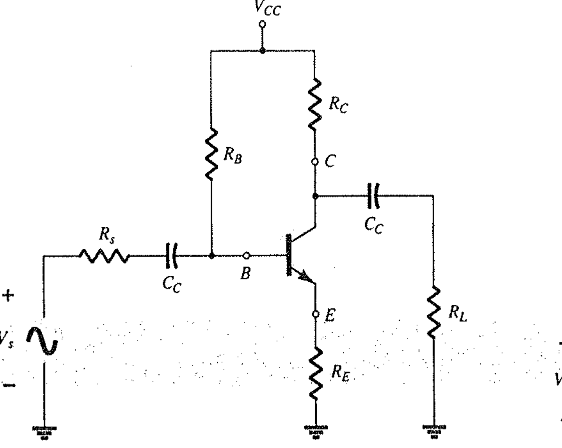


Figura 7.51 Problema 17.

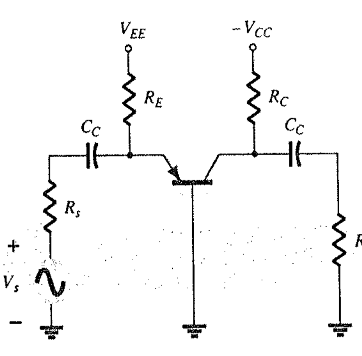


Figura 7.52 Problema 18.

19. Dados los valores típicos $h_{ie} = 1\ \text{k}\Omega$, $h_{re} = 2 \times 10^{-4}$ y $A_v = -160$ para la configuración de entrada de la figura 7.53:
   (a) Determine V_o en términos de V_i.
   (b) Calcule I_b en términos de V_i.
   (c) Calcule I_b si se ignora $h_{re}V_o$.
   (d) Determine la diferencia porcentual en I_b mediante la siguiente ecuación:

$$\text{diferencia \% en } I_b = \frac{I_b(\text{sen } h_{re}) - I_b(\text{con } h_{re})}{I_b(\text{sen } h_{re})} \times 100\%$$

   (e) ¿Es un enfoque válido ignorar los efectos de $h_{re}V_o$ para los valores típicos utilizados en este ejemplo?

Figura 7.53 Problemas 19 y 21.

20. Dados los valores típicos de $R_L = 2.2\ \text{k}\Omega$ y $h_{oe} = 20\ \mu\text{S}$, ¿es una buena aproximación ignorar los efectos de $1/h_{oe}$ sobre la impedancia total de carga? ¿Cuál es la diferencia porcentual en la carga total sobre el transistor mediante la siguiente ecuación?

$$\text{diferencia porcentual en la carga total} = \frac{R_L - R_L \| (1/h_{oe})}{R_L} \times 100\%$$

21. Repita el problema 19 mediante los valores promedios de los parámetros de la figura 7.28 con $A_v = -180$.
22. Repita el problema 20 para $R_L = 3.3\ \text{k}\Omega$ y el valor promedio de h_{oe} en la figura 7.28.

r_e

§ 7.7 Determinación gráfica de los parámetros-h

23. (a) Por medio de las características de la figura 7.40, determine h_{fe} cuando I_C = 6 mA y V_{CE} = 5 V.
(b) Repita el inciso (*a*) cuando I_C = 1 mA y V_{CE} = 15 V.

24. (a) Mediante las características de la figura 7.41, determine h_{oe} cuando I_C = 6 mA y V_{CE} = 5 V.
(b) Repita el inciso (*a*) cuando I_C = 1 mA y V_{CE} = 15 V.

25. (a) Mediante las características de la figura 7.42, determine h_{ie} cuando I_B = 20 μA y V_{CE} = 20 V.
(b) Repita el inciso (*a*) cuando I_B = 5 μA y V_{CE} = 10 V.

26. (a) Mediante las características de la figura 7.43, determine h_{re} cuando I_B = 20 μA.
(b) Repita el inciso (*a*) cuando I_B = 30 μA.

* **27.** Mediante las características de las figuras 7.40 y 7.42, determine el modelo equivalente híbrido aproximado de emisor común cuando I_B = 25 μA y V_{CE} = 12.5 V.

* **28.** Determine el modelo r_e de emisor común cuando I_B = 25 μA y V_{CE} = 12.5 V por medio de las características de las figuras 7.40 y 7.42.

* **29.** Por medio de los resultados de las figura 7.44 dibuje el modelo equivalente r_e para el transistor que cuenta con las características que aparecen en las figuras 7.40 a 7.43. Incluya r_o.

§ 7.8 Variaciones de los parámetros del transistor

Para los problemas 30 al 34 utilice las figuras 7.45 a la 7.47.

30. (a) Mediante la figura 7.45, determine la magnitud del cambio porcentual en h_{fe} para un cambio en I_C de 0.2 mA a 1 mA por medio de la ecuación

$$\text{cambio } \% = \left|\frac{h_{fe}(0.2\text{ mA}) - h_{fe}(1\text{ mA})}{h_{fe}(0.2\text{ mA})}\right| \times 100\%$$

(b) Repita el inciso (*a*) para un cambio en I_C de 1 mA a 5 mA.

31. Repita el problema 30 para h_{ie} (mismos cambios de I_C).

32. (a) Si h_{oe} = 20 μS cuando I_C = 1 mA en la figura 7.45, ¿cuál es el valor aproximado de h_{oe} cuando I_C = 0.2 mA?
(b) Determine su valor resistivo en 0.2 mA y compare con una carga resistiva de 6.8 kΩ. ¿Es una buena aproximación ignorar los efectos de $1/h_{oe}$ en este caso?

33. (a) Si h_{oe} = 20 μS cuando I_C = 1 mA en la figura 7.45, ¿cuál es el valor aproximado de h_{oe} cuando I_C = 10 mA?
(b) Determine su valor resistivo en 10 mA y compare con una carga resistiva de 6.8 kΩ. ¿Es una buena aproximación ignorar los efectos de $1/h_{oe}$ en este caso?

34. (a) Si $h_{re} = 2 \times 10^{-4}$ cuando I_C = 1 mA en la figura 7.45, determine el valor aproximado de h_{re} en 0.1 mA.
(b) Mediante el valor de h_{re} determinado en el inciso (*a*), ¿puede ignorarse h_{re} como una buena aproximación si A_v = 210?

* **35.** (a) Estudiando las características de la figura 7.45, ¿qué parámetro fue el que menos cambió para el rango completo de corriente del colector?
(b) ¿Cuál fue el que más cambió?
(c) ¿Cuáles son los valores máximos y mínimos de $1/h_{oe}$? La aproximación $1/h_{oe} \parallel R_L \cong R_L$ ¿es más apropiada para niveles altos o bajos de la corriente del colector?
(d) ¿En qué región del espectro la aproximación $h_{re}V_{ce} \cong 0$ es más apropiada?

36. (a) Al estudiar las características de la figura 7.47, ¿qué parámetro fue el que cambió más ante el incremento de temperatura?
(b) ¿Cuál fue el que menos cambió?
(c) ¿Cuáles son los valores máximos y mínimos de h_{fe}? ¿Es importante el cambio en magnitud?
(d) ¿Cómo varía r_e ante incrementos en la temperatura? Solamente calcule su nivel en tres o cuatro puntos y compare sus magnitudes.
(e) ¿En qué rango de temperatura los parámetros cambian menos?

*Observe: Los asteriscos indican problemas con mayor dificultad.

CAPÍTULO 8

Análisis a pequeña señal del transistor bipolar

8.1 INTRODUCCIÓN

Los modelos de transistor presentados en el capítulo 7 se utilizarán ahora para efectuar un análisis de ac a pequeña señal para una variedad de configuraciones estándar de redes de transistores. Las redes que se analizarán son representativas de la mayoría de las utilizadas en la práctica actualmente. Las modificaciones de las configuraciones estándar serán relativamente fáciles de analizar una vez que el contenido de este capítulo sea revisado y comprendido.

Debido a que el modelo r_e es sensible al punto de operación actual, éste será nuestro modelo primario para el análisis que se realizará. Sin embargo, para cada configuración se analizará el efecto que sobre la impedancia de salida tiene el parámetro h_{oe} del modelo equivalente híbrido. Para demostrar las similitudes en el análisis que existen entre los modelos, se destina una sección al análisis a pequeña señal de redes BJT únicamente mediante el modelo híbrido equivalente. En el análisis de este capítulo, no se incluye una resistencia de carga R_L o resistencia fuente R_S. El efecto de ambos parámetros se reserva para el enfoque de sistemas en el capítulo 10.

La sección de análisis por computadora incluye una breve descripción del modelo de transistor empleado en los paquetes de software PSpice y Electronics Workbench, el cual demuestra el rango y la profundidad de los sistemas de análisis por computadora disponibles actualmente y la facilidad con la que es posible capturar una red compleja e imprimir los resultados deseados.

8.2 CONFIGURACIÓN DE POLARIZACIÓN FIJA CON EMISOR COMÚN

La primera configuración que será analizada a detalle es la red de *polarización fija* para el amplificador de emisor común de la figura 8.1. Observe que la señal de entrada V_i se aplica a la base del transistor mientras que la salida V_o se toma del colector. Además, se reconoce que la corriente de entrada I_i no es la corriente de base sino la corriente de la fuente, mientras que la corriente de salida I_o es la corriente del colector. El análisis de ac a pequeña señal inicia con la eliminación de los efectos de dc de V_{CC} y el reemplazo de los capacitores de bloqueo C_1 y C_2 por cortos circuitos equivalentes, con lo que se origina la red de la figura 8.2.

Observe en la figura 8.2 que la tierra común de la fuente de alimentación de dc y la terminal del emisor del transistor permiten la reubicación de R_B y R_C en paralelo con las secciones de entrada y de salida, respectivamente, del transistor. Además, observe la colocación de los parámetros importantes de la red Z_i, Z_o, I_i e I_o en la red redibujada. La sustitución del modelo r_e para la configuración de emisor común de la figura 8.2, originará la red de la figura 8.3.

Figura 8.1 Configuración de polarización fija con emisor común.

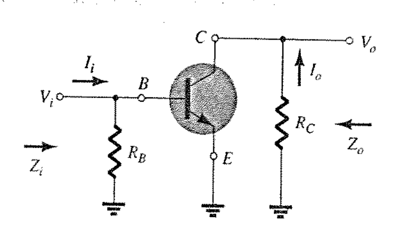


Figura 8.2 Red de la figura 8.1 después de eliminar los efectos de V_{CC}, C_1 y C_2.

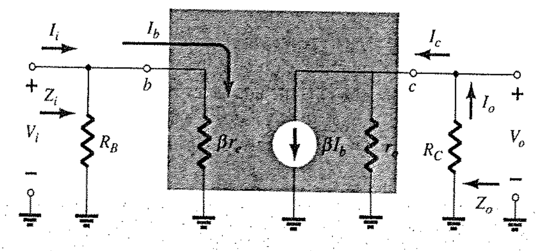


Figura 8.3 Sustitución del modelo de r_e en la red de la figura 8.2.

El siguiente paso es determinar β, r_e y r_o. La magnitud de β se obtiene generalmente de una hoja de especificaciones o a través de una medición directa con un trazador de curvas o con un instrumento de verificación de transistores. El valor de r_e deberá de obtenerse a partir de un análisis en dc del sistema, y la magnitud de r_o generalmente se obtiene mediante la hoja de especificaciones o con las características. Si se asume que β, r_e y r_o ya se han obtenido, se producirán las siguientes ecuaciones para las características de dos puertos importantes del sistema.

Z_i: La figura 8.3 claramente revela que

$$Z_i = R_B \| \beta r_e \quad \text{ohms} \tag{8.1}$$

Para la mayoría de las situaciones R_B es mayor que βr_e en más de 10 veces (recuerde del análisis de los elementos en paralelo que la resistencia total de dos resistores en paralelo es siempre menor que el más pequeño de ellos y muy cercana a éste si uno es mucho mayor que el otro), lo que permite la siguiente aproximación:

$$Z_i \cong \beta r_e \Big|_{R_B \geq 10\beta r_e} \quad \text{ohms} \tag{8.2}$$

Z_o: Recuerde que la impedancia de salida de cualquier sistema se define como la impedancia Z_o determinada cuando $V_i = 0$. Para la figura 8.3, cuando $V_i = 0$, $I_i = I_b = 0$, lo que resulta en un circuito abierto equivalente para la fuente de corriente. El resultado es la configuración de la figura 8.4.

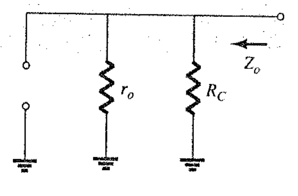


Figura 8.4 Determinación de Z_o para la red de la figura 8.3.

$$Z_o = R_C \| r_o \quad \text{ohms} \tag{8.3}$$

Si $r_o \geq 10R_C$ se aplica frecuentemente la aproximación $R_C \| r_o \cong R_C$ y

$$Z_o \cong R_C \Big|_{r_o \geq 10R_C} \tag{8.4}$$

A_v: Los resistores r_o y R_C se encuentran en paralelo,

y
$$V_o = -\beta I_b (R_C \| r_o)$$

pero
$$I_b = \frac{V_i}{\beta r_e}$$

por lo que
$$V_o = -\beta\left(\frac{V_i}{\beta r_e}\right)(R_C \| r_o)$$

y
$$A_v = \frac{V_o}{V_i} = -\frac{(R_C \| r_o)}{r_e} \tag{8.5}$$

Si $r_o \geq 10R_C$,

$$A_v = -\frac{R_C}{r_e} \Big|_{r_o \geq 10R_C} \tag{8.6}$$

Observe la ausencia explícita de β en las ecuaciones 8.5 y 8.6, a pesar de que reconozcamos que β debe utilizarse para calcular r_e.

A_i: La ganancia de corriente se determina de la siguiente forma: Mediante la aplicación de la regla del divisor de corriente a los circuitos de entrada y de salida.

$$I_o = \frac{(r_o)(\beta I_b)}{r_o + R_C} \quad \text{e} \quad \frac{I_o}{I_b} = \frac{r_o \beta}{r_o + R_C}$$

con
$$I_b = \frac{(R_B)(I_i)}{R_B + \beta r_e} \quad \text{o} \quad \frac{I_b}{I_i} = \frac{R_B}{R_B + \beta r_e}$$

El resultado es

$$A_i = \frac{I_o}{I_i} = \left(\frac{I_o}{I_b}\right)\left(\frac{I_b}{I_i}\right) = \left(\frac{r_o \beta}{r_o + R_C}\right)\left(\frac{R_B}{R_B + \beta r_e}\right)$$

y
$$A_i = \frac{I_o}{I_i} = \frac{\beta R_B r_o}{(r_o + R_C)(R_B + \beta r_e)} \tag{8.7}$$

la cual es ciertamente una expresión difícil de manejar y compleja.

Sin embargo, si $r_o \geq 10R_C$ y $R_B \geq 10\,\beta r_e$, lo cual es generalmente el caso,

$$A_i = \frac{I_o}{I_i} \cong \frac{\beta R_B r_o}{(r_o)(R_B)}$$

y
$$A_i \cong \beta \Big|_{r_o \geq 10R_C,\ R_B \geq 10\beta r_e} \tag{8.8}$$

La complejidad de la ecuación 8.7 sugiere que podríamos regresar a una ecuación como la 7.10, que emplea A_v y Z_i. Es decir,

$$A_i = -A_v \frac{Z_i}{R_C} \tag{8.9}$$

Relación de la fase: El signo negativo en la ecuación resultante para A_v muestra que ocurrió un desplazamiento de fase de 180° entre la señal de entrada y la de salida, como se muestra en la figura 8.5.

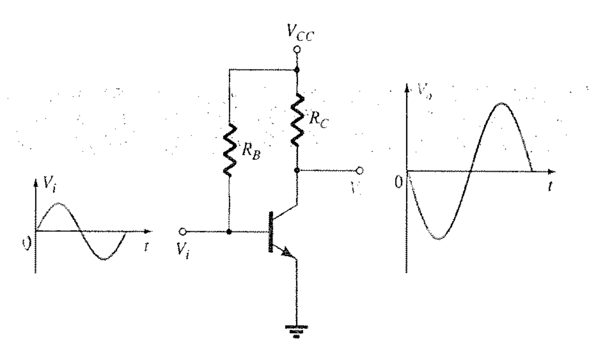
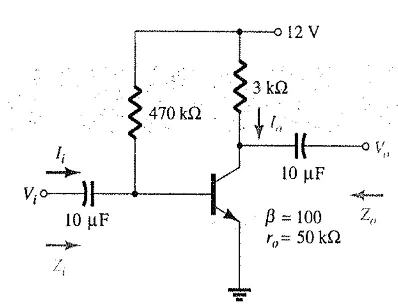


Figura 8.5 Demostración del desplazamiento de fase de 180° entre las formas de onda de entrada y de salida.

EJEMPLO 8.1

Para la red de la figura 8.6:

(a) Determine r_e.
(b) Encuentre Z_i (con $r_o = \infty\ \Omega$).
(c) Calcule Z_o (con $r_o = \infty\ \Omega$).
(d) Determine A_v (con $r_o = \infty\ \Omega$).
(e) Encuentre A_i (con $r_o = \infty\ \Omega$).
(f) Repita los incisos (*c*) al (*e*), incorpore en todos los cálculos $r_o = 50\ \text{k}\Omega$ y compare los resultados.



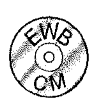


Figura 8.6 Ejemplo 8.1.

Solución

(a) Análisis de dc:

$$I_B = \frac{V_{CC} - V_{BE}}{R_B} = \frac{12\text{ V} - 0.7\text{ V}}{470\text{ k}\Omega} = 24.04\ \mu\text{A}$$

$$I_E = (\beta + 1)I_B = (101)(24.04\ \mu\text{A}) = 2.428\text{ mA}$$

$$r_e = \frac{26\text{ mV}}{I_E} = \frac{26\text{ mV}}{2.428\text{ mA}} = \mathbf{10.71\ \Omega}$$

(b) $\beta r_e = (100)(10.71\ \Omega) = 1.071\text{ k}\Omega$
$Z_i = R_B \| \beta r_e = 470\text{ k}\Omega \| 1.071\text{ k}\Omega = \mathbf{1.069\text{ k}\Omega}$

(c) $Z_o = R_C = \mathbf{3\text{ k}\Omega}$

(d) $A_v = -\dfrac{R_C}{r_e} = -\dfrac{3\text{ k}\Omega}{10.71\ \Omega} = \mathbf{-280.11}$

(e) Dado que $R_B \geq 10\beta r_e (470\text{ k}\Omega > 10.71\text{ k}\Omega)$
$A_i \cong \beta = \mathbf{100}$

(f) $Z_o = r_o \| R_C = 50\text{ k}\Omega \| 3\text{ k}\Omega = \mathbf{2.83\text{ k}\Omega}$ vs. 3 kΩ

$$A_v = -\frac{r_o \| R_C}{r_e} = \frac{2.83\text{ k}\Omega}{10.71\ \Omega} = -264.24 \text{ vs. } -280.11$$

$$A_i = \frac{\beta R_B r_o}{(r_o + R_C)(R_B + \beta r_e)} = \frac{(100)(470\text{ k}\Omega)(50\text{ k}\Omega)}{(50\text{ k}\Omega + 3\text{ k}\Omega)(470\text{ k}\Omega + 1.071\text{ k}\Omega)} = \mathbf{94.13} \text{ vs. } 100$$

Como verificación:

$$A_i = -A_v \frac{Z_i}{R_C} = \frac{-(-264.24)(1.069\text{ k}\Omega)}{3\text{ k}\Omega} = \mathbf{94.16}$$

lo cual difiere ligeramente como consecuencia de la precisión utilizada a través de los cálculos.

8.3 POLARIZACIÓN POR DIVISOR DE VOLTAJE

La siguiente configuración en ser analizada es la red de polarización por *divisor de voltaje* de la figura 8.7. Recuerde que el nombre de la configuración es resultado de la polarización por divisor de voltaje en la parte de la entrada que determina el nivel de dc de V_B.

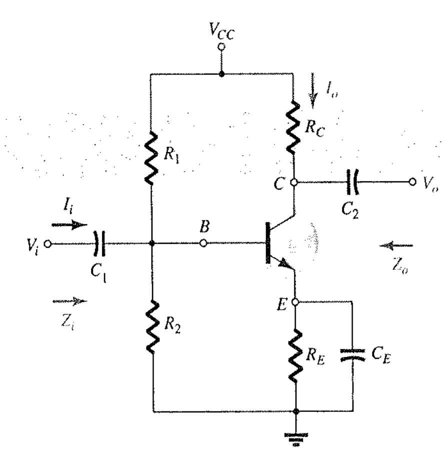


Figura 8.7 Configuración de polarización por divisor de voltaje.

Al sustituir el circuito equivalente r_e se obtendrá la red de la figura 8.8. Note la ausencia de R_E como consecuencia de la baja impedancia del efecto de corto circuito del capacitor de desvío C_E. Es decir, en la frecuencia (o frecuencias) de operación, la reactancia del capacitor es tan pequeña comparada con R_E que se considera como un corto circuito a través de R_E. Cuando V_{CC}

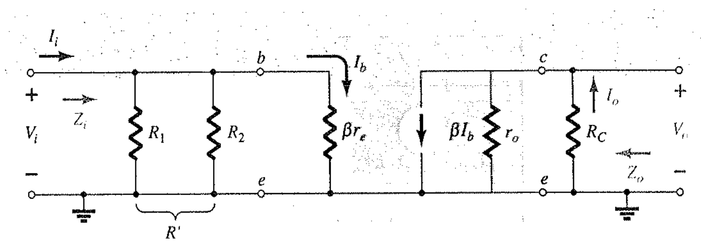


Figura 8.8 Sustitución del circuito equivalente r_e en la red equivalente de ac de la figura 8.7.

se hace igual a cero, se conectan una terminal de R_1 y de R_C al potencial de tierra como se indica en la figura 8.8. Además, observe que R_1 y R_2 permanecen siendo parte del circuito de entrada mientras que R_C es parte del circuito de salida. La combinación en paralelo de R_1 y R_2 está definida por

$$R' = R_1 \| R_2 = \frac{R_1 R_2}{R_1 + R_2} \tag{8.10}$$

Z_i: De la figura 8.8,

$$Z_i = R' \| \beta r_e \tag{8.11}$$

Z_o: De la figura 8.8 con V_i igual a 0 V ocasiona que $I_b = 0\ \mu A$ y $\beta I_b = 0$ mA,

$$Z_o = R_C \| r_o \tag{8.12}$$

Si $r_o \geq 10R_C$,

$$Z_o \cong R_C \Big|_{r_o \geq 10R_C} \tag{8.13}$$

A_v: Dado que R_C y r_o se encuentran en paralelo,

$$V_o = -(\beta I_b)(R_C \| r_o)$$

e

$$I_b = \frac{V_i}{\beta r_e}$$

por lo que

$$V_o = -\beta\left(\frac{V_i}{\beta r_e}\right)(R_C \| r_o)$$

y

$$A_v = \frac{V_o}{V_i} = \frac{-R_C \| r_o}{r_e} \tag{8.14}$$

que como observará, se trata de una réplica exacta de la ecuación obtenida para la configuración de polarización fija.

Para $r_o \geq 10R_C$,

$$A_v = \frac{V_o}{V_i} \cong -\frac{R_C}{r_e} \Big|_{r_o \geq 10R_C} \tag{8.15}$$

A_i: Debido a que la red del figura 8.8 es tan parecida a la que aparece en la figura 8.3 excepto por el hecho de que $R' = R_1 \| R_2 = R_B$, la ecuación para la ganancia de corriente tendrá el mismo formato que la ecuación 8.7. Es decir,

$$A_i = \frac{I_o}{I_i} = \frac{\beta R' r_o}{(r_o + R_C)(R' + \beta r_e)} \tag{8.16}$$

Para $r_o \geq 10R_C$,

$$A_i = \frac{I_o}{I_i} \cong \frac{\beta R' r_o}{r_o(R' + \beta r_e)}$$

y

$$A_i = \frac{I_o}{I_i} \cong \frac{\beta R'}{R' + \beta r_e} \Big|_{r_o \geq 10R_C} \tag{8.17}$$

Y si $R' \geq 10\beta r_e$,

$$A_i = \frac{I_o}{I_i} = \frac{\beta R'}{R'}$$

y

$$A_i = \frac{I_o}{I_i} \cong \beta \Big|_{r_o \geq 10R_C,\ R' \geq 10\beta r_e} \tag{8.18}$$

Como opción,

$$A_i = -A_v \frac{Z_i}{R_C} \tag{8.19}$$

Relación de la fase: El signo negativo de la ecuación 8.14 revela un desplazamiento de 180° en la fase entre V_o y V_i.

EJEMPLO 8.2

Para la red de la figura 8.9, determine:
(a) r_e.
(b) Z_i.
(c) $Z_o\ (r_o = \infty\ \Omega)$.
(d) $A_v\ (r_o = \infty\ \Omega)$.
(e) $A_i\ (r_o = \infty\ \Omega)$.
(f) Los parámetros de los incisos (*b*) al (*e*) si $r_o = 1/h_{oe} = 50\ k\Omega$ y compare los resultados.

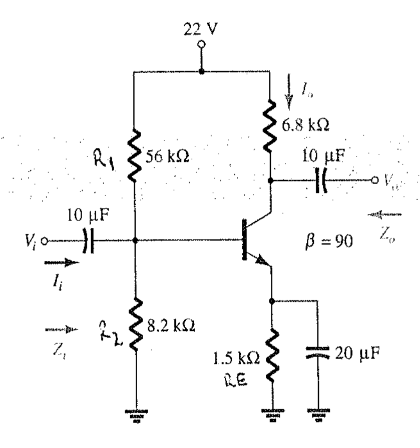


Figura 8.9 Ejemplo 8.2.

Solución

(a) DC: Verificando $\beta R_E > 10R_2$

$$(90)(1.5\ k\Omega) > 10(8.2\ k\Omega)$$
$$135\ k\Omega > 82\ k\Omega\ (\textit{satisfecha})$$

Al utilizar el método aproximado,

$$V_B = \frac{R_2}{R_1 + R_2} V_{CC} = \frac{(8.2\ k\Omega)(22\ V)}{56\ k\Omega + 8.2\ k\Omega} = 2.81\ V$$
$$V_E = V_B - V_{BE} = 2.81\ V - 0.7\ V = 2.11\ V$$
$$I_E = \frac{V_E}{R_E} = \frac{2.11\ V}{1.5\ k\Omega} = 1.41\ mA$$
$$r_e = \frac{26\ mV}{I_E} = \frac{26\ mV}{1.41\ mA} = \mathbf{18.44\ \Omega}$$

(b) $R' = R_1 \| R_2 = (56\text{ k}\Omega)\|(8.2\text{ k}\Omega) = 7.15\text{ k}\Omega$

$Z_i = R' \| \beta r_e = 7.15\text{ k}\Omega \| (90)(18.44\ \Omega) = 7.15\text{ k}\Omega \| 1.66\text{ k}\Omega$

$= \mathbf{1.35\ k\Omega}$

(c) $Z_o = R_C = \mathbf{6.8\ k\Omega}$

(d) $A_v = -\dfrac{R_C}{r_e} = -\dfrac{6.8\text{ k}\Omega}{18.44\ \Omega} = \mathbf{-368.76}$

(e) La condición $R' \geq 10\beta r_e$ ($7.15\text{ k}\Omega \geq 10(1.66\text{ k}\Omega) = 16.6\text{ k}\Omega$ *no* se satisface. Por tanto,

$$A_i \cong \frac{\beta R'}{R' + \beta r_e} = \frac{(90)(7.15\text{ k}\Omega)}{7.15\text{ k}\Omega + 1.66\text{ k}\Omega} = \mathbf{73.04}$$

(f) $Z_i = \mathbf{1.35\ k\Omega}$

$Z_o = R_C \| r_o = 6.8\text{ k}\Omega \| 50\text{ k}\Omega = \mathbf{5.98\ k\Omega}$ contra $6.8\text{ k}\Omega$

$A_v = -\dfrac{R_C \| r_o}{r_e} = -\dfrac{5.98\text{ k}\Omega}{18.44\ \Omega} = \mathbf{-324.3}$ contra -368.76

La condición

$$r_o \geq 10R_C\ (50\text{ k}\Omega \geq 10(6.8\text{ k}\Omega) = 68\text{ k}\Omega)$$

no se satisface. Por tanto,

$$A_i = \frac{\beta R' r_o}{(r_o + R_C)(R' + \beta r_e)} = \frac{(90)(7.15\text{ k}\Omega)(50\text{ k}\Omega)}{(50\text{ k}\Omega + 6.8\text{ k}\Omega)(7.15\text{ k}\Omega + 1.66\text{ k}\Omega)}$$

$$= \mathbf{64.3} \text{ contra } 73.04$$

Existe una diferencia importante en los resultados de Z_o, A_v y A_i debido a que la condición $r_o \geq 10R_C$ *no* se satisfizo.

8.4 CONFIGURACIÓN DE POLARIZACIÓN EN EMISOR PARA EMISOR COMÚN

Las redes que se analizarán en esta sección incorporan un resistor en el emisor que puede o no tener un desvío de ac. Primero, se considerará la situación sin desvío y luego se modificarán las ecuaciones resultantes para la configuración con desvío.

Sin desvío

La configuración sin desvío más importante se presenta en la figura 8.10. El modelo equivalente de r_e se sustituye en la figura 8.11, pero observe la ausencia de la resistencia r_o. El efecto de r_o es hacer que el análisis sea mucho más complicado y si se considera el hecho de que para la mayoría de los casos, su efecto puede ignorarse, éste no se incluirá en el análisis actual. Sin embargo, el efecto de r_o se discutirá más adelante en esta sección.

Al aplicar la ley de voltaje de Kirchhoff a la parte de la entrada de la figura 8.11, obtenemos

$$V_i = I_b \beta r_e + I_e R_E$$

o

$$V_i = I_b \beta r_e + (\beta + 1) I_b R_E$$

y la impedancia de entrada viendo hacia la red a la derecha de R_B es

$$Z_b = \frac{V_i}{I_b} = \beta r_e + (\beta + 1) R_E$$

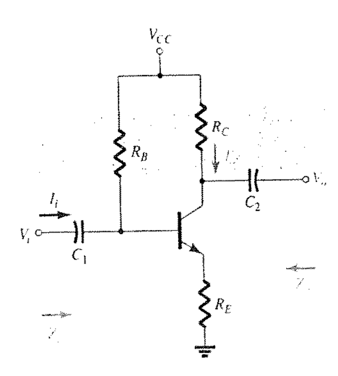


Figura 8.10 Configuración E-C con polarización en emisor.

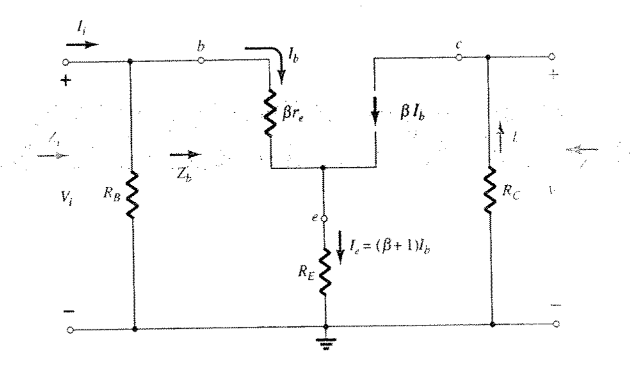


Figura 8.11 Sustitución del circuito equivalente r_e en la red equivalente de ac de la figura 8.10.

El resultado como se muestra en la figura 8.12 revela que la impedancia de entrada de un transistor con un resistor sin desvío R_E está determinada por

$$\boxed{Z_b = \beta r_e + (\beta + 1) R_E} \qquad (8.20)$$

Ya que β normalmente es mucho mayor que 1, la ecuación aproximada es la siguiente:

$$Z_b \cong \beta r_e + \beta R_E$$

y

$$\boxed{Z_b \cong \beta(r_e + R_E)} \qquad (8.21)$$

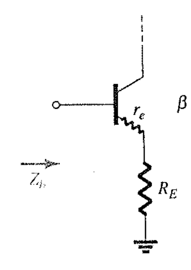


Figura 8.12 Definición de la impedancia de entrada para un transistor con un resistor en emisor sin desvío.

Debido a que R_E por lo general es mucho mayor que r_e, la ecuación 8.21 puede reducirse aún más a

$$\boxed{Z_b \cong \beta R_E} \qquad (8.22)$$

$\mathbf{Z_i}$: Al regresar a la figura 8.11, tenemos

$$\boxed{Z_i = R_B \| Z_b} \qquad (8.23)$$

$\mathbf{Z_o}$: Al hacer V_i cero, $I_b = 0$ y βI_b puede reemplazarse por un circuito abierto equivalente. El resultado es

$$\boxed{Z_o = R_C} \qquad (8.24)$$

$\mathbf{A_v}$:

$$I_b = \frac{V_i}{Z_b}$$

y

$$V_o = -I_o R_C = -\beta I_b R_C$$

$$= -\beta\left(\frac{V_i}{Z_b}\right) R_C$$

con

$$\boxed{A_v = \frac{V_o}{V_i} = -\frac{\beta R_C}{Z_b}} \qquad (8.25)$$

Al sustituir $Z_b = \beta(r_e + R_E)$ obtenemos

$$\boxed{A_v = \frac{V_o}{V_i} = -\frac{R_C}{r_e + R_E}} \qquad (8.26)$$

y para la aproximación $Z_b \cong \beta R_E$,

$$A_v = \frac{V_o}{V_i} \cong -\frac{R_C}{R_E} \tag{8.27}$$

Observe nuevamente la ausencia de β en la ecuación de A_v.

A_i: La magnitud de R_B, por lo general, es muy cercana a Z_b para permitir la aproximación $I_b = I_i$. Al aplicar la regla de divisor de corriente al circuito de entrada se obtiene

$$I_b = \frac{R_B I_i}{R_B + Z_b}$$

e

$$\frac{I_b}{I_i} = \frac{R_B}{R_B + Z_b}$$

Además,

$$I_o = \beta I_b$$

e

$$\frac{I_o}{I_b} = \beta$$

por lo que

$$A_i = \frac{I_o}{I_i} = \frac{I_o}{I_b}\frac{I_b}{I_i}$$

$$= \beta \frac{R_B}{R_B + Z_b}$$

y

$$A_i = \frac{I_o}{I_i} = \frac{\beta R_B}{R_B + Z_b} \tag{8.28}$$

o

$$A_i = -A_v \frac{Z_i}{R_C} \tag{8.29}$$

Relación de la fase: El signo negativo en la ecuación 8.25 nuevamente revela un desplazamiento de 180° entre V_o y V_i.

Efecto de r_o: Las ecuaciones que aparecen a continuación, demostrarán claramente la complejidad adicional que resulta cuando se incorpora el término r_o en el análisis. Sin embargo, observe en cada caso que cuando se cumplen ciertas condiciones, las ecuaciones regresan a la forma recién derivada. La derivación de cada ecuación está más allá de las necesidades de este libro y se deja como ejercicio para el lector. Cada ecuación puede derivarse mediante una *cuidadosa* aplicación de las leyes básicas del análisis de circuitos como las leyes de voltaje y de corriente de Kirchhoff, conversión de fuentes, el teorema de Thévenin, etcétera. Las ecuaciones se incluyeron para eliminar la molesta cuestión acerca del efecto de r_o sobre los parámetros más importantes de una configuración a transistor.

Z_i:

$$Z_b = \beta r_e + \left[\frac{(\beta + 1) + R_C/r_o}{1 + (R_C + R_E)/r_o}\right] R_E \tag{8.30}$$

Debido a que la relación R_c/r_o es siempre mucho menor que $(\beta + 1)$,

$$Z_b \cong \beta r_e + \frac{(\beta + 1)R_E}{1 + (R_C + R_E)/r_o}$$

Para $r_o \geq 10(R_C + R_E)$,

$$Z_b \cong \beta r_e + (\beta + 1)R_E$$

lo cual puede compararse directamente con la ecuación 8.20.

En otras palabras, si $r_o \geq 10(R_C + R_E)$, se obtendrán todas las ecuaciones derivadas anteriormente. Debido a que $\beta + 1 \cong \beta$, la siguiente ecuación resulta excelente para la mayoría de las aplicaciones:

$$Z_b \cong \beta(r_e + R_E) \Big|_{r_o \geq 10(R_C + R_E)} \tag{8.31}$$

Z_o:

$$Z_o = R_C \| \left[r_o + \frac{\beta(r_o + r_e)}{1 + \dfrac{\beta r_e}{R_E}} \right] \tag{8.32}$$

Sin embargo, $r_o \gg r_e$, y

$$Z_o \cong R_C \| r_o \left[1 + \frac{\beta}{1 + \dfrac{\beta r_e}{R_E}} \right]$$

lo cual puede escribirse como

$$Z_o \cong R_C \| r_o \left[1 + \frac{1}{\dfrac{1}{\beta} + \dfrac{r_e}{R_E}} \right]$$

Típicamente $1/\beta$ y r_e/R_E son menores a uno y la suma de ambos también lo es. El resultado es un factor de multiplicación para r_o mayor a uno. Cuando $\beta = 100$, $r_e = 10\ \Omega$, y $R_E = 1\ \text{k}\Omega$:

$$\frac{1}{\dfrac{1}{\beta} + \dfrac{r_e}{R_E}} = \frac{1}{\dfrac{1}{100} + \dfrac{10\ \Omega}{1000\ \Omega}} = \frac{1}{0.02} = 50$$

y

$$Z_o = R_C \| 51 r_o$$

el cual ciertamente es R_c. Por tanto,

$$Z_o = R_C \Big|_{\text{Cualquier nivel de } r_o} \tag{8.33}$$

el cual se obtuvo con anterioridad.

A_v:

$$A_v = \frac{V_o}{V_i} = \frac{-\dfrac{\beta R_C}{Z_b}\left[1 + \dfrac{r_e}{r_o}\right] + \dfrac{R_C}{r_o}}{1 + \dfrac{R_C}{r_o}} \tag{8.34}$$

La relación $\dfrac{r_e}{r_o} \ll 1$

y

$$A_v = \frac{V_o}{V_i} \cong \frac{-\dfrac{\beta R_C}{Z_b} + \dfrac{R_C}{r_o}}{1 + \dfrac{R_C}{r_o}}$$

Para $r_o \geq 10R_C$,

$$A_v = \frac{V_o}{V_i} \cong -\frac{\beta R_C}{Z_b} \Big|_{r_o \geq 10R_C} \tag{8.35}$$

como se obtuvo antes.

A_i: La determinación de A_i será la ecuación

$$A_i = -A_v \frac{Z_i}{R_C} \tag{8.36}$$

al utilizar las ecuaciones anteriores.

Con desvío

Si R_E en la figura 8.10 se encuentra en desvío mediante un capacitor C_E en el emisor, es posible sustituir el modelo equivalente r_e completo, dando por resultado la misma red equivalente de la figura 8.3. Por lo tanto, las ecuaciones 8.1 a 8.9 seguirán siendo aplicables.

EJEMPLO 8.3 Para la red de la figura 8.13, sin C_E (sin desvío), determine:

(a) r_e.
(b) Z_i.
(c) Z_o.
(d) A_v.
(e) A_i.

Figura 8.13 Ejemplo 8.3.

Solución

(a) DC: $I_B = \dfrac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E} = \dfrac{20\text{ V} - 0.7\text{ V}}{470\text{ k}\Omega + (121)0.56\text{ k}\Omega} = 35.89\ \mu\text{A}$

$$I_E = (\beta + 1)I_B = (121)(35.89\ \mu\text{A}) = 4.34\text{ mA}$$

y $$r_e = \frac{26\text{ mV}}{I_E} = \frac{26\text{ mV}}{4.34\text{ mA}} = \mathbf{5.99\ \Omega}$$

(b) Al verificar la condición $r_o \geq 10(R_C + R_E)$,

$$40\text{ k}\Omega \geq 10(2.2\text{ k}\Omega + 0.56\text{ k}\Omega)$$
$$40\text{ k}\Omega \geq 10(2.76\text{ k}\Omega) = 27.6\text{ k}\Omega\ (\textit{se satisface})$$

Por tanto,

$$Z_b \cong \beta(r_e + R_E) = 120(5.99\ \Omega + 560\ \Omega) = 67.92\text{ k}\Omega$$

y $$Z_i = R_B \| Z_b = 470\text{ k}\Omega \| 67.92\text{ k}\Omega = \mathbf{59.34\text{ k}\Omega}$$

(c) $Z_o = R_C = \mathbf{2.2\text{ k}\Omega}$

(d) $r_o \geq 10R_C$ se satisface. Por lo tanto,

$$A_v = \frac{V_o}{V_i} \cong -\frac{\beta R_C}{Z_b} = -\frac{(120)(2.2\text{ k}\Omega)}{67.92\text{ k}\Omega} = \mathbf{-3.89}$$

al comparar con -3.93 y al utilizar la ecuación 8.27: $A_v \cong -R_C/R_E$.

(e) $$A_i = -A_v \frac{Z_i}{R_C} = -(-3.89)\left(\frac{59.34\text{ k}\Omega}{2.2\text{ k}\Omega}\right) = \mathbf{104.92}$$

al comparar con 104.85 y al utilizar la ecuación 8.28: $A_i \cong \beta R_B/(R_B + Z_b)$.

Mathcad

Las ecuaciones extensas resultantes del análisis de la configuración del amplificador de E-C con polarización en emisor demuestran el valor que tiene volverse hábil en el uso correcto del paquete de software Mathcad.

Las prioridades de este libro no permiten una descripción detallada de cada paso del proceso, pero es posible realizar algunos comentarios generales. En primer lugar, todos los parámetros de la red que aparecerán en las ecuaciones deberán definirse como en la figura 8.14. Luego, se capturan las ecuaciones de cada una de las cantidades buscadas, con cuidado de incluir los paréntesis en los lugares adecuados para asegurar que la ecuación resultante sea correcta. En realidad, se muestran más paréntesis de los necesarios, pero esto es con el objetivo de que se asemejaran lo más posible a la forma en que aparecen en el texto. Una vez que cada ecua-

```
VCC := 20    VBE := 0.7    Bf := 120

RB := 470·10^3   RC := 2.2·10^3   RE := 0.56·10^3   ro := 40·10^3

IB := (VCC - VBE) / [RB + (Bf + 1)RE]          IB = 3.589 × 10^-5
IE := (Bf + 1)IB                               IE = 4.343 × 10^-3
re := (26·10^-3) / IE                          re = 5.987          Ex.8.3 re = 5.99ohms

Zb := Bf·re + [ [ (Bf + 1) + RC/ro ] / [ 1 + (RC + RE)/ro ] ]·RE

Zi := (RB·Zb) / (RB + Zb)                      Zi = 5.643 × 10^4   Ex.8.3 Zi = 59.34kilohms

Z := ro + [Bf·(ro + re)] / [ 1 + (Bf·re)/RE ]

Zo := (RC·Z) / (RC + Z)                        Zo = 2.198 × 10^3   Ex.8.3 Zo = 2.2kilohms

Av := -[ (Bf·RC)/Zb · (1 + re/ro) + RC/ro ] / (1 + RC/ro)
                                               Av = -3.955         Ex.8.3 Av = -3.89

Ai := -Av·Zi/RC                                Ai = 101.439        Ex.8.3 Ai = 104.92
```

Figura 8.14 Parámetros y ecuaciones de la red.

ción se ha definido, es posible determinar su valor simplemente con ingresar nuevamente el nombre de la variable seguido de la tecla de igual. Esto se muestra a la derecha de cada ecuación en un nivel por debajo de la definición de la ecuación. Por ejemplo, para la corriente base, una vez que **IB** se ingresa y se presiona la tecla de igual, aparecerá la corriente base de 35.89 μA. Observe, que a medida que avanza, que al determinar una variable, ésta puede emplearse en las ecuaciones siguientes. De hecho, ésta es una secuencia necesaria ya que la línea continua de ecuaciones necesita los números específicos que manejará.

Para cada una de las cantidades calculadas, se añadió un texto de mensaje para permitir una comparación con los resultados del ejemplo 8.3. Existe una correspondencia excelente entre los resultados, si se considera que se emplearon algunas aproximaciones en el ejemplo 8.3. La mayor diferencia se presentó para la impedancia de entrada, que cuenta con una ecuación para **Zb** muy extensa. Esta diferencia se refleja en la ganancia de corriente la cual tiene una diferencia mayor que la obtenida para la impedancia de salida y la ganancia de voltaje.

El verdadero atractivo de haber capturado todas estas ecuaciones de forma adecuada es que es posible almacenar el archivo para volverse a utilizar en cualquier momento. A medida que los parámetros que aparecen en las primeras dos líneas se modifican, todas las cantidades en las líneas subsecuentes volverán a calcularse; no hay necesidad de volver a capturar ninguna de estas ecuaciones, e incluso, con esta secuencia se obtiene el análisis de dc antes de determinar la respuesta de ac.

EJEMPLO 8.4

Repita el análisis del ejemplo 8.3, con C_E en su lugar.

Solución

(a) El análisis de dc es el mismo, y $r_e = 5.99\ \Omega$.

(b) R_E se encuentra "en corto" debido a C_E para el análisis de ac. Por tanto,

$$Z_i = R_B \| Z_b = R_B \| \beta r_e = 470\ \text{k}\Omega \| (120)(5.99\ \Omega)$$
$$= 470\ \text{k}\Omega \| 718.8\ \Omega \cong \mathbf{717.70\ \Omega}$$

(c) $Z_o = R_C = \mathbf{2.2\ k\Omega}$

(d) $$A_v = -\frac{R_C}{r_e}$$
$$= -\frac{2.2\ \text{k}\Omega}{5.99\ \Omega} = \mathbf{-367.28} \quad \text{(un incremento importante)}$$

(e) $$A_i = \frac{\beta R_B}{R_B + Z_b} = \frac{(120)(470\ \text{k}\Omega)}{470\ \text{k}\Omega + 718.8\ \Omega}$$
$$= \mathbf{119.82}$$

EJEMPLO 8.5

Para la red de la figura 8.15, determine (mediante las aproximaciones apropiadas):
(a) r_e.
(b) Z_i.
(c) Z_o.
(d) A_v.
(e) A_i.

Figura 8.15 Ejemplo 8.5.

Solución

(a) Verificando $\beta R_E > 10R_2$

$$(210)(0.68\ \text{k}\Omega) > 10(10\ \text{k}\Omega)$$
$$142.8\ \text{k}\Omega > 100\ \text{k}\Omega\ (\textit{satisfecha})$$
$$V_B = \frac{R_2}{R_1 + R_2} V_{CC} = \frac{10\ \text{k}\Omega}{90\ \text{k}\Omega + 10\ \text{k}\Omega}(16\ \text{V}) = 1.6\ \text{V}$$
$$V_E = V_B - V_{BE} = 1.6\ \text{V} - 0.7\ \text{V} = 0.9\ \text{V}$$
$$I_E = \frac{V_E}{R_E} = \frac{0.9\ \text{V}}{0.68\ \text{k}\Omega} = 1.324\ \text{mA}$$
$$r_e = \frac{26\ \text{mV}}{I_E} = \frac{26\ \text{mV}}{1.324\ \text{mA}} = \mathbf{19.64\ \Omega}$$

(b) El circuito equivalente de ac se proporciona en la figura 8.16. La configuración resultante es ahora diferente de la figura 8.11 sólo por el hecho de que ahora

$$R_B = R' = R_1 \| R_2 = 9\ \text{k}\Omega$$

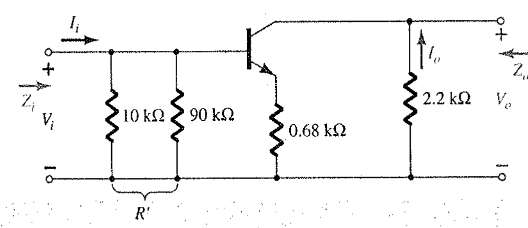


Figura 8.16 El circuito equivalente de ac de la figura 8.15.

Ambas condiciones de verificación: $r_o \geq 10(R_C + R_E)$ y $r_o \geq 10R_C$ se satisfacen. Al utilizar la aproximación adecuada tenemos

$$Z_b \cong \beta R_E = 142.8\ \text{k}\Omega$$
$$Z_i = R_B \| Z_b = 9\ \text{k}\Omega \| 142.8\ \text{k}\Omega$$
$$= \mathbf{8.47\ k\Omega}$$

(c) $Z_o = R_C = \mathbf{2.2\ k\Omega}$

(d) $$A_v = -\frac{R_C}{R_E} = -\frac{2.2\ \text{k}\Omega}{0.68\ \text{k}\Omega} = \mathbf{-3.24}$$

(e) $$A_i = -A_v \frac{Z_i}{R_C} = -(-3.24)\left(\frac{8.47\ \text{k}\Omega}{2.2\ \text{k}\Omega}\right)$$
$$= \mathbf{12.47}$$

EJEMPLO 8.6

Repita el ejemplo 8.5 con C_E en su lugar.

Solución

(a) El análisis de dc es el mismo, $r_e = \mathbf{19.64\ \Omega}$.

(b) $Z_b = \beta r_e = (210)(19.64\ \Omega) \cong 4.12\ \text{k}\Omega$
$$Z_i = R_B \| Z_b = 9\ \text{k}\Omega \| 4.12\ \text{k}\Omega$$
$$= \mathbf{2.83\ k\Omega}$$

(c) $Z_o = R_C = \mathbf{2.2\ k\Omega}$

(d) $A_v = -\frac{R_C}{r_e} = -\frac{2.2\text{ k}\Omega}{19.64\Omega} = \mathbf{-112.02}$ (un incremento importante)

(e) $A_i = -A_v\frac{Z_i}{R_L} = -(-112.02)\left(\frac{2.83\text{ k}\Omega}{2.2\text{ k}\Omega}\right)$
$= \mathbf{144.1}$

En la figura 8.17, aparece otra variación de una configuración de polarización en emisor. Para el análisis de dc, la resistencia del emisor es $R_{E_1} + R_{E_2}$, mientras que para el análisis de ac, el resistor R_E en las ecuaciones anteriores es simplemente R_{E_1} con R_{E_2} en desvío por C_E.

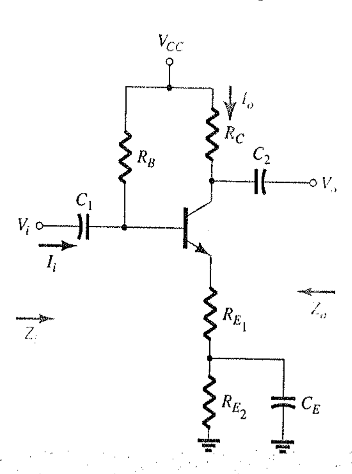


Figura 8.17 Una configuración de polarización en emisor con una parte de la resistencia de la polarización del emisor en desvío en el dominio de ac.

8.5 CONFIGURACIÓN DE EMISOR-SEGUIDOR

Cuando la salida se toma de la terminal del emisor del transistor como se indica en la figura 8.18, a la red se le denomina como *emisor-seguidor*. El voltaje de salida es siempre ligeramente menor que la señal de entrada debido a la caída de voltaje de la base al emisor, sin embargo, la aproximación $A_v \cong 1$ es generalmente apropiada. A diferencia del voltaje del colector, el voltaje del emisor se encuentra en fase con la señal V_i. Es decir, tanto V_o como V_i alcanzarán sus valores pico negativo y positivo al mismo tiempo. El hecho de que V_o "siga" la magnitud de V_i con una relación de misma fase es la causa de la terminología emisor-seguidor.

La configuración emisor-seguidor más común se presenta en la figura 8.18. De hecho, debido a que el colector se encuentra conectado a tierra para el análisis de ac, en realidad se trata de una configuración de *colector común*. Otras variaciones de la figura 8.18 que toman la salida del emisor con $V_o \cong V_i$ aparecerán más adelante en esta sección.

La configuración de emisor-seguidor se utiliza con frecuencia para propósitos de acoplamiento de impedancias, ya que presenta una alta impedancia en la entrada y una baja impedancia en la salida, lo cual se opone de forma directa la configuración estándar de polarización fija. El efecto resultante es prácticamente el mismo que el obtenido mediante un transformador, donde una carga se acopla con la impedancia fuente para una máxima transferencia de potencia a través del sistema.

Al sustituir el circuito equivalente r_e en la red de la figura 8.18 se obtendrá la red de la figura 8.19. El efecto de r_o se revisará más adelante en esta sección.

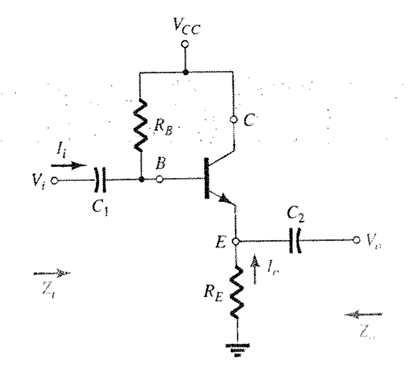


Figura 8.18 Configuración emisor-seguidor.

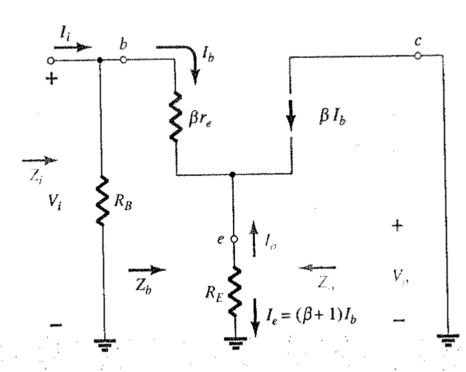


Figura 8.19 Sustitución del circuito equivalente r_e en la red de ac equivalente de la figura 8.18.

Z_i: La impedancia de entrada se determina de la misma forma que la descrita en la sección anterior:

$$Z_i = R_B \| Z_b \quad (8.37)$$

con

$$Z_b = \beta r_e + (\beta + 1)R_E \quad (8.38)$$

o

$$Z_b \cong \beta(r_e + R_E) \quad (8.39)$$

y

$$Z_b \cong \beta R_E \quad (8.40)$$

Z_o: La impedancia de salida se describe mejor si primero se escribe la ecuación de la corriente I_b:

$$I_b = \frac{V_i}{Z_b}$$

y luego al multiplicar por $(\beta + 1)$ para establecer I_e. Es decir,

$$I_e = (\beta + 1)I_b = (\beta + 1)\frac{V_i}{Z_b}$$

Al sustituir Z_b tenemos

$$I_e = \frac{(\beta + 1)V_i}{\beta r_e + (\beta + 1)R_E}$$

o $$I_e = \frac{V_i}{[\beta r_e/(\beta + 1)] + R_E}$$

pero $$(\beta + 1) \cong \beta$$

y $$\frac{\beta r_e}{\beta + 1} \cong \frac{\beta r_e}{\beta} = r_e$$

de manera que $$I_e \cong \frac{V_i}{r_e + R_E} \tag{8.41}$$

Si ahora se construye la red de la ecuación 8.41, se obtendrá la configuración de la figura 8.20. Para determinar Z_o, V_i se hace cero y

$$Z_o = R_E \| r_e \tag{8.42}$$

Figura 8.20 Definición de la impedancia de salida para la configuración de emisor-seguidor.

Dado que R_E típicamente es mucho mayor que r_e, con frecuencia se emplea la siguiente aproximación:

$$Z_o \cong r_e \tag{8.43}$$

A_v**:** La figura 8.20 puede emplearse para determinar la ganancia de voltaje mediante la aplicación de la regla de divisor de voltaje:

$$V_o = \frac{R_E V_i}{R_E + r_e}$$

y $$A_v = \frac{V_o}{V_i} = \frac{R_E}{R_E + r_e} \tag{8.44}$$

Debido a que generalmente R_E es mucho mayor que r_e, $R_E + r_e \cong R_E$ y

$$A_v = \frac{V_o}{V_i} \cong 1 \tag{8.45}$$

A_i**:** De la figura 8.19,

$$I_b = \frac{R_B I_i}{R_B + Z_b}$$

o $$\frac{I_b}{I_i} = \frac{R_B}{R_B + Z_b}$$

e $$I_o = -I_e = -(\beta + 1)I_b$$

o $$\frac{I_o}{I_b} = -(\beta + 1)$$

por lo que $$A_i = \frac{I_o}{I_i} = \frac{I_o}{I_b}\frac{I_b}{I_i} = -(\beta + 1)\frac{R_B}{R_B + Z_b}$$

y debido a que $$(\beta + 1) \cong \beta,$$

$$A_i \cong -\frac{\beta R_B}{R_B + Z_b} \tag{8.46}$$

o $$A_i = -A_v \frac{Z_i}{R_E} \tag{8.47}$$

Relación de la fase: Como se muestra por la ecuación 8.44 y por análisis anteriores en esta sección, V_o y V_i se encuentra en fase para la configuración de emisor-seguidor.

Efecto de r_o:

Z_i**:**

$$Z_b = \beta r_e + \frac{(\beta + 1)R_E}{1 + \frac{R_E}{r_o}} \tag{8.48}$$

Si la condición $r_o \geq 10R_E$ se satisface,

$$Z_b = \beta r_e + (\beta + 1)R_E$$

lo cual corresponde con conclusiones anteriores con

$$Z_b \cong \beta(r_e + R_E)\Big|_{r_o \geq 10R_E} \tag{8.49}$$

Z_o**:**

$$Z_o = r_o \| R_E \| \frac{\beta r_e}{(\beta + 1)} \tag{8.50}$$

Al utilizar $\beta + 1 \cong \beta$,

$$Z_o = r_o \| R_E \| r_e$$

y dado que $r_o \gg r_e$,

$$Z_o \cong R_E \| r_e\Big|_{\text{Cualquier } r_o} \tag{8.51}$$

A_v**:**

$$A_v = \frac{(\beta + 1)R_E/Z_b}{1 + \frac{R_E}{r_o}} \tag{8.52}$$

Si se satisface la condición $r_o \geq 10R_E$ y utilizamos la aproximación $\beta + 1 \cong \beta$,

$$A_v \cong \frac{\beta R_E}{Z_b}$$

Pero $$Z_b \cong \beta(r_e + R_E)$$

por lo que $$A_v \cong \frac{\beta R_E}{\beta(r_e + R_E)}$$

y $$A_v \cong \frac{R_E}{r_e + R_E}\Big|_{r_o \geq 10R_E} \tag{8.53}$$

EJEMPLO 8.7

Para la red de emisor-seguidor de la figura 8.21, determine:
(a) r_e.
(b) Z_i.
(c) Z_o.
(d) A_v.
(e) A_i.
(f) Repita los incisos (b) al (e) con $r_o = 25\ \text{k}\Omega$ y compare los resultados.

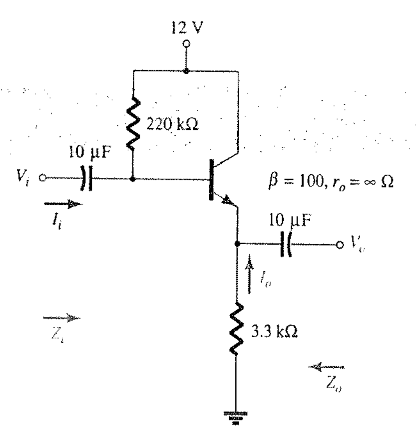


Figura 8.21 Ejemplo 8.7.

Solución

(a) $I_B = \dfrac{V_{CC} - V_{BE}}{R_B + (\beta + 1)R_E}$

$= \dfrac{12\text{ V} - 0.7\text{ V}}{220\text{ k}\Omega + (101)3.3\text{ k}\Omega} = 20.42\ \mu\text{A}$

$I_E = (\beta + 1)I_B$

$= (101)(20.42\ \mu\text{A}) = 2.062\text{ mA}$

$r_e = \dfrac{26\text{ mV}}{I_E} = \dfrac{26\text{ mV}}{2.062\text{ mA}} = \mathbf{12.61\ \Omega}$

(b) $Z_b = \beta r_e + (\beta + 1)R_E$

$= (100)(12.61\ \Omega) + (101)(3.3\text{ k}\Omega)$

$= 1.261\text{ k}\Omega + 333.3\text{ k}\Omega$

$= 334.56\text{ k}\Omega \cong \beta R_E$

$Z_i = R_B \| Z_b = 220\text{ k}\Omega \| 334.56\text{ k}\Omega$

$= \mathbf{132.72\text{ k}\Omega}$

(c) $Z_o = R_E \| r_e = 3.3\text{ k}\Omega \| 12.61\ \Omega$

$= \mathbf{12.56\ \Omega} \cong r_e$

(d) $A_v = \dfrac{V_o}{V_i} = \dfrac{R_E}{R_E + r_e} = \dfrac{3.3\text{ k}\Omega}{3.3\text{ k}\Omega + 12.61\ \Omega}$

$= \mathbf{0.996 \cong 1}$

(e) $A_i \cong -\dfrac{\beta R_B}{R_B + Z_b} = -\dfrac{(100)(220\text{ k}\Omega)}{220\text{ k}\Omega + 334.56\text{ k}\Omega} = \mathbf{-39.67}$

contra

$A_i = -A_v \dfrac{Z_i}{R_E} = -(0.996)\left(\dfrac{132.72\text{ k}\Omega}{3.3\text{ k}\Omega}\right) = \mathbf{-40.06}$

(f) Al verificar la condición $r_o \geq 10R_E$, tenemos

$$25\text{ k}\Omega \geq 10(3.3\text{ k}\Omega) = 33\text{ k}\Omega$$

la cual *no* se satisface. Por tanto,

$$Z_b = \beta r_e + \frac{(\beta + 1)R_E}{1 + \dfrac{R_E}{r_o}} = (100)(12.61\ \Omega) + \frac{(100 + 1)3.3\text{ k}\Omega}{1 + \dfrac{3.3\text{ k}\Omega}{25\text{ k}\Omega}}$$

$= 1.261\text{ k}\Omega + 294.43\text{ k}\Omega$

$= 295.7\text{ k}\Omega$

con $Z_i = R_B \| Z_b = 220\text{ k}\Omega \| 295.7\text{ k}\Omega$

$= \mathbf{126.15\text{ k}\Omega}$ contra $132.72\text{ k}\Omega$ obtenido anteriormente

$Z_o = R_E \| r_e = \mathbf{12.56\ \Omega}$ como se obtuvo anteriormente

$$A_v = \frac{(\beta + 1)R_E/Z_b}{\left[1 + \dfrac{R_E}{r_o}\right]} = \frac{(100 + 1)(3.3\text{ k}\Omega)/295.7\text{ k}\Omega}{\left[1 + \dfrac{3.3\text{ k}\Omega}{25\text{ k}\Omega}\right]}$$

$= \mathbf{0.996} \cong 1$

lo que coincide con el resultado anterior.

Por tanto en general, incluso si la condición $r_o \geq 10R_E$ no se satisfacía, los resultados de Z_o y A_v fueron los mismos, solamente Z_i es ligeramente menor. Los resultados sugieren que para la mayoría de las aplicaciones es posible obtener una buena aproximación de los resultados reales, al simplemente ignorar los efectos de r_o para esta configuración.

La red de la figura 8.22 es una variación de la red de la figura 8.18, la cual emplea una sección de entrada de divisor de voltaje para establecer las condiciones de polarización. Las ecuaciones 8.37 a 8.47 se modifican con sólo reemplazar R_B por $R' = R_1 \| R_2$.

La red de la figura 8.23 también proporciona las características de entrada/salida de un emisor-seguidor pero incluye un resistor de colector R_C. En este caso, nuevamente se reemplaza R_B por la combinación en paralelo de R_1 y R_2. La impedancia de entrada Z_i y la impedancia de salida Z_o no son afectadas por R_C dado que éste no se refleja en las redes equivalentes de base o emisor. De hecho, el único efecto de R_C será al determinar el punto Q de operación.

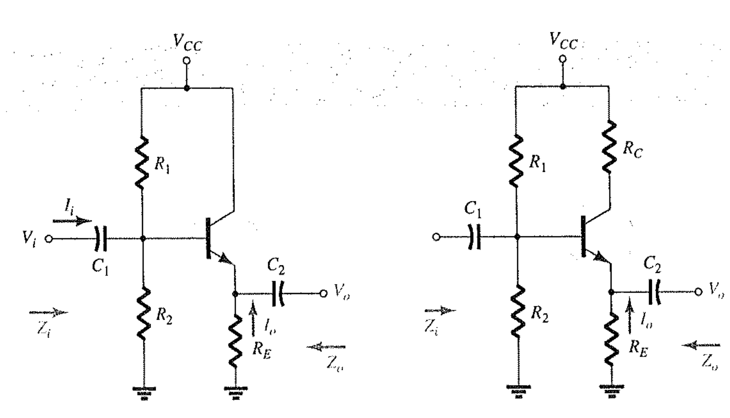


Figura 8.22 Configuración emisor-seguidor con un arreglo de polarización por divisor de voltaje.

Figura 8.23 Configuración emisor-seguidor con un resistor de colector R_C.

8.6 CONFIGURACIÓN DE BASE COMÚN

La configuración de base común se caracteriza por tener una relativa baja impedancia de entrada, una alta impedancia de salida y una ganancia de corriente menor a 1. La ganancia de voltaje, sin embargo, puede ser considerable. La configuración estándar se muestra en la figura 8.24, con el modelo equivalente r_e de base común sustituido en la figura 8.25. La impedancia de salida r_o del transistor no se incluyó para la configuración de base común debido a que típicamente se encuentra en el rango de los megaohms y puede ignorarse cuando se encuentra en paralelo con el resistor R_C.

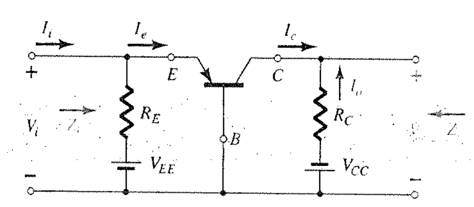


Figura 8.24 Configuración de base común.

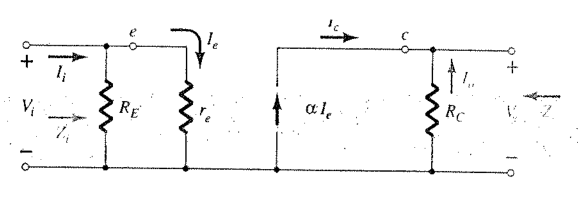


Figura 8.25 Sustitución del circuito equivalente r_e en la red equivalente de ac de la figura 8.24.

Z_i:

$$Z_i = R_E \| r_e \tag{8.54}$$

Z_o:

$$Z_o = R_C \tag{8.55}$$

A_v:

$$V_o = -I_o R_C = -(-I_c)R_C = \alpha I_e R_C$$

con

$$I_e = \frac{V_i}{r_e}$$

por lo que

$$V_o = \alpha\left(\frac{V_i}{r_e}\right)R_C$$

e

$$A_v = \frac{V_o}{V_i} = \frac{\alpha R_C}{r_e} \cong \frac{R_C}{r_e} \tag{8.56}$$

A_i: Al asumir que $R_E \gg r_e$ se obtiene

$$I_e = I_i$$

e

$$I_o = -\alpha I_e = -\alpha I_i$$

con

$$A_i = \frac{I_o}{I_i} = -\alpha \cong -1 \tag{8.57}$$

Relación de la fase: El hecho de que A_v sea un número positivo revela que V_o y V_i se encuentran en fase para la configuración de base común.

Efecto de r_o: Para la configuración de base común, $r_o = 1/h_{ob}$ generalmente se encuentra en el rango de los megaohms y es lo suficientemente grande en comparación con la resistencia en paralelo R_C que permite la aproximación $r_o \| R_C \cong R_C$.

EJEMPLO 8.8

Para la red de la figura 8.26, determine:

(a) r_e.
(b) Z_i.
(c) Z_o.
(d) A_v.
(e) A_i.

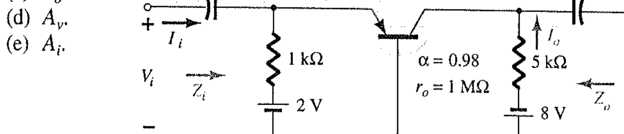


Figura 8.26 Ejemplo 8.8.

Solución

(a) $I_E = \dfrac{V_{EE} - V_{BE}}{R_E} = \dfrac{2\text{ V} - 0.7\text{ V}}{1\text{ k}\Omega} = \dfrac{1.3\text{ V}}{1\text{ k}\Omega} = 1.3\text{ mA}$

$r_e = \dfrac{26\text{ mV}}{I_E} = \dfrac{26\text{ mV}}{1.3\text{ mA}} = \mathbf{20\ \Omega}$

(b) $Z_i = R_E \| r_e = 1\text{ k}\Omega \| 20\ \Omega$
$= \mathbf{19.61\ \Omega} \cong r_e$

(c) $Z_o = R_C = \mathbf{5\ k\Omega}$

(d) $A_v \cong \dfrac{R_C}{r_e} = \dfrac{5\text{ k}\Omega}{20\ \Omega} = \mathbf{250}$

(e) $A_i = \mathbf{-0.98} \cong -1$

8.7 CONFIGURACIÓN DE RETROALIMENTACIÓN EN COLECTOR

La red de retroalimentación en colector del figura 8.27 utiliza una trayectoria de retroalimentación del colector a la base para incrementar la estabilidad del sistema como se discutió en la sección 4.12. Sin embargo, el sencillo movimiento de conectar un resistor de la base al colector en lugar de hacerlo de la base a la fuente dc, ejerce un impacto importante sobre el nivel de dificultad que se presentará al analizar la red.

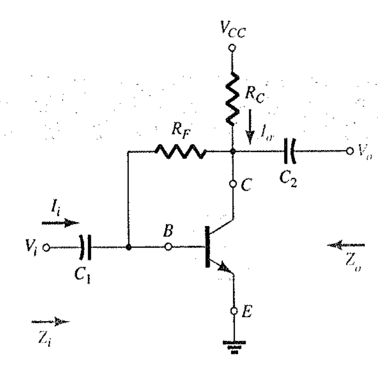


Figura 8.27 Configuración de retroalimentación en colector.

Algunos de los pasos que se efectuarán a continuación son el resultado de la experiencia al trabajar con tales configuraciones. No se espera que un estudiante nuevo del tema elija la secuencia de pasos descrita a continuación sin caer en una o dos equivocaciones. Al sustituir el circuito equivalente y al volver a dibujar la red se obtendrá la configuración de la figura 8.28. Los efectos de una resistencia de salida r_o del transistor se discutirán más adelante en esta sección.

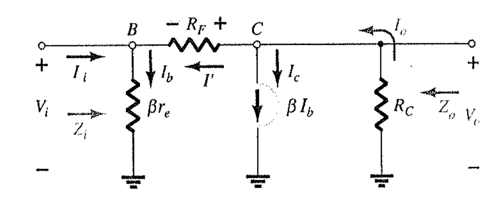


Figura 8.28 Sustitución del circuito equivalente r_e en la red equivalente de ac de la figura 8.27.

Z_i:
$$I' = \frac{V_o - V_i}{R_F}$$
con
$$V_o = -I_o R_C$$
e
$$I_o = \beta I_b + I'$$
Dado que βI_b normalmente es mucho mayor que I',
$$I_o \cong \beta I_b$$
y
$$V_o = -(\beta I_b)R_C = -\beta I_b R_C$$
pero
$$I_b = \frac{V_i}{\beta r_e}$$
y
$$V_o = -\beta\left(\frac{V_i}{\beta r_e}\right)R_C = -\frac{R_C}{r_e}V_i$$
Por tanto,
$$I' = \frac{V_o - V_i}{R_F} = \frac{V_o}{R_F} - \frac{V_i}{R_F} = -\frac{R_C V_i}{r_e R_F} - \frac{V_i}{R_F} = -\frac{1}{R_F}\left[1 + \frac{R_C}{r_e}\right]V_i$$
El resultado es
$$V_i = I_b \beta r_e = (I_i + I')\beta r_e = I_i \beta r_e + I' \beta r_e$$
$$V_i = I_i \beta r_e - \frac{1}{R_F}\left[1 + \frac{R_C}{r_e}\right]\beta r_e V_i$$
o
$$V_i\left[1 + \frac{\beta r_e}{R_F}\left[1 + \frac{R_C}{r_e}\right]\right] = I_i \beta r_e$$
y
$$Z_i = \frac{V_i}{I_i} = \frac{\beta r_e}{1 + \frac{\beta r_e}{R_F}\left[1 + \frac{R_C}{r_e}\right]}$$
pero R_C es por lo general mucho mayor que r_e y $1 + \frac{R_C}{r_e} \cong \frac{R_C}{r_e}$

por lo que
$$Z_i = \frac{\beta r_e}{1 + \frac{\beta R_C}{R_F}}$$
o
$$Z_i = \frac{r_e}{\frac{1}{\beta} + \frac{R_C}{R_F}} \tag{8.58}$$

Z_o: Si hacemos V_i cero como se requiere para definir Z_o, la red se presentará como se muestra en la figura 8.29. El efecto de βr_e se elimina y R_F aparece en paralelo con R_C y
$$Z_o \cong R_C \| R_F \tag{8.59}$$

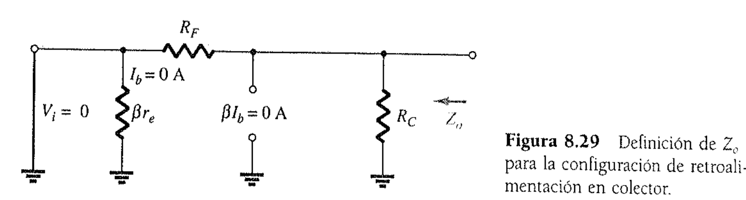


Figura 8.29 Definición de Z_o para la configuración de retroalimentación en colector.

A_v: En el nodo C de la figura 8.28,
$$I_o = \beta I_b + I'$$
Para valores típicos, $\beta I_b >> I'$ e $I_o \cong \beta I_b$.
$$V_o = -I_o R_C = -(\beta I_b)R_C$$
Al sustituir $I_b = V_i/\beta r_e$ obtenemos
$$V_o = -\beta\frac{V_i}{\beta r_e}R_C$$
y
$$A_v = \frac{V_o}{V_i} = -\frac{R_C}{r_e} \tag{8.60}$$

A_i: Al aplicar la ley de voltaje de Kirchhoff alrededor de la malla de la red exterior se tiene
$$V_i + V_{R_F} - V_o = 0$$
e
$$I_b \beta r_e + (I_b - I_i)R_F + I_o R_C = 0$$
Al utilizar $I_o \cong \beta I_b$, se obtiene
$$I_b \beta r_e + I_b R_F - I_i R_F + \beta I_b R_C = 0$$
e
$$I_b(\beta r_e + R_F + \beta R_C) = I_i R_F$$
Al sustituir $I_b = I_o/\beta$ a partir de $I_o \cong \beta I_b$ se obtiene
$$\frac{I_o}{\beta}(\beta r_e + R_F + \beta R_C) = I_i R_F$$
e
$$I_o = \frac{\beta R_F I_i}{\beta r_e + R_F + \beta R_C}$$
Al ignorar βr_e al compararlo con R_F y βR_C se obtiene
$$A_i = \frac{I_o}{I_i} = \frac{\beta R_F}{R_F + \beta R_C} \tag{8.61}$$
Para $\beta R_C >> R_F$,
$$A_i = \frac{I_o}{I_i} = \frac{\beta R_F}{\beta R_C}$$
y
$$A_i = \frac{I_o}{I_i} \cong \frac{R_F}{R_C} \tag{8.62}$$

Relación de la fase: El signo negativo de la ecuación 8.60 indica un desplazamiento de la fase de 180° entre V_o y V_i.

Efecto de r_o:

Z_i: Un análisis completo sin la aplicación de aproximaciones dará por resultado
$$Z_i = \frac{1 + \frac{R_C \| r_o}{R_F}}{\frac{1}{\beta r_e} + \frac{1}{R_F} + \frac{R_C \| r_o}{R_F r_e}} \tag{8.63}$$

Al identificar que $1/R_F \cong 0$ y al aplicar la condición $r_o \geq 10R_C$,

$$Z_i = \frac{1 + \dfrac{R_C}{R_F}}{\dfrac{1}{\beta r_e} + \dfrac{R_C}{R_F r_e}}$$

pero como típicamente $R_C/R_F << 1$ y

$$Z_i = \frac{1}{\dfrac{1}{\beta r_e} + \dfrac{R_C}{R_F r_e}}$$

o

$$\boxed{Z_i = \frac{r_e}{\dfrac{1}{\beta} + \dfrac{R_C}{R_F}}}_{r_o \geq 10R_C} \qquad (8.64)$$

como se obtuvo antes.

Z_o: Al incluir r_o en paralelo con R_C en la figura 8.29 se obtendrá

$$\boxed{Z_o = r_o \| R_C \| R_F} \qquad (8.65)$$

Para $r_o \geq 10R_C$,

$$\boxed{Z_o \cong R_C \| R_F}_{r_o \geq 10R_C} \qquad (8.66)$$

como se obtuvo anteriormente. Para la condición común de $R_F >> R_C$,

$$\boxed{Z_o \cong R_C}_{r_o \geq 10R_C,\ R_F >> R_C} \qquad (8.67)$$

A_v:

$$\boxed{A_v = -\frac{\left[\dfrac{1}{R_F} + \dfrac{1}{r_e}\right](r_o \| R_C)}{1 + \dfrac{r_o \| R_C}{R_F}}} \qquad (8.68)$$

Dado que $R_F \gg r_e$,

$$A_v \cong -\frac{\dfrac{r_o \| R_C}{r_e}}{1 + \dfrac{r_o \| R_C}{R_F}}$$

Para $r_o \geq 10R_C$,

$$\boxed{A_v \cong -\frac{\dfrac{R_C}{r_e}}{1 + \dfrac{R_C}{R_F}}}_{r_o \geq 10R_C} \qquad (8.69)$$

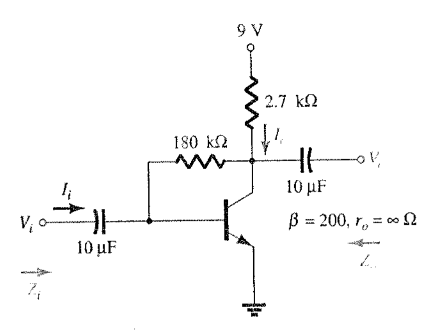
y dado que R_C/R_F por lo general es mucho menor que uno,

$$\boxed{A_v \cong -\frac{R_C}{r_e}}_{r_o \geq 10R_C,\ R_F >> R_C} \qquad (8.70)$$

como se obtuvo con anterioridad.

Para la red de la figura 8.30 determine:

(a) r_e.
(b) Z_i.
(c) Z_o.
(d) A_v.
(e) A_i.
(f) Repita los incisos (*a*) al (*e*) con r_o = 20 kΩ y compare los resultados.



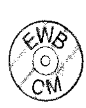


Figura 8.30 Ejemplo 8.9.

Solución

(a) $I_B = \dfrac{V_{CC} - V_{BE}}{R_F + \beta R_C} = \dfrac{9\text{ V} - 0.7\text{ V}}{180\text{ k}\Omega + (200)2.7\text{ k}\Omega}$

$= 11.53\ \mu\text{A}$

$I_E = (\beta + 1)I_B = (201)(11.53\ \mu\text{A}) = 2.32\text{ mA}$

$r_e = \dfrac{26\text{ mV}}{I_E} = \dfrac{26\text{ mV}}{2.32\text{ mA}} = \mathbf{11.21\ \Omega}$

(b) $Z_i = \dfrac{r_e}{\dfrac{1}{\beta} + \dfrac{R_C}{R_F}} = \dfrac{11.21\ \Omega}{\dfrac{1}{200} + \dfrac{2.7\text{ k}\Omega}{180\text{ k}\Omega}} = \dfrac{11.21\ \Omega}{0.005 + 0.015}$

$= \dfrac{11.21\ \Omega}{0.02} = 50(11.21\ \Omega) = \mathbf{560.5\ \Omega}$

(c) $Z_o = R_C \| R_F = 2.7\text{ k}\Omega \| 180\text{ k}\Omega = \mathbf{2.66\text{ k}\Omega}$

(d) $A_v = -\dfrac{R_C}{r_e} = -\dfrac{27\text{ k}\Omega}{11.21\ \Omega} = \mathbf{-240.86}$

(e) $A_i = \dfrac{\beta R_F}{R_F + \beta R_C} = \dfrac{(200)(180\text{ k}\Omega)}{180\text{ k}\Omega + (200)(2.7\text{ k}\Omega)}$

$= \mathbf{50}$

(f) Z_i: La condición $r_o \geq 10R_C$ *no* se satisface. Por tanto,

$$Z_i = \frac{1 + \dfrac{R_C \| r_o}{R_F}}{\dfrac{1}{\beta r_e} + \dfrac{1}{R_F} + \dfrac{R_C \| r_o}{R_F r_e}} = \frac{1 + \dfrac{2.7\text{ k}\Omega \| 20\text{ k}\Omega}{180\text{ k}\Omega}}{\dfrac{1}{(200)(11.21)} + \dfrac{1}{180\text{ k}\Omega} + \dfrac{2.7\text{ k}\Omega \| 20\text{ k}\Omega}{(180\text{ k}\Omega)(11.21\ \Omega)}}$$

$$= \frac{1 + \dfrac{2.38\text{ k}\Omega}{180\text{ k}\Omega}}{0.45 \times 10^{-3} + 0.006 \times 10^{-3} + 1.18 \times 10^{-3}} = \frac{1 + 0.013}{1.64 \times 10^{-3}}$$

$= \mathbf{617.7\ \Omega}$ comparados con 560.5 Ω anteriores.

Z_o:

$$Z_o = r_o \| R_C \| R_F = 20\ \text{k}\Omega \| 2.7\ \text{k}\Omega \| 180\ \text{k}\Omega$$

$= \mathbf{2.35\ k\Omega}$ comparados con 2.66 kΩ anteriores.

A_v:

$$A_v = \frac{-\left[\dfrac{1}{R_F} + \dfrac{1}{r_e}\right](r_o \| R_C)}{1 + \dfrac{r_o \| R_C}{R_F}} = \frac{-\left[\dfrac{1}{180\ \text{k}\Omega} + \dfrac{1}{11.21\ \Omega}\right](2.38\ \text{k}\Omega)}{1 + \dfrac{2.38\ \text{k}\Omega}{180\ \text{k}\Omega}}$$

$$= \frac{-[5.56 \times 10^{-6} - 8.92 \times 10^{-2}](2.38\ \text{k}\Omega)}{1 + 0.013}$$

$= \mathbf{-209.56}$ comparados con -240.86 anteriores.

A_i:

$$A_i = -A_v \frac{Z_i}{R_C}$$

$$= -(-209.56)\frac{617.7\ \Omega}{2.7\ \text{k}\Omega}$$

$= \mathbf{47.94}$ comparados con 50 anteriores.

Para la configuración de la figura 8.31, las ecuaciones 8.71 a 8.74 determinarán las variables de interés. Las derivaciones de estas ecuaciones se manejan como un ejercicio al final del capítulo.

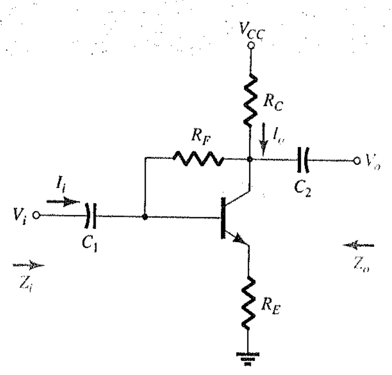


Figura 8.31 Configuración de retroalimentación en colector con un resistor de emisor R_E.

Z_i:

$$Z_i \cong \frac{R_E}{\left[\dfrac{1}{\beta} + \dfrac{(R_E + R_C)}{R_F}\right]} \tag{8.71}$$

Z_o:

$$Z_o \cong R_C \| R_F \tag{8.72}$$

A_v:

$$A_v \cong -\frac{R_C}{R_E} \tag{8.73}$$

A_i:

$$A_i \cong \frac{1}{\dfrac{1}{\beta} + \dfrac{(R_E + R_C)}{R_F}} \tag{8.74}$$

8.8 CONFIGURACIÓN DE RETROALIMENTACIÓN DE DC EN COLECTOR

La red de la figura 8.32 cuenta con un resistor de retroalimentación de dc para mayor estabilidad, sin importar que el capacitor C_3 desplazará partes de la resistencia de retroalimentación hacia las secciones de entrada y salida de la red en el dominio de ac. La parte de R_F desplazada hacia la parte de entrada o de salida estará determinada por los niveles deseados de resistencia ac de entrada y de salida.

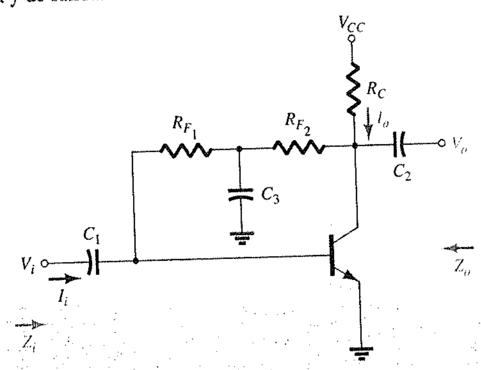


Figura 8.32 Configuración de retroalimentación de dc en colector.

Con la frecuencia o frecuencias de operación, el capacitor será un corto circuito equivalente a tierra gracias a su bajo nivel de impedancia en comparación con los otros elementos de la red. El circuito equivalente de ac de pequeña señal aparecerá entonces como se señala en la figura 8.33.

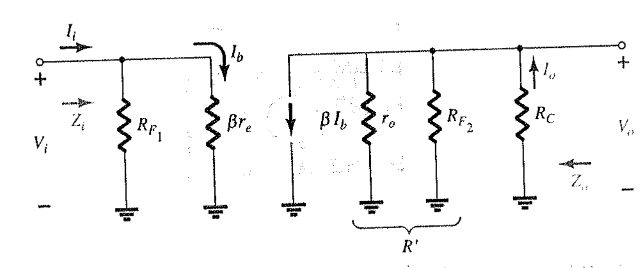


Figura 8.33 Sustitución del circuito equivalente r_e en la red ac equivalente de la figura 8.32.

Z_i:

$$Z_i = R_{F_1} \| \beta r_e \tag{8.75}$$

Z_o:

$$Z_o = R_C \| R_{F_2} \| r_o \tag{8.76}$$

Para $r_o \geq 10R_C$,

$$Z_o \cong R_C \| R_{F_2} \Big|_{r_o \geq 10R_C} \tag{8.77}$$

A_v:

$$R' = r_o \| R_{F_2} \| R_C$$

y

$$V_o = -\beta I_b R'$$

pero

$$I_b = \frac{V_i}{\beta r_e}$$

y

$$V_o = -\beta \frac{V_i}{\beta r_e} R'$$

de tal forma que

$$A_v = \frac{V_o}{V_i} = -\frac{r_o \| R_{F_2} \| R_C}{r_e} \tag{8.78}$$

Para $r_o \geq 10R_C$,

$$A_v = \frac{V_o}{V_i} \cong -\frac{R_{F_2} \| R_C}{r_e} \Big|_{r_o \geq 10R_C} \tag{8.79}$$

A_i: Para la parte de la entrada,

$$I_b = \frac{R_{F_1} I_i}{R_{F_1} + \beta r_e} \quad \text{o} \quad \frac{I_b}{I_i} = \frac{R_{F_1}}{R_{F_1} + \beta r_e}$$

y para el lado de la salida mediante el uso de $R' = r_o \| R_{F_2}$

$$I_o = \frac{R' \beta I_b}{R' + R_C} \quad \text{o} \quad \frac{I_o}{I_b} = \frac{R' \beta}{R' + R_C}$$

La ganancia de corriente,

$$A_i = \frac{I_o}{I_i} = \frac{I_o}{I_b} \cdot \frac{I_b}{I_i}$$

$$= \frac{R' \beta}{R' + R_C} \cdot \frac{R_{F_1}}{R_{F_1} + \beta r_e}$$

y

$$A_i = \frac{I_o}{I_i} = \frac{\beta R_{F_1} R'}{(R_{F_1} + \beta r_e)(R' + R_C)} \Big|_{R' = r_o \| R_{F_2}} \tag{8.80}$$

Debido a que R_{F_1} por lo general es mucho mayor que βr_e, $R_{F_1} + \beta r_e \cong R_{F_1}$

y

$$A_i = \frac{I_o}{I_i} \cong \frac{\beta \cancel{R_{F_1}} (r_o \| R_{F_2})}{\cancel{R_{F_1}} (r_o \| R_{F_2} + R_C)}$$

por lo que

$$A_i = \frac{I_o}{I_i} \cong \frac{\beta}{1 + \dfrac{R_C}{r_o \| R_{F_2}}} \Big|_{R_{F_1} \geq 10\beta r_e} \tag{8.81}$$

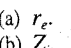
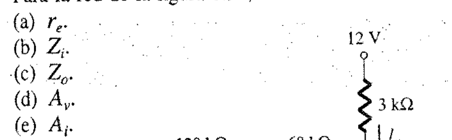
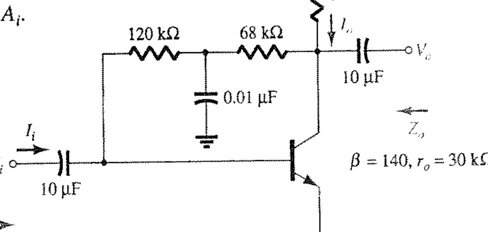
o

$$A_i = \frac{I_o}{I_i} = -A_v \frac{Z_i}{R_C} \tag{8.82}$$

Relación de la fase: El signo negativo en la ecuación 8.78 demuestra claramente que existe un desplazamiento de la fase de 180° entre el voltaje de entrada y el de salida.

EJEMPLO 8.10

Para la red de la figura 8.34, determine:
(a) r_e.
(b) Z_i.
(c) Z_o.
(d) A_v.
(e) A_i.

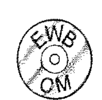


Figura 8.34 Ejemplo 8.10.

Solución

(a) DC: $I_B = \dfrac{V_{CC} - V_{BE}}{R_F + \beta R_C}$

$$= \frac{12\text{ V} - 0.7\text{ V}}{(120\text{ k}\Omega + 68\text{ k}\Omega) + (140)3\text{ k}\Omega}$$

$$= \frac{11.3\text{ V}}{608\text{ k}\Omega} = 18.6\ \mu\text{A}$$

$$I_E = (\beta + 1)I_B = (141)(18.6\ \mu\text{A})$$

$$= 2.62\text{ mA}$$

$$r_e = \frac{26\text{ mV}}{I_E} = \frac{26\text{ mV}}{2.62\text{ mA}} = \mathbf{9.92\ \Omega}$$

(b) $\beta r_e = (140)(9.92\ \Omega) = 1.39\text{ k}\Omega$

La red equivalente de ac, se muestra en la figura 8.35.

$$Z_i = R_{F_1} \| \beta r_e = 120\text{ k}\Omega \| 1.39\text{ k}\Omega$$

$$\cong \mathbf{1.37\ k\Omega}$$

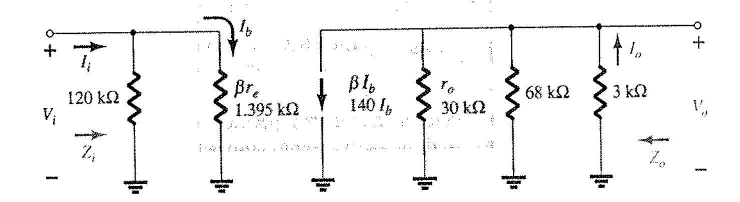


Figura 8.35 Sustitución del circuito equivalente r_e en la red de ac equivalente de la figura 8.34.

(c) Al verificar la condición $r_o \geq 10R_C$, encontramos que

$$30\text{ k}\Omega \geq 10(3\text{ k}\Omega) = 30\text{ k}\Omega$$

la cual se satisface mediante el signo de igual en la condición. Por lo tanto,

$$Z_o \cong R_C \| R_{F_2} = 3\text{ k}\Omega \| 68\text{ k}\Omega$$

$$= \mathbf{2.87\ k\Omega}$$

(d) $r_o \geq 10R_C$, por tanto,

$$A_v \cong -\frac{R_{F_2}\|R_C}{r_e} = -\frac{68\text{ k}\Omega\|3\text{ k}\Omega}{9.92\ \Omega}$$
$$\cong -\frac{2.87\text{ k}\Omega}{9.92\ \Omega}$$
$$\cong \mathbf{-289.3}$$

(e) Debido a que la condición $R_{F_1} >> \beta r_e$ se satisface,

$$A_i \cong \frac{\beta}{1+\frac{R_C}{r_o\|R_{F_2}}} = \frac{140}{1+\frac{3\text{ k}\Omega}{30\text{ k}\Omega\|68\text{ k}\Omega}} = \frac{140}{1+0.14} = \frac{140}{1.14}$$
$$\cong \mathbf{122.8}$$

8.9 CIRCUITO EQUIVALENTE HÍBRIDO APROXIMADO

El análisis que emplea el circuito equivalente híbrido aproximado de la figura 8.36 para la configuración de emisor común y de la figura 8.37 para la configuración de base común, es muy similar al realizado recientemente para el modelo r_e. A pesar de que el tiempo y las prioridades no permiten un análisis detallado de todas las configuraciones discutidas hasta ahora, se incluirá en esta sección una visión breve y general de algunas de las más importantes con el objetivo de demostrar las similitudes en los métodos y las ecuaciones que se obtienen.

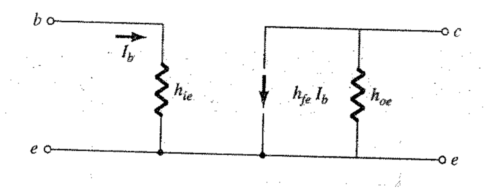


Figura 8.36 Circuito equivalente híbrido aproximado de emisor común.

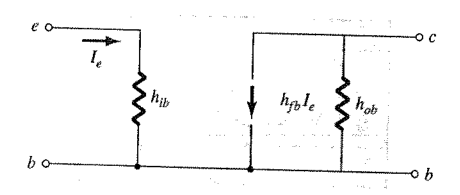


Figura 8.37 Circuito equivalente híbrido aproximado de base común.

Debido a que los distintos parámetros del modelo híbrido se especifican en una hoja de datos o mediante análisis experimental, el análisis de dc asociado con el uso del modelo r_e no forma parte integral del uso de los parámetros híbridos. En otras palabras, cuando el problema así lo requiera, se especificarán los parámetros tales como h_{ie}, h_{fe}, h_{ib}, etcétera. Tenga en mente, sin embargo, que los parámetros híbridos y los componentes del modelo r_e se encuentran relacionados mediante las siguientes ecuaciones, tal como se discutió en el capítulo 7: $h_{ie} = \beta r_e$, $h_{fe} = \beta$, $h_{oe} = 1/r_o$, $h_{fb} = -\alpha$, y $h_{ib} = r_e$ (observe el apéndice B).

Configuración de polarización fija

Para la configuración de polarización fija de la figura 8.38, la red equivalente de ac de pequeña señal se muestra en la figura 8.39 mediante el modelo equivalente híbrido aproximado de emisor común. Compare las similitudes que aparecen en la figura 8.3 y con el análisis del modelo r_e. Las similitudes sugieren que el análisis será muy similar, y que los resultados de uno estarán directamente relacionados con el otro.

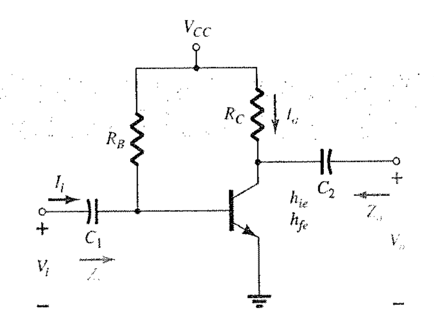


Figura 8.38 Configuración de polarización fija.

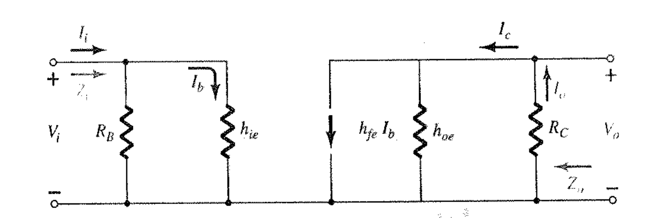


Figura 8.39 Sustitución del circuito híbrido equivalente aproximado en la red de ac equivalente de la figura 8.38.

Z_i**:** A partir de la figura 8.39,

$$\boxed{Z_i = R_B\|h_{ie}} \tag{8.83}$$

Z_o**:** A partir de la figura 8.39,

$$\boxed{Z_o = R_C\|1/h_{oe}} \tag{8.84}$$

A_v**:** Al emplear $R' = 1/h_{oe}\|R_C$,

$$V_o = -I_oR' = -I_CR'$$
$$= -h_{fe}I_bR'$$

e

$$I_b = \frac{V_i}{h_{ie}}$$

con

$$V_o = -h_{fe}\frac{V_i}{h_{ie}}R'$$

por lo que

$$\boxed{A_v = \frac{V_o}{V_i} = -\frac{h_{fe}(R_C\|1/h_{oe})}{h_{ie}}} \tag{8.85}$$

A_i**:** Si se asume que $R_B \gg h_{ie}$ y que $1/h_{oe} \geq 10R_C$, entonces $I_b \cong I_i$ e $I_o = I_c = h_{fe}I_b = h_{fe}I_i$ con

$$\boxed{A_i = \frac{I_o}{I_i} \cong h_{fe}} \tag{8.86}$$

EJEMPLO 8.11 Para la red de la figura 8.40, determine:

(a) Z_i.
(b) Z_o.
(c) A_v.
(d) A_i.

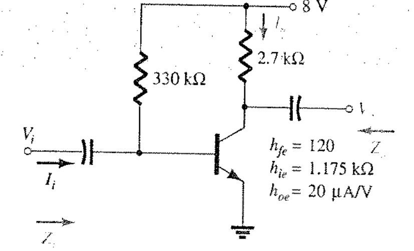


Figura 8.40 Ejemplo 8.11.

Solución

(a) $Z_i = R_B \| h_{ie} = 330\ \text{k}\Omega \| 1.175\ \text{k}\Omega$
$\cong h_{ie} = \mathbf{1.171\ k\Omega}$

(b) $r_o = \dfrac{1}{h_{oe}} = \dfrac{1}{20\ \mu\text{A/V}} = 50\ \text{k}\Omega$

$Z_o = \dfrac{1}{h_{oe}} \| R_C = 50\ \text{k}\Omega \| 2.7\ \text{k}\Omega = \mathbf{2.56\ k\Omega} \cong R_C$

(c) $A_v = -\dfrac{h_{fe}(R_C \| 1/h_{oe})}{h_{ie}} = -\dfrac{(120)(2.7\ \text{k}\Omega \| 50\ \text{k}\Omega)}{1.171\ \text{k}\Omega} = \mathbf{-262.34}$

(d) $A_i \cong h_{fe} = 120$

Configuración por divisor de voltaje

Para la configuración de polarización por divisor de voltaje de la figura 8.41, la red resultante equivalente de ac de pequeña señal tendrá la misma apariencia que la de la figura 8.39, al reemplazar R_B por $R' = R_1 \| R_2$.

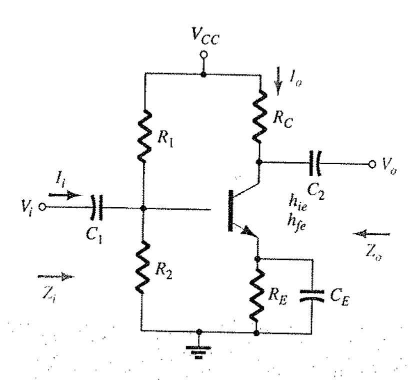


Figura 8.41 Configuración de polarización por divisor de voltaje.

Z_i: A partir de la figura 8.39 con $R_B = R'$,

$$\boxed{Z_i = R' \| h_{ie}} \qquad (8.87)$$

Z_o: A partir de la figura 8.39,

$$\boxed{Z_o \cong R_C} \qquad (8.88)$$

A_v:

$$\boxed{A_v = -\frac{h_{fe}(R_C \| 1/h_{oe})}{h_{ie}}} \qquad (8.89)$$

A_i:

$$\boxed{A_i = -\frac{h_{fe}R'}{R' + h_{ie}}} \qquad (8.90)$$

Configuración de polarización en emisor sin desvío

Para la configuración de polarización en emisor para el amplificador de común sin desvío de la figura 8.42, el modelo de ac de pequeña señal será el mismo que el de la figura 8.11, con βr_e reemplazada por h_{ie} y βI_b por $h_{fe}I_b$. Luego, se procede con el mismo análisis.

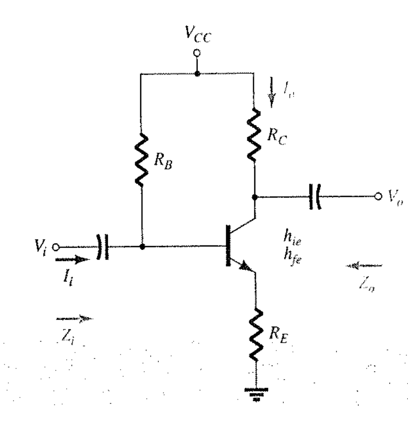


Figura 8.42 Configuración de polarización en emisor para el amplificador de emisor común sin desvío.

Z_i:

$$\boxed{Z_b \cong h_{fe}R_E} \qquad (8.91)$$

y

$$\boxed{Z_i = R_B \| Z_b} \qquad (8.92)$$

Z_o:

$$\boxed{Z_o = R_C} \qquad (8.93)$$

A_v:

$$A_v = -\frac{h_{fe}R_C}{Z_b} \cong -\frac{h_{fe}R_C}{h_{fe}R_E}$$

y

$$\boxed{A_v \cong -\frac{R_C}{R_E}} \qquad (8.94)$$

A_i:

$$\boxed{A_i = \frac{h_{fe}R_B}{R_B + Z_b}} \qquad (8.95)$$

o

$$\boxed{A_i = -A_v\frac{Z_i}{R_C}} \qquad (8.96)$$

Configuración emisor-seguidor

Para el emisor-seguidor de la figura 8.43, el modelo de ac de pequeña señal coincidirá con la figura 8.19 con $\beta r_e = h_{ie}$ y $\beta = h_{fe}$. Las ecuaciones resultantes por tanto serán muy similares.

Z_i:

$$Z_b \cong h_{fe} R_E \tag{8.97}$$

$$Z_i = R_B \| Z_b \tag{8.98}$$

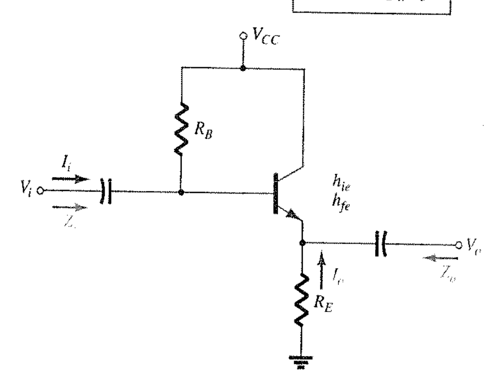


Figura 8.43 Configuración emisor seguidor.

Z_o: Para Z_o, la red de salida definida por las ecuaciones resultantes aparecerá como se muestra en la figura 8.44. Al revisar el desarrollo de las ecuaciones en la sección 8.5 y

$$Z_o = R_E \| \frac{h_{ie}}{1 + h_{fe}}$$

o dado que $1 + h_{fe} \cong h_{fe}$,

$$Z_o \cong R_E \| \frac{h_{ie}}{h_{fe}} \tag{8.99}$$

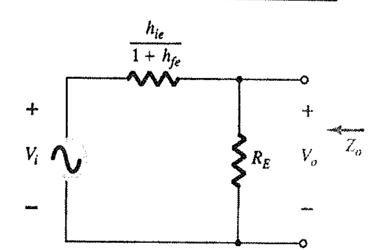


Figura 8.44 Definición de Z_o para la configuración emisor-seguidor.

A_v: Para la ganancia de voltaje, es posible aplicar la regla del divisor de voltaje a la figura 8.44 de la siguiente forma:

$$V_o = \frac{R_E(V_i)}{R_E + h_{ie}/(1 + h_{fe})}$$

pero debido a que $1 + h_{fe} \cong h_{fe}$,

$$A_v = \frac{V_o}{V_i} \cong \frac{R_E}{R_E + h_{ie}/h_{fe}} \tag{8.100}$$

A_i:

$$A_i = \frac{h_{fe} R_B}{R_B + Z_b} \tag{8.101}$$

o

$$A_i = -A_v \frac{Z_i}{R_E} \tag{8.102}$$

Configuración de base común

La última configuración que se revisará con el circuito equivalente híbrido aproximado es el amplificador de base común de la figura 8.45. Al sustituir el modelo equivalente híbrido aproximado de base común se obtendrá la red de la figura 8.46 la cual es muy similar a la figura 8.25.

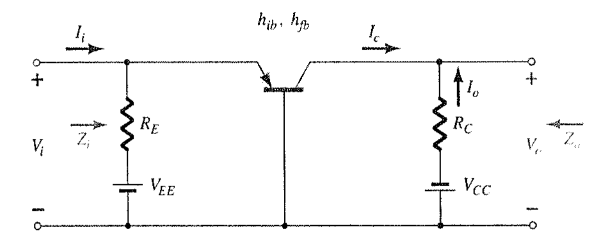


Figura 8.45 Configuración base común.

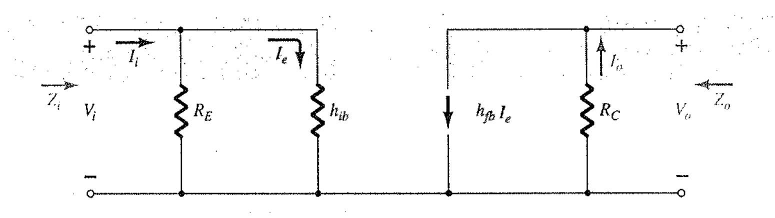


Figura 8.46 Sustitución del circuito equivalente híbrido aproximado en la red equivalente de ac de la figura 8.45.

De la figura 8.46,

Z_i:

$$Z_i = R_E \| h_{ib} \tag{8.103}$$

Z_o:

$$Z_o = R_C \tag{8.104}$$

A_v:

$$V_o = -I_o R_C = -(h_{fb} I_e) R_C$$

con $\quad I_e = \dfrac{V_i}{h_{ib}} \quad$ y $\quad V_o = -h_{fb} \dfrac{V_i}{h_{ib}} R_C$

por lo que

$$A_v = \frac{V_o}{V_i} = -\frac{h_{fb} R_C}{h_{ib}} \tag{8.105}$$

A_i:

$$A_i = \frac{I_o}{I_i} = h_{fb} \cong -1 \qquad (8.106)$$

EJEMPLO 8.12

Para la red de la figura 8.47, determine:
(a) Z_i.
(b) Z_o.
(c) A_v.
(d) A_i.

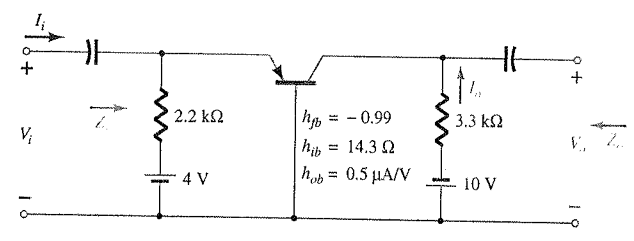


Figura 8.47 Ejemplo 8.12.

Solución

(a) $Z_i = R_E \| h_{ib} = 2.2\text{ k}\Omega \| 14.3\ \Omega = \mathbf{14.21\ \Omega} \cong h_{ib}$

(b) $r_o = \dfrac{1}{h_{ob}} = \dfrac{1}{0.5\ \mu\text{A/V}} = 2\text{ M}\Omega$

$$Z_o = \frac{1}{h_{ob}} \| R_C \cong R_C = \mathbf{3.3\ k\Omega}$$

(c) $A_v = -\dfrac{h_{fb} R_C}{h_{ib}} = -\dfrac{(-0.99)(3.3\text{ k}\Omega)}{14.21} = \mathbf{229.91}$

(d) $A_i \cong h_{fb} = \mathbf{-1}$

Las configuraciones restantes de las secciones 8.1 a la 8.8 que no se analizaron en esta sección, se dejan como un ejercicio en la sección de problemas de este capítulo. Se asume que el análisis anterior muestra con claridad las similitudes en el método utilizando r_e y el modelo equivalente híbrido aproximado, por tanto, se despoja de cualquier dificultad real al análisis de las redes restantes de las secciones anteriores.

8.10 MODELO EQUIVALENTE HÍBRIDO COMPLETO

El análisis de la sección 8.9 se limitó al circuito equivalente híbrido aproximado además de cierto análisis sobre la impedancia de salida. En esta sección, se utilizará el circuito equivalente completo para mostrar el impacto de h_r y para definir en términos más específicos el impacto de h_o. Es importante tener en cuenta que dado que el modelo equivalente híbrido tiene el mismo aspecto para las configuraciones de base común, emisor común y colector común, las ecuaciones que se desarrollarán en esta sección pueden aplicarse a cada una de estas configuraciones. Sólo es necesario insertar los parámetros definidos para cada configuración. Es decir, para una configuración de base común, se utilizan: h_{fb}, h_{ib}, etcétera, mientras que para una configuración de emisor común, se utilizan: h_{fe}, h_{ie}, entre otros. Recuerde que el apéndice B permite la conversión de un conjunto al otro si se proporciona alguno de ellos y se pide el otro.

Considere la configuración general de la figura 8.48, con los dos parámetros de particular interés. El modelo equivalente híbrido completo se sustituye entonces en la figura 8.49 mediante parámetros que no especifican el tipo de configuración. En otras palabras, las soluciones se encontrarán en términos de h_i, h_r, h_f y h_o. A diferencia del análisis de las secciones anteriores de este capítulo, la ganancia de corriente A_i, se determinará primero dado que las ecuaciones desarrolladas serán útiles para la determinación de los otros parámetros.

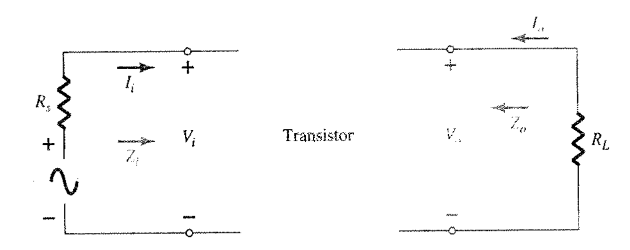


Figura 8.48 Sistema de dos puertos.

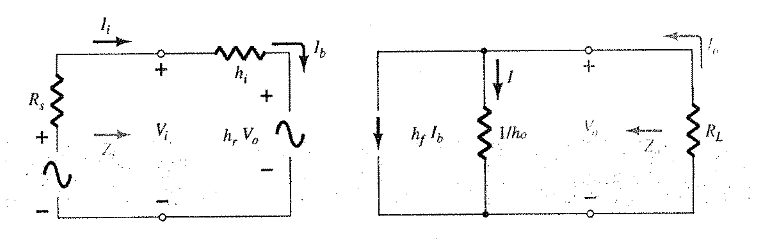


Figura 8.49 Sustitución del circuito equivalente híbrido completo en el sistema de dos puertos de la figura 8.48.

Ganancia de corriente, $A_i = I_o/I_i$

Al aplicar la ley de corriente de Kirchhoff al circuito de salida se obtiene

$$I_o = h_f I_b + I = h_f I_i + \frac{V_o}{1/h_o} = h_f I_i + h_o V_o$$

Al sustituir $V_o = -I_o R_L$ tenemos

$$I_o = h_f I_i - h_o R_L I_o$$

Al reescribir la ecuación anterior, tenemos

$$I_o + h_o R_L I_o = h_f I_i$$

e

$$I_o(1 + h_o R_L) = h_f I_i$$

por lo que

$$A_i = \frac{I_o}{I_i} = \frac{h_f}{1 + h_o R_L} \qquad (8.107)$$

Observe que la ganancia de corriente se reducirá al resultado familiar $A_i = h_f$ si el factor $h_o R_L$ es lo suficientemente pequeño en comparación con 1.

Ganancia de voltaje, $A_v = V_o/V_i$

Al aplicar la ley de voltaje de Kirchhoff al circuito de entrada, se obtiene

$$V_i = I_i h_i + h_r V_o$$

Al sustituir $I_i = (1 + h_o R_L)I_o/h_f$ de la ecuación 8.107 e $I_o = -V_o/R_L$ de los resultados anteriores, obtenemos

$$V_i = \frac{-(1 + h_o R_L)h_i}{h_f R_L} V_o + h_r V_o$$

Al resolver la relación V_o/V_i tenemos

$$A_v = \frac{V_o}{V_i} = \frac{-h_f R_L}{h_i + (h_i h_o - h_f h_r)R_L} \qquad (8.108)$$

En este caso, la forma familiar de $A_v = -h_f R_L/h_i$ aparecerá de nuevo si el factor $(h_i h_o - h_f h_r)R_L$ es lo suficientemente pequeño en comparación con h_i.

Impedancia de entrada, $Z_i = V_i/I_i$

Para el circuito de entrada

$$V_i = h_i I_i + h_r V_o$$

Al sustituir $\qquad V_o = -I_o R_L$

se tiene $\qquad V_i = h_i I_i - h_r R_L I_o$

Dado que $\qquad A_i = \frac{I_o}{I_i}$

$$I_o = A_i I_i$$

de forma que la ecuación anterior se convierte en

$$V_i = h_i I_i - h_r R_L A_i I_i$$

Al resolver la relación V_i/I_i, se obtiene

$$Z_i = \frac{V_i}{I_i} = h_i - h_r R_L A_i$$

y al sustituir

$$A_i = \frac{h_f}{1 + h_o R_L}$$

se obtiene

$$Z_i = \frac{V_i}{I_i} = h_i - \frac{h_f h_r R_L}{1 + h_o R_L} \qquad (8.109)$$

Se podrá obtener la forma familiar de $Z_i = h_i$ si el segundo factor en el denominador $(h_o R_L)$ es suficientemente menor que uno.

Impedancia de salida, $Z_o = V_o/I_o$

La impedancia de salida de un amplificador se define como la relación del voltaje de salida a la corriente de salida con la señal V_s igual a cero. Para el circuito de entrada con $V_s = 0$,

$$I_i = -\frac{h_r V_o}{R_s + h_i}$$

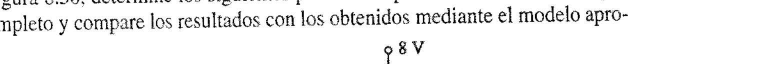
Al sustituir esta relación en la siguiente ecuación obtenida a partir del circuito de salida tenemos

$$I_o = h_f I_i + h_o V_o$$
$$= -\frac{h_f h_r V_o}{R_s + h_i} + h_o V_o$$

y

$$Z_o = \frac{V_o}{I_o} = \frac{1}{h_o - [h_f h_r/(h_i + R_s)]} \qquad (8.110)$$

En este caso, la impedancia de salida se reducirá a la forma familiar de $Z_o = 1/h_o$ para el transistor cuando el segundo factor en el denominador sea lo suficientemente pequeño en comparación con el primero.



EJEMPLO 8.13

Para la red de la figura 8.50, determine los siguientes parámetros por medio del modelo equivalente híbrido completo y compare los resultados con los obtenidos mediante el modelo aproximado.

(a) Z_i y Z_i'.
(b) A_v.
(c) $A_i = I_o/I_i$ y $A_i' = I_o/I_i'$.
(d) Z_o (dentro de R_C) y Z_o' (incluyendo R_C).

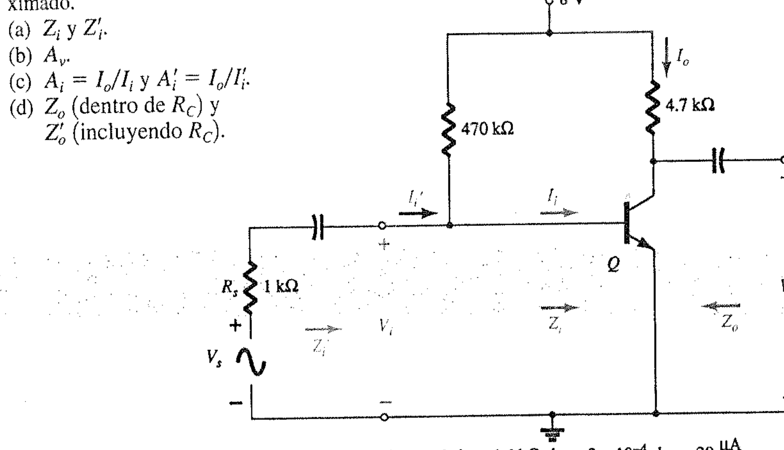


Figura 8.50 Ejemplo 8.13. $\qquad Q$: $h_{fe} = 110$, $h_{ie} = 1.6\ k\Omega$, $h_{re} = 2 \times 10^{-4}$, $h_{oe} = 20\ \frac{\mu A}{V}$

Solución

Ahora que las ecuaciones básicas para cada cantidad han sido ya derivadas, el orden en el que se calculen es arbitrario. Sin embargo, la impedancia de entrada es por lo general una cantidad muy útil de conocer, por lo que ésta será calculada primero. El circuito equivalente híbrido

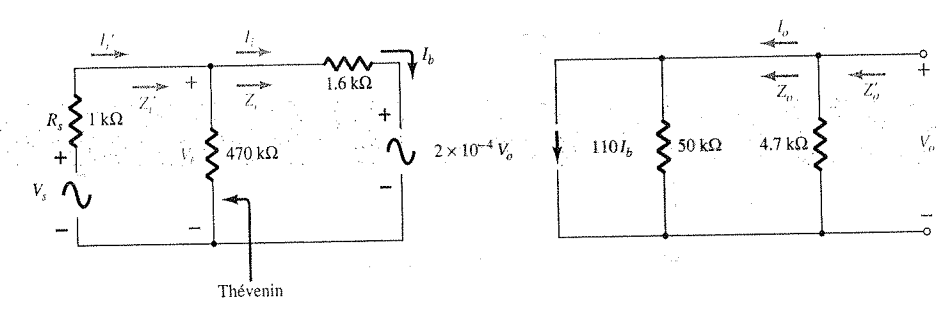


Figura 8.51 Sustitución del circuito equivalente híbrido completo en la red de ac equivalente de la figura 8.50.

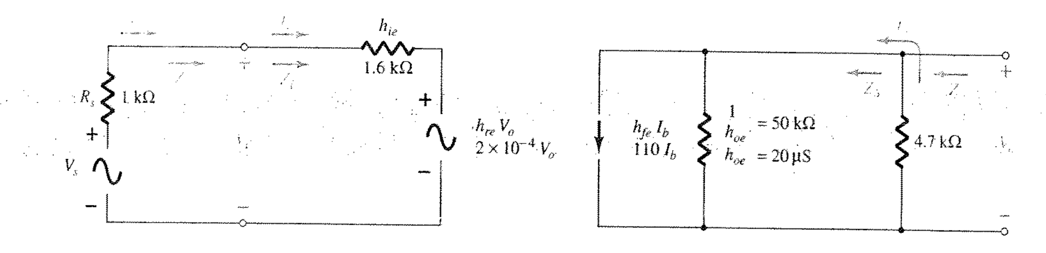


Figura 8.52 Reemplazo de la sección de entrada de la figura 8.51 mediante un circuito equivalente de Thévenin.

completo de emisor común se sustituye y la red redibujada como se muestra en la figura 8.51. El circuito equivalente de Thévenin para la sección de la entrada de la figura 8.51 dará por resultado el equivalente de entrada de la figura 8.52 dado que $E_{Th} \cong V_s$ y $R_{Th} \cong R_s = 1$ kΩ (como resultado de que $R_B = 470$ kΩ sea mucho mayor que $R_s = 1$ kΩ). En este ejemplo, $R_L = R_C$ e I_o se encuentra definida por la corriente a través de R_C al igual que en ejemplos previos de este capítulo. La impedancia de salida Z_o definida mediante la ecuación 8.110 es sólo para las terminales de salida del transistor y no incluye los efectos de R_C. Z'_o simplemente es la combinación en paralelo de Z_o y R_L. La configuración resultante de la figura 8.52, es por lo tanto un duplicado exacto de la red definida en la figura 8.49, y podrán aplicarse las ecuaciones derivadas anteriormente.

(a) Ecuación (8.109):

$$Z_i = \frac{V_i}{I_i} = h_{ie} - \frac{h_{fe}h_{re}R_L}{1 + h_{oe}R_L}$$
$$= 1.6\text{ k}\Omega - \frac{(110)(2 \times 10^{-4})(4.7\text{ k}\Omega)}{1 + (20\,\mu\text{S})(4.7\text{ k}\Omega)}$$
$$= 1.6\text{ k}\Omega - 94.52\,\Omega$$
$$= \mathbf{1.51\text{ k}\Omega}$$

comparado con 1.6 kΩ empleando sólo h_{ie}.

$$Z'_i = 470\text{ k}\Omega \| Z_i \cong Z_i = \mathbf{1.51\text{ k}\Omega}$$

(b) Ecuación (8.108):

$$A_v = \frac{V_o}{V_i} = \frac{-h_{fe}R_L}{h_{ie} + (h_{ie}h_{oe} - h_{fe}h_{re})R_L}$$
$$= \frac{-(110)(4.7\text{ k}\Omega)}{1.6\text{ k}\Omega + [(1.6\text{ k}\Omega)(20\,\mu\text{S}) - (110)(2 \times 10^{-4})]4.7\text{ k}\Omega}$$
$$= \frac{-517 \times 10^3\,\Omega}{1.6\text{ k}\Omega + (0.032 - 0.022)4.7\text{ k}\Omega}$$
$$= \frac{-517 \times 10^3\,\Omega}{1.6\text{ k}\Omega + 47\,\Omega}$$
$$= \mathbf{-313.9}$$

comparado con -323.125 empleando $A_v \cong -h_{fe}R_L/h_{ie}$.

(c) Ecuación (8.107):

$$A_i = \frac{I_o}{I_i} = \frac{h_{fe}}{1 + h_{oe}R_L} = \frac{110}{1 + (20\,\mu\text{S})(4.7\text{ k}\Omega)}$$
$$= \frac{110}{1 + 0.094} = \mathbf{100.55}$$

comparado con 110 empleando sólo h_{fe}. Dado de 470 kΩ >> Z_i, $I'_i \cong I_i$ y $A'_i \cong$ **100.55** también.

(d) Ecuación (8.110):

$$Z_o = \frac{V_o}{I_o} = \frac{1}{h_{oe} - [h_{fe}h_{re}/(h_{ie} + R_s)]}$$
$$= \frac{1}{20\,\mu\text{S} - [(110)(2 \times 10^{-4})/(1.6\text{ k}\Omega + 1\text{ k}\Omega)]}$$
$$= \frac{1}{20\,\mu\text{S} - 8.46\,\mu\text{S}}$$
$$= \frac{1}{11.54\,\mu\text{S}}$$
$$= \mathbf{86.66\text{ k}\Omega}$$

el cual es mayor que el valor determinado a partir de $1/h_{oe} = 50$ kΩ.

$$Z'_o = R_C \| Z_o = 4.7\text{ k}\Omega \| 86.66\text{ k}\Omega = \mathbf{4.46\text{ k}\Omega}$$

comparado con 4.7 kΩ utilizando únicamente R_C.

Observe de los resultados anteriores que las soluciones aproximadas para A_v y Z_i se encontraron muy cercanas a aquéllas calculadas mediante el modelo equivalente completo. De hecho, incluso A_i tuvo un error de menos de 10%. El alto valor de Z_o sólo contribuyó con nuestra conclusión anterior de que por lo general Z_o es tan grande que puede ser ignorada en comparación con la carga aplicada. Sin embargo, tenga en mente que cuando existe la necesidad de determinar el impacto de h_{re} y de h_{oe}, deberá de emplearse el modelo equivalente híbrido completo, de la forma que se describió antes.

La hoja de especificaciones de un transistor particular, por lo general, proporciona los parámetros de emisor común, como se aprecia en la figura 7.28. El siguiente ejemplo utilizará los mismos parámetros del transistor que aparecen en la figura 8.50 en una configuración *pnp* de base común con el objeto de presentar el procedimiento de conversión de parámetros y para enfatizar el hecho de que el modelo equivalente híbrido mantiene la misma disposición.

EJEMPLO 8.14

Para el amplificador de base común de la figura 8.53, determine los siguientes parámetros mediante el modelo equivalente híbrido completo y compare los resultados con los obtenidos al utilizar el modelo aproximado.

(a) Z_i y Z'_i.
(b) A_i y A'_i.
(c) A_v.
(d) Z_o y Z'_o.

$h_{ie} = 1.6$ kΩ $h_{fe} = 110$
$h_{re} = 2 \times 10^{-4}$ $h_{oe} = 20\,\mu$S
R_s 1 kΩ 3 kΩ 6 V 2.2 kΩ 12 V V_s

Figura 8.53 Ejemplo 8.14.

Solución

Los parámetros híbridos de base común se derivan a partir de los parámetros de emisor común mediante las ecuaciones aproximadas del apéndice B:

$$h_{ib} \cong \frac{h_{ie}}{1 + h_{fe}} = \frac{1.6\ \text{k}\Omega}{1 + 110} = \mathbf{14.41\ \Omega}$$

Observe lo cercano que se encuentra la magnitud en comparación con el valor determinado a partir de

$$h_{ib} = r_e = \frac{h_{ie}}{\beta} = \frac{1.6\ \text{k}\Omega}{110} = 14.55\ \Omega$$

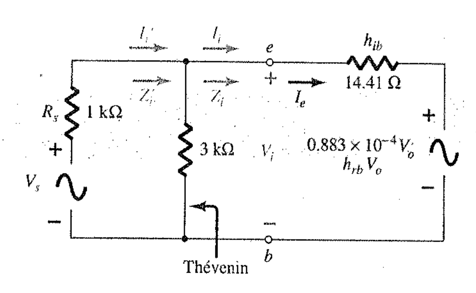
$$h_{rb} \cong \frac{h_{ie}h_{oe}}{1 + h_{fe}} - h_{re} = \frac{(1.6\ \text{k}\Omega)(20\ \mu\text{S})}{1 + 110} - 2 \times 10^{-4}$$

$$= \mathbf{0.883 \times 10^{-4}}$$

$$h_{fb} \cong \frac{-h_{fe}}{1 + h_{fe}} = \frac{-110}{1 + 110} = \mathbf{-0.991}$$

$$h_{ob} \cong \frac{h_{oe}}{1 + h_{fe}} = \frac{20\ \mu\text{S}}{1 + 110} = \mathbf{0.18\ \mu S}$$

Al sustituir el circuito equivalente híbrido de base común en la red de la figura 8.53, entonces se obtendrá la red equivalente de pequeña señal de la figura 8.54. La red de Thévenin para el circuito de entrada dará por resultado $R_{Th} = 3\ \text{k}\Omega \| 1\ \text{k}\Omega = 0.75\ \text{k}\Omega$ para R_s en la ecuación de Z_o.



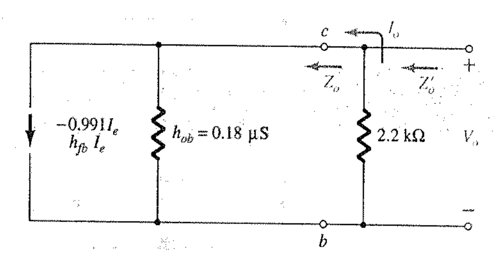


Figura 8.54 Equivalente de pequeña señal para la red de la figura 8.53.

(a) Ecuación (8.109): $Z_i = \frac{V_i}{I_i} = h_{ib} - \frac{h_{fb}h_{rb}R_L}{1 + h_{ob}R_L}$

$$= 14.41\ \Omega - \frac{(-0.991)(0.883 \times 10^{-4})(2.2\ \text{k}\Omega)}{1 + (0.18\ \mu\text{S})(2.2\ \text{k}\Omega)}$$

$$= 14.41\ \Omega + 0.19\ \Omega$$

$$= \mathbf{14.60\ \Omega}$$

comparado con 14.41 Ω al utilizar $Z_i \cong h_{ib}$.

$$Z_i' = 3\ \text{k}\Omega \| Z_i \cong Z_i = \mathbf{14.60\ \Omega}$$

(b) Ecuación (8.107): $A_i = \frac{I_o}{I_i} = \frac{h_{fb}}{1 + h_{ob}R_L}$

$$= \frac{-0.991}{1 + (0.18\ \mu\text{S})(2.2\ \text{k}\Omega)}$$

$$= \mathbf{-0.991} = h_{fb}$$

Dado que $3\ \text{k}\Omega >> Z_i$, $I_i' \cong I_i$ y $A_i' = I_o/I_i' \cong -1$ también.

(c) Ecuación (8.108): $A_v = \frac{V_o}{V_i} = \frac{-h_{fb}R_L}{h_{ib} + (h_{ib}h_{ob} - h_{fb}h_{rb})R_L}$

$$= \frac{-(-0.991)(2.2\ \text{k}\Omega)}{14.41\ \Omega + [(14.41\ \Omega)(0.18\ \mu\text{S}) - (-0.991)(0.883 \times 10^{-4})]2.2\ \text{k}\Omega}$$

$$= \mathbf{149.25}$$

comparado con 151.3 al emplear $A_v \cong -h_{fb}R_L/h_{ib}$.

(d) Ecuación (8.110): $Z_o = \frac{1}{h_{ob} - [h_{fb}h_{rb}/(h_{ib} + R_s)]}$

$$= \frac{1}{0.18\ \mu\text{S} - [(-0.991)(0.883 \times 10^{-4})/(14.41\ \Omega + 0.75\ \text{k}\Omega)]}$$

$$= \frac{1}{0.295\ \mu\text{S}}$$

$$= \mathbf{3.39\ M\Omega}$$

comparado con 5.56 MΩ al utilizar $Z_o \cong 1/h_{ob}$. Para Z_o' definida según la figura 8.54:

$$Z_o' = R_C \| Z_o = 2.2\ \text{k}\Omega \| 3.39\ \text{M}\Omega = \mathbf{2.199\ k\Omega}$$

contra 2.2 kΩ al utilizar $Z_o' \cong R_C$.

8.11 TABLA DE RESUMEN

Una vez que se presentaron las configuraciones más comunes de los amplificadores de transistores a pequeña señal, se presenta la tabla 8.1 para revisar las características generales de cada una con un acceso inmediato. Debe quedar completamente claro que los valores que se listan simplemente son valores típicos con el objeto de establecer una base de comparación. Los niveles que se obtengan en un análisis real con frecuencia serán distintos y con certeza no serán iguales de una configuración a otra. El ser capaz de reproducir la mayor parte de la información de esta tabla es el primer paso para desarrollar una familiaridad general con la materia. Por ejemplo, el lector deberá ser ahora capaz de afirmar con seguridad que la configuración emisor-seguidor por lo general tiene una alta impedancia de entrada, una baja impedancia de salida y una ganancia de voltaje ligeramente menor que 1. No debería existir la necesidad de realizar ciertos cálculos para recordar hechos notables como los anteriores. Para el futuro, esto permitirá el estudio de una red o sistema sin la necesidad de involucrarse en la parte matemática. La función de cada componente de un diseño será cada vez más familiar a medida que hechos generales como los anteriores formen parte de la formación personal.

Una ventaja obvia del hecho de recordar tales hechos generales es la de poder verificar los resultados de un análisis matemático. Si la impedancia de entrada de una configuración de base común se encuentra en el rango de los kilohms, existirán motivos suficientes para volver a revisar el análisis. Sin embargo, por el otro lado, un resultado de 22 Ω sugerirá que el análisis puede ser correcto.

8.12 LOCALIZACIÓN DE FALLAS

A pesar de que la terminología de *localización de fallas* sugiere que los procesos que se describen se diseñan únicamente para aislar una falla, es importante darse cuenta que estas mismas técnicas pueden aplicarse para asegurar que un sistema se encuentra operando correctamente. En todo caso, los procedimientos de prueba, verificación o aislamiento requieren un entendimiento de lo que se espera obtener en distintos puntos de la red tanto en el dominio de ac como en dc. En la mayoría de los casos, una red que opera correctamente en el modo de dc también se comportara de forma correcta en el dominio de ac. Además, una red que proporcione la respuesta de ac esperada tendrá mayor probabilidad de encontrarse polarizada de forma correcta. En una instalación común de laboratorio, tanto la fuente de ac como la de dc se aplican, y se verifica la respuesta de ac en distintos puntos de la red mediante un osciloscopio como se mues-

TABLA 8.1 Niveles relativos de los parámetros importantes de los amplificadores de emisor común, base común y colector común

Configuración	Z_i	Z_o	A_v	A_i
Polarización fija:	Medio (1 kΩ) $= R_B \| \beta r_e$ $\cong \beta r_e$ $(R_B \ge 10\beta r_e)$	Medio (2 kΩ) $= R_C \| r_o$ $\cong R_C$ $(r_o \ge 10R_C)$	Alto (−200) $= -\dfrac{(R_C \| r_o)}{r_e}$ $\cong -\dfrac{R_C}{r_e}$ $(r_o \ge 10R_C)$	Alto (100) $= \dfrac{\beta R_B r_o}{(r_o + R_C)(R_B + \beta r_e)}$ $\cong \beta$ $(r_o \ge 10R_C,$ $R_B \ge 10\beta r_e)$
Polarización por divisor de voltaje:	Medio (1 kΩ) $= R_1 \| R_2 \| \beta r_e$	Medio (2 kΩ) $= R_C \| r_o$ $\cong R_C$ $(r_o \ge 10R_C)$	Alto (−200) $= -\dfrac{R_C \| r_o}{r_e}$ $\cong -\dfrac{R_C}{r_e}$ $(r_o \ge 10R_C)$	Alto (50) $= \dfrac{\beta(R_1 \| R_2) r_o}{(r_o + R_C)(R_1 \| R_2 + \beta r_e)}$ $\cong \dfrac{\beta(R_1 \| R_2)}{R_1 \| R_2 + \beta r_e}$ $(r_o \ge 10R_C)$
Polarización en emisor sin desvío:	Alto (100 kΩ) $= R_B \| Z_b$ $Z_b \cong \beta(r_e + R_E)$ $\cong R_B \| \beta R_E$ $(R_E >> r_e)$	Medio (2 kΩ) $= R_C$ (cualquier nivel de r_o)	Bajo (−5) $= -\dfrac{R_C}{r_e + R_E}$ $\cong -\dfrac{R_C}{R_E}$ $(R_E >> r_e)$	Alto (50) $\cong \dfrac{\beta R_B}{R_B + Z_b}$
Emisor-seguidor:	Alto (100 kΩ) $= R_B \| Z_b$ $Z_b \cong \beta(r_e + R_E)$ $\cong R_B \| \beta R_E$ $(R_E >> r_e)$	Bajo (20Ω) $= R_E \| r_e$ $\cong r_e$ $(R_E >> r_e)$	Bajo (≅1) $= \dfrac{R_E}{R_E + r_e}$ $\cong 1$	Alto (−50) $\cong -\dfrac{\beta R_B}{R_B + Z_b}$
Base común:	Bajo (20Ω) $= R_E \| r_e$ $\cong r_e$ $(R_E >> r_e)$	Medio (2 kΩ) $= R_C$	Alto (200) $\cong \dfrac{R_C}{r_e}$	Bajo (−1) $\cong -1$
Retroalimentación en colector:	Medio (1 kΩ) $= \dfrac{r_e}{\dfrac{1}{\beta} + \dfrac{R_C}{R_F}}$ $(r_o \ge 10R_C)$	Medio (2 kΩ) $\cong R_C \| R_F$ $(r_o \ge 10R_C)$	Alto (−200) $\cong -\dfrac{R_C}{r_e}$ $(r_o \ge 10R_C)$ $(R_F >> R_C)$	Alto (50) $= \dfrac{\beta R_F}{R_F + \beta R_C}$ $\cong \dfrac{R_F}{R_C}$

tra en la figura 8.55. Observe que la terminal negra (tierra) de la punta de prueba del osciloscopio se conecta de forma directa con la tierra y que la terminal positiva (roja) se mueve de un punto a otro de la red, lo que proporciona los patrones que aparecen en la figura 8.55. Los canales verticales se colocan en el modo de ac para eliminar cualquier componente de dc asociado con el voltaje en un punto particular. La pequeña señal de ac aplicada a la base se amplifica hasta el nivel que aparece del colector a tierra. Observe la diferencia en las escalas verticales de los dos voltajes. No existe respuesta de ac en la terminal del emisor como consecuencia de las características de corto circuito del capacitor en la frecuencia aplicada. El hecho de que v_o se mida en volts y que v_i lo haga en milivolts sugiere una ganancia considerable del amplificador. En general, la red parece estar operando correctamente. Si se desea, puede emplearse el modo de dc del multímetro, para verificar V_{BE} y los niveles de V_B, V_{CE} y V_E para asegurarse de que se encuentran en el rango esperado. Desde luego, el osciloscopio puede también utilizarse para comparar los niveles de dc con tan sólo cambiar al modo de dc para cada canal.

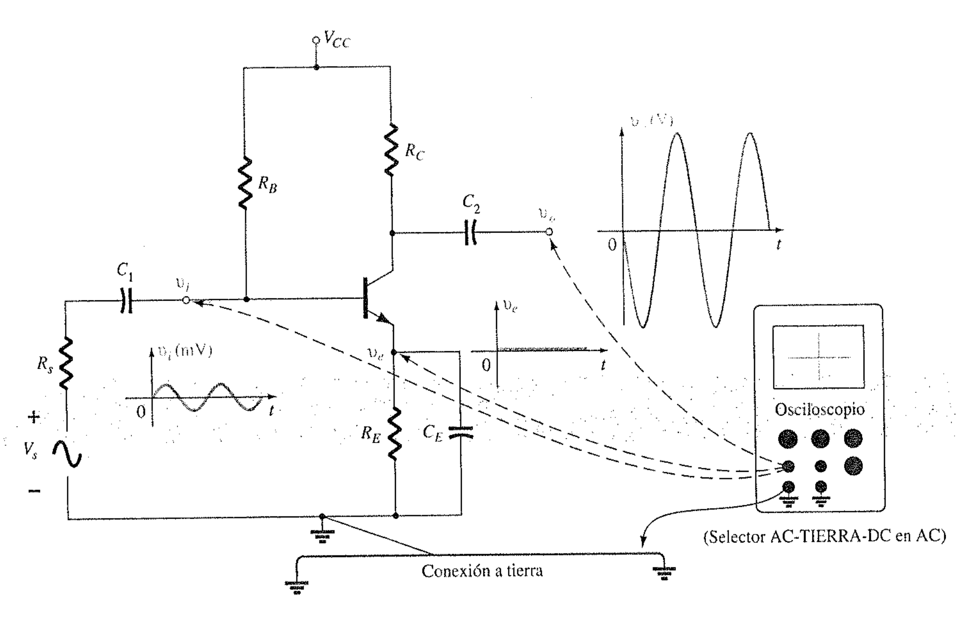


Figura 8.55 Utilización del osciloscopio para medir y desplegar distintos niveles de voltaje de un amplificador BJT.

No es necesario comentar que una respuesta pobre de ac puede deberse a varias causas. De hecho, podría existir más de un área problema en el mismo sistema. Sin embargo, afortunadamente, con tiempo y experiencia suficiente, es posible predecir la probabilidad de que aparezcan problemas en ciertas áreas y una persona con experiencia podrá aislar esas áreas problema con bastante rapidez.

Por lo general, no existe nada misterioso acerca del proceso general de localización de fallas. Si se decide seguir la respuesta en ac, es buena práctica comenzar con la señal aplicada y avanzar por el sistema hacia la carga, verificando los puntos críticos a través del camino. La aparición de una respuesta no esperada en cierto punto, sugiere que la red se encuentra funcionando correctamente hasta antes de esa área, y definirá la región que deberá de investigarse con mayor detalle. La forma de onda que se obtenga en el osciloscopio seguramente ayudará en la definición de los posibles problemas con el sistema.

Si la respuesta de la red de la figura 8.55 es como la que se presenta en la figura 8.56, la red tiene un funcionamiento defectuoso probablemente en el área del emisor. La existencia de una respuesta de ac a través del emisor no es esperada, y la ganancia del sistema que indica v_o es mucho menor. Recuerde que para esta configuración, la ganancia es mucho mayor si R_E se

Figura 8.56 Formas de onda resultantes de un problema de funcionamiento en el área del emisor.

desvía. La respuesta obtenida sugiere que R_E no se encuentra en desvío por el capacitor por lo que las conexiones de las terminales del capacitor y el propio capacitor deberán de verificarse. Para este caso, la verificación de los niveles de dc con probabilidad no aislarían el área del problema dado que el capacitor presenta un equivalente de "circuito abierto" en dc. En general, un conocimiento anticipado de lo que se espera, una familiaridad con la instrumentación y, lo más importante, experiencia, son factores que contribuyen al desarrollo de un método efectivo para el arte de la localización de fallas.

8.13 APLICACIONES PRÁCTICAS

Mezclador de audio

Cuando se combinan dos o más señales en una sola salida de audio, se emplean mezcladores como el que aparece en la figura 8.57. Los potenciómetros en la salida son controles de volumen para cada canal, el potenciómetro R_3 se incluye para proporcionar un balance adicional entre las dos señales. Los resistores R_4 y R_5 aseguran que un canal no tenga un efecto de carga en el otro, es decir, para asegurar que una señal no aparezca como carga para la otra, consuma potencia y afecte el balance deseado de la señal mezclada.

El efecto de los resistores R_4 y R_5 es importante, por lo que se discutirá con detalle. Un análisis de dc de la configuración del transistor dará por resultado $r_e = 11.71\ \Omega$ el cual establecerá una impedancia de entrada al transistor de 1.4 kΩ. La combinación en paralelo de $R_6 \| Z_i$ es aproximadamente de 1.4 kΩ. Al establecer ambos controles de volumen en su máximo valor y el control de balance R_3 en su punto medio se generará la red equivalente de la figura 8.58a. La señal en v_1 se asume que es la de un micrófono de baja impedancia con una resistencia interna de 1 kΩ. La señal en v_2 se asume que es un amplificador de guitarra con una alta impedancia interna de 10 kΩ. Debido a que los resistores de 470 y 500 kΩ se encuentran en paralelo para las condiciones anteriores, pueden combinarse y reemplazarse por un resistor sencillo de cerca de 242 kΩ. Por lo que cada fuente tendrá un equivalente como el de la figura 8.58b para el micrófono. La aplicación del teorema de Thévenin revelará que se obtiene una excelente aproximación si simplemente se quitan los 242 kΩ y se asume que la red equivalente es como la mostrada para cada canal. El resultado es el circuito equivalente de la figura 8.58c

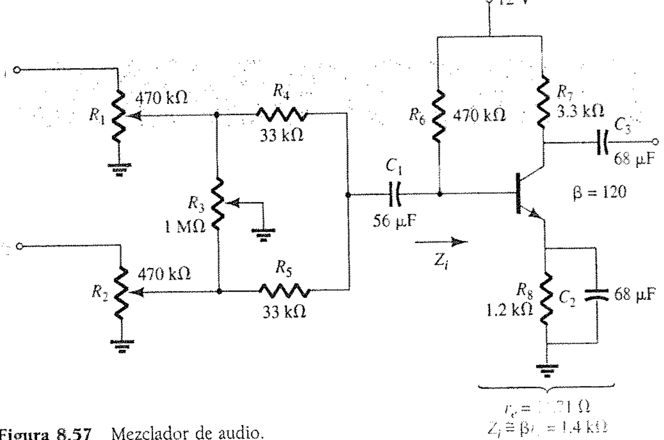


Figura 8.57 Mezclador de audio.

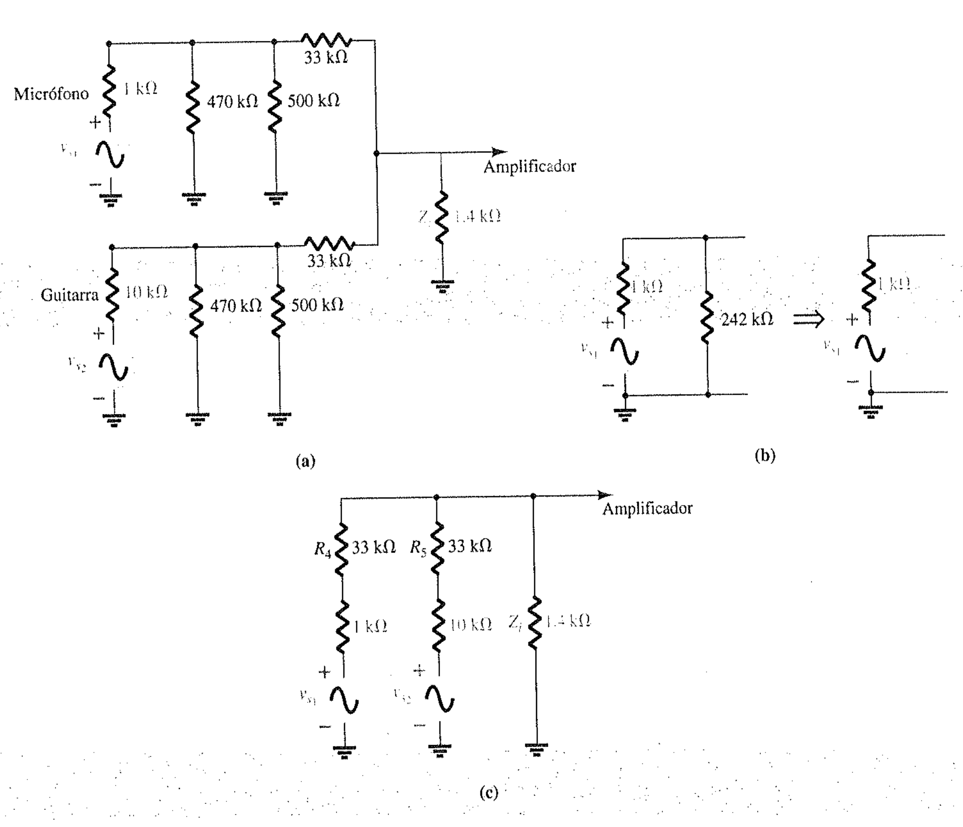


Figura 8.58 (a) Red equivalente con R_3 en el punto medio y con los controles de volumen en su nivel máximo; (b) circuito equivalente de Thévenin para el canal 1; (c) sustitución de las redes equivalentes de Thévenin en la figura 8.58a.

para la sección de entrada del mezclador. Al aplicar el teorema de superposición se obtendrá la siguiente ecuación para el voltaje de ac en la base del transistor:

$$v_b = \frac{(1.4\text{ k}\Omega \| 43\text{ k}\Omega)v_{s_1}}{34\text{ k}\Omega + (1.4\text{ k}\Omega \| 43\text{ k}\Omega)} + \frac{(1.4\text{ k}\Omega \| 34\text{ k}\Omega)v_{s_2}}{43\text{ k}\Omega + (1.4\text{ k}\Omega \| 34\text{ k}\Omega)}$$
$$= 38 \times 10^{-3}v_{s_1} + 30 \times 10^{-3}v_{s_2}$$

Con $r_e = 11.71\ \Omega$, la ganancia del amplificador será de $-R_C/r_e = 3.3\text{ k}\Omega/11.71\ \Omega = -281.8$, y el voltaje de salida es

$$v_o = -10.7v_{s_1} - 8.45v_{s_2}$$

el cual proporciona un balance adecuado entre las dos señales incluso cuando tienen una relación de 10:1 en cuanto a su impedancia interna. En general, el sistema responderá bastante bien. Sin embargo, si eliminamos los resistores de 33 kΩ del diagrama de la figura 8.58c, se obtendrá la red equivalente de la figura 8.59 y la siguiente ecuación para v_b obtenida mediante el teorema de superposición:

$$v_b = \frac{(1.4\text{ k}\Omega \| 10\text{ k}\Omega)v_{s_1}}{1\text{ k}\Omega + 1.4\text{ k}\Omega \| 10\text{ k}\Omega} + \frac{(1.4\text{ k}\Omega \| 1\text{ k}\Omega)v_{s_2}}{10\text{ k}\Omega + (1.4\text{ k}\Omega \| 1\text{ k}\Omega)}$$
$$= 0.55v_{s_1} + 0.055v_{s_2}$$

Al utilizar la misma ganancia anterior, el voltaje de salida es

$$v_o = 155v_{s_1} + 15.5v_{s_2} \cong 155v_{s_1}$$

lo que muestra que el micrófono se encontrará en un nivel de sonoridad alto y claro, y que la entrada de la guitarra estará prácticamente perdida.

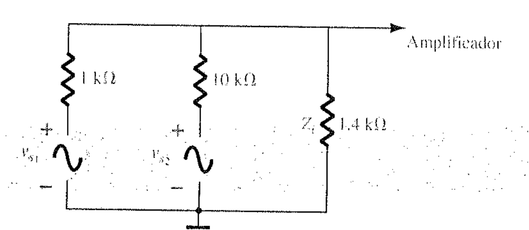


Figura 8.59 Redibujo de la red de la figura 8.58c con los resistores de 33 kΩ eliminados.

Por lo tanto, ha quedado definida la importancia de los resistores de 33 kΩ, que hacen que cada señal aplicada parezca tener niveles similares de impedancia de forma que exista un correcto balance en la salida. Se podría pensar que con resistores más grandes se mejoraría el balance, sin embargo, a pesar de que el balance en la base del transistor pudiera mejorar, la intensidad de la señal en la base del transistor sería menor, y de acuerdo con esto, el nivel de salida de la señal amplificada se reduciría. En otras palabras, la selección de los resistores R_4 y R_5 implica una situación de tomar y dar entre el nivel de entrada en la base del transistor y el balance de la señal de salida.

Para demostrar que los capacitores verdaderamente son cortos circuitos equivalentes en el rango audible, se sustituye una frecuencia muy baja de audio de 100 Hz en la ecuación de la reactancia de un capacitor de 56 μF:

$$X_C = \frac{1}{2\pi fC} = \frac{1}{2\pi(100\text{ Hz})(56\ \mu\text{F})} = 28.42\ \Omega$$

Ciertamente, un nivel de 28.42 Ω comparado con cualquiera de las impedancias cercanas, es lo suficientemente pequeño como para ser ignorado. Mayores frecuencias provocarán incluso un menor efecto.

Se discutirá acerca de un mezclador similar en el siguiente capítulo de JFET. La principal diferencia será el hecho de que la impedancia de entrada del JFET puede aproximarse por un circuito abierto en vez del bajo nivel de impedancia de entrada de la configuración de BJT. El resultado será un nivel de señal más alto en la entrada del amplificador JFET. Sin embargo, la ganancia del FET es mucho menor que la del transistor BJT, lo que ocasiona niveles de salida que, de hecho, son muy similares.

Preamplificador

La principal función de un **preamplificador** como su nombre lo indica es: **un amplificador utilizado para captar la señal proveniente de su fuente primaria y luego operarla como forma de preparación para su entrada en la sección de amplificación.** Normalmente, un preamplificador amplificará la señal, controlará su volumen, quizá cambiará sus características de impedancia de entrada y si es necesario, determinará su trayectoria a través de las siguientes etapas, en resumen, se trata de una etapa de cualquier sistema, que posee una multitud de funciones.

Generalmente se utiliza un preamplificador como el que se muestra en la figura 8.60 en conjunto con micrófonos dinámicos para elevar el nivel de la señal a niveles apropiados para una posterior amplificación o para amplificadores de potencia. Por lo general, los micrófonos dinámicos son micrófonos de baja impedancia debido a que su resistencia interna está determinada principalmente por el devanado de una bobina de voz. Su construcción básica consiste de una bobina de voz sujeta a un pequeño diafragma que se encuentra libre para moverse dentro de un magneto permanente. Cuando alguien habla al micrófono, el diafragma se moverá conforme a esto, y ocasionará que la bobina de voz se mueva de la misma forma dentro del campo magnético. Mediante la ley de Faraday, se inducirá un voltaje a través de la bobina que portará la señal de audio.

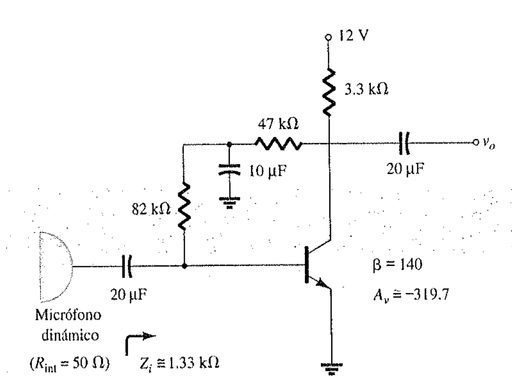


Figura 8.60 Preamplificador para un micrófono dinámico.

Gracias a que se trata de un micrófono de baja impedancia, la impedancia de entrada del amplificador a transistor no requiere ser tan alta para captar la mayor parte de la señal. Debido a que la impedancia interna de un micrófono dinámico puede ser tan baja como 20 a 100 Ω, la mayor parte de la señal podrá reconocerse mediante un amplificador que cuente con una impedancia de entrada de tan sólo 1 a 2 kΩ. Éste es, de hecho, el caso del amplificador de la figura 8.60. Para condiciones de polarización de dc, se seleccionó la configuración de retroalimentación de dc en colector debido a sus características de alta estabilidad.

En el dominio de ac, el capacitor de 10 μF asumirá un estado de corto circuito cerrado (sobre una base aproximada), y conectará al resistor de 82 kΩ a través de la impedancia de entrada del transistor y al de 47 kΩ a través de la salida del transistor. Un análisis de dc de la configuración del transistor dará por resultado $r_e = 9.64\ \Omega$, lo que ocasionará una ganancia en ac determinada por

$$A_v = -\frac{(47\text{ k}\Omega \| 3.3\text{ k}\Omega)}{9.64\ \Omega} = \mathbf{-319.7}$$

la cual es excelente para esta aplicación. Por supuesto, la ganancia caerá cuando esta etapa de captación del diseño se conecte a la entrada de la sección de amplificación. Es decir, la resistencia de entrada de la siguiente etapa aparecerá en paralelo con los resistores de 47 y de 3.3 kΩ, y disminuirá la ganancia por debajo del nivel sin carga de 319.7.

La impedancia de entrada del preamplificador está determinada por

$$Z_i = 82\text{ k}\Omega \| \beta r_e = 82\text{ k}\Omega \| (140)(9.64\ \Omega) = 82\text{ k}\Omega \| 1.34\text{ k}\Omega = \mathbf{1.33\ k\Omega}$$

la cual también es adecuada para la mayoría de los micrófonos de baja impedancia. De hecho, para un micrófono con una impedancia interna de 50 Ω, la señal en la base será de 98% de la señal disponible. Este análisis es importante ya que si la impedancia del micrófono fuera mucho mayor, digamos como 1 kΩ, el preamplificador debería diseñarse de forma distinta para asegurar que la impedancia de entrada fuera al menos de 10 kΩ o mayor.

Generador de ruido aleatorio

En ocasiones es necesario un generador de ruido aleatorio para probar la respuesta de un altavoz, micrófono, filtro y, de hecho, de cualquier sistema diseñado para trabajar sobre un intervalo amplio de frecuencias. Un **generador de ruido aleatorio,** como su nombre lo indica es: **un generador que genera señales de amplitud y frecuencia aleatorias.** El hecho de que normalmente estas señales sean completamente incomprensibles e impredecibles, es el motivo por el que se denominan simplemente como *ruido*. El **ruido térmico** es aquel ruido generado como consecuencia de efectos térmicos ocasionados a partir de la interacción entre los electrones libres y los iones en vibración de un material en conducción. El resultado de esto es un flujo disparejo de electrones a través del medio que ocasionará un potencial en variación a través del medio. En la mayoría de los casos, estas señales generadas de forma aleatoria, se encuentran en rangos de μV, pero con una amplificación suficiente pueden causar estragos sobre la respuesta del sistema. Este ruido térmico también se denomina **ruido de Johnson** (nombrado a partir del investigador original del área) o **ruido blanco** (ya que en el campo de la óptica, la luz blanca contiene todas las frecuencias). Este tipo de ruido posee una respuesta a la frecuencia bastante plana como la que se indica en la figura 8.61a; es decir, una gráfica de su potencia en función de la frecuencia desde la más pequeña hasta la más alta, es bastante uniforme. Un segundo tipo de ruido es el denominado **ruido de disparo,** nombre derivado del hecho de que su sonido es similar a una lluvia de perdigones de escopeta que golpean una superficie sólida o como el de una fuerte lluvia sobre una ventana. El origen de este ruido son conjuntos de portadores que pasan a través de un medio a ritmos desiguales. Un tercer tipo es el **ruido rosa, de parpadeo o 1/*f*** que es ocasionado por la variación en los tiempos de tránsito de portadores que atraviesan distintas uniones o dispositivos semiconductores. Se le llama ruido 1/*f* ya que su magnitud cae ante incrementos de la frecuencia. **Su impacto, por lo general, es más dramático para frecuencias por debajo 1 kHz** como se muestra en la figura 8.61b.

La red de la figura 8.62, está diseñada para generar tanto ruido blanco como rosa. En lugar de tener una fuente separada para cada uno, primero se genera ruido blanco (nivel a través del espectro completo de frecuencias), y luego se aplica un filtro para eliminar el componente de frecuencia media y alta, y se deja únicamente la respuesta de ruido de baja frecuencia. El filtro posteriormente se diseña para alterar la respuesta horizontal del ruido blanco hacia la región de baja frecuencia (para crear una caída de 1/*f*) mediante secciones del filtro que "caen" a medida que la frecuencia se incrementa. El ruido blanco se crea al dejar abierta la terminal del conector del transistor Q_1 y al polarizar en forma inversa la unión base-emisor. En esencia, el transistor se emplea como un diodo polarizado en la región de avalancha de Zener. Al polarizar un transistor en esta región se crea una situación muy inestable que conduce a la generación de ruido blanco aleatorio. La combinación de la región de avalancha con sus veloces y cambiantes niveles de carga, la sensibilidad del nivel de corriente ante la temperatura y sus niveles de impedancia de cambio rápido, contribuyen con el nivel de voltaje del ruido y con la corriente generada por el transistor. Por lo general, se utilizan transistores de germanio ya que su región de avalancha se encuentra menos definida y menos estable que en los transistores de silicio. Además existen diodos y transistores generados específicamente para la generación de ruido aleatorio.

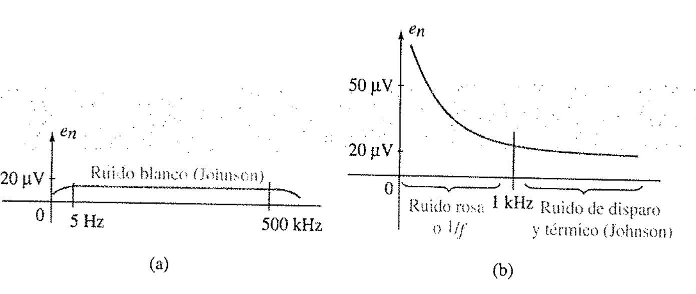


Figura 8.61 Espectros comunes de frecuencia de ruido: (a) blanco o Johnson; (b) rosa, térmico y de disparo.

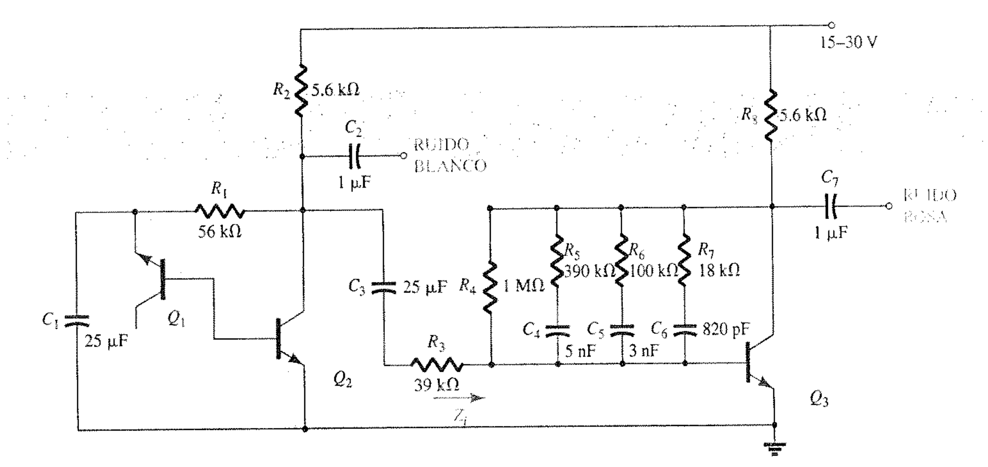


Figura 8.62 Generador de ruido blanco y rosa. (Redibujado de *Electronics Today International.*)

De tal forma que: la fuente del ruido no es un generador específicamente diseñado, sino que simplemente es el resultado del hecho de que el flujo de corriente no es un fenómeno ideal sino que en realidad varía con el tiempo en un nivel que genera variaciones no deseadas en los voltajes de las terminales a través de los elementos. De hecho, esta variación en el flujo es tan amplia que puede generar frecuencias que se extienden a través de un amplio espectro, lo cual es un fenómeno muy interesante.

La corriente de ruido generada por Q_1, será entonces la corriente de base de Q_2 que será amplificada para generar un ruido blanco de quizá 100 mV, que para este diseño sugiere un voltaje de ruido de entrada de cerca de 170 μV. El capacitor C_1 tendrá una baja impedancia durante el rango de frecuencias de interés con el objetivo de proporcionar un "efecto de corto" para evitar que cualquier señal falsa en el aire contribuya con la señal en la base de Q_1. La función del capacitor C_2 es la de aislar la polarización de dc del generador de ruido blanco, de los niveles de dc de la red de filtrado que le sigue. Los 39 kΩ y la impedancia de entrada de la siguiente etapa crean la red simple de divisor de voltaje de la figura 8.63. Si los 39 kΩ no estuvieran presentes, la combinación en paralelo de R_2 y Z_i cargarían la primera etapa y reducirían la ganancia de Q_1 de forma considerable. En la ecuación de la ganancia, R_2 y Z_i aparecerían en paralelo (lo cual se discutirá en el capítulo 11).

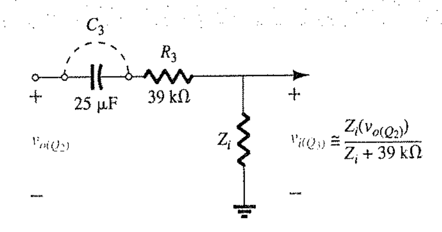


Figura 8.63 Circuito de entrada para la segunda etapa.

La red de filtrado en realidad es parte de la malla de retroalimentación del colector a la base que aparece en la red de retroalimentación en colector de la sección 8.7. Para describir su comportamiento primero hay que considerar los extremos del espectro de frecuencia. Para frecuencias muy bajas, todos los capacitores pueden aproximarse mediante un circuito abierto, y la única resistencia de colector a base es el resistor de 1 MΩ. Al utilizar una beta de 100, la ganancia de la sección será de 280 y la impedancia de entrada de aproximadamente 1.28 kΩ. Para una frecuencia lo suficientemente grande, todos los capacitores podrían reemplazarse por cortos circuitos, y la combinación de resistencia total entre el colector y la base se reduciría a cerca de 14.5 kΩ lo cual ocasionaría una ganancia sin carga muy alta de aproximadamente 731, lo cual es más del doble de la obtenida con R_F = 1 MΩ. Dado que se supone que el filtro $1/f$ reduce la ganancia en altas frecuencias, inicialmente pareciera como si fuera un error en el diseño, sin embargo, cuando se determina la impedancia de entrada, ésta habrá caído a cerca de 19.33 Ω lo cual es una caída con proporción 66:1 del nivel obtenido con R_F = 1 MΩ. Esto tendría un impacto importante sobre el voltaje de entrada que aparece en la segunda etapa cuando consideremos la acción del divisor de voltaje de la figura 8.63. De hecho, cuando se compara con el resistor en serie de 39 kΩ, es posible despreciar la señal de la segunda etapa o asumirla en un nivel donde incluso una ganancia por encima de 700 no podría elevarla a un nivel que afecte. Por tanto, en resumen, la ganancia duplicada prácticamente se pierde debido a la tremenda caída en Z_i y la salida en frecuencias muy altas podrá ignorarse por completo.

Para el rango de frecuencias entre las más bajas y las más altas, los tres capacitores del filtro ocasionarán que la ganancia caiga ante incrementos de la frecuencia. En primer lugar, el capacitor C_4 entrará en corto, y causará una reducción en la ganancia (alrededor de 100 Hz), luego el capacitor C_5 entrará en corto y colocará las tres ramas en paralelo (cerca de 500 Hz); por último, el capacitor C_6 entrará en corto y las cuatro ramas del circuito están en paralelo, el resultado es una mínima resistencia de retroalimentación (cerca de los 6 kHz).

El resultado será una red con una excelente señal de ruido aleatorio para el espectro completo de frecuencias (blanco) y para el espectro de frecuencias bajas (rosa).

Fuente de luz modulada por sonido

La luz proveniente de la lámpara de 12 V de la figura 8.64 variará con una frecuencia e intensidad sensible a la señal aplicada. Ésta podría ser la salida de un amplificador acústico, de un instrumento musical o incluso de un micrófono. Es de particular interés el hecho de que el voltaje aplicado sea de 12 V de ac en lugar de la alimentación típica de polarización de dc. La pregunta inmediata ante la ausencia de una fuente de dc, es sobre cómo se establecerán los niveles de polarización de dc del transistor. En realidad, el nivel de dc se obtiene mediante el uso del diodo D_1, el cual rectifica la señal de ac, y el capacitor C_2 que actúa como un filtro de la fuente de alimentación de ac para generar un nivel de dc a través de la rama de salida del transistor. El valor pico de un voltaje de alimentación de 12 V rms es cercano a 17 V, lo que provoca un nivel de dc después del filtrado capacitivo de alrededor de 16 V. Si el potenciómetro se ajusta de forma que R_1 sea cercano a 320 Ω, el voltaje de la base al emisor del transistor será

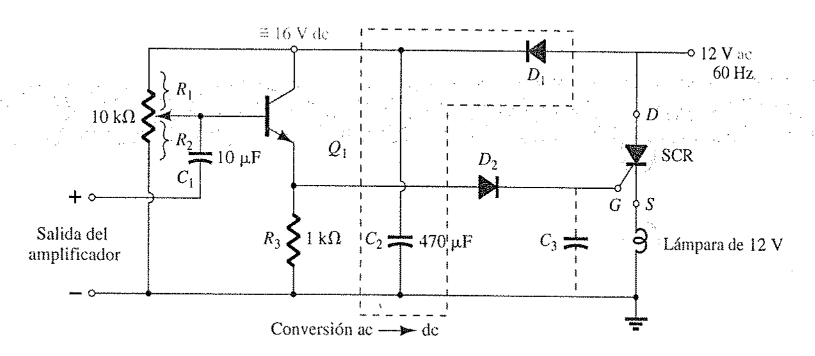


Figura 8.64 Fuente de luz modulada por sonido. (Redibujada de *Electronics Today International*.)

aproximadamente de 0.5 V, y el transistor se encontrará en estado apagado. En este estado, la corriente del colector y del emisor son esencialmente 0 mA, y el voltaje a través del resistor R_3 es de aproximadamente 0 V. El voltaje en la unión de la terminal del colector y el diodo es por tanto de 0 V, lo que ocasiona que D_2 se encuentre en el estado apagado y que se apliquen 0 V en la terminal de la compuerta del rectificador controlado de silicio (SCR del inglés Silicon Controlled Rectifier). El SCR (véase sección 20.3) es fundamentalmente un diodo cuyo estado se controla por un voltaje aplicado en la terminal de la compuerta. La ausencia de un voltaje en la terminal de la compuerta significa que el SCR y la lámpara están "apagados".

Si ahora se aplica una señal a la terminal de la compuerta del SCR, la combinación del nivel de polarización establecido y la señal aplicada podrán establecer el voltaje requerido de 0.7 V o de "encendido", y el transistor se encenderá por periodos que dependan de la señal aplicada. Cuando el transistor se encienda, establecerá una corriente de colector a través del resistor R_3 que establecerá un voltaje del colector a tierra. Si el voltaje es mayor a los 0.7 V requeridos para el diodo D_2, se presentará un voltaje en la compuerta del SCR que posiblemente sea suficiente para "encenderlo" y establecer conducción del drenaje a la fuente del SCR. Sin embargo, ahora debemos analizar uno de los aspectos más interesantes de este diseño: dado que el voltaje aplicado a través del SCR es de ac, el cual variará en magnitud con el tiempo como se muestra en la figura 8.65, la intensidad de conducción del SCR también variará con el tiempo. Como se indica en la figura, si el SCR debe "encenderse" cuando el voltaje senoidal se encuentra en su nivel máximo, la corriente resultante a través del SCR también se encontrará en su nivel máximo y la lámpara será muy brillante. Si el SCR debe encenderse cuando el voltaje senoidal es cercano a su mínimo, la lámpara puede encenderse, pero la menor corriente ocasionará una iluminación considerablemente menor. El resultado será que la lámpara se encenderá en sincronización con el pico de la señal de entrada, pero la intensidad de encendido estará determinada por el momento en el que se encuentra la señal aplicada de 12 V. Es posible imaginarse las distintas e interesantes respuestas de un sistema así. Cada vez que se aplique la misma señal de audio, la respuesta tendrá un aspecto distinto.

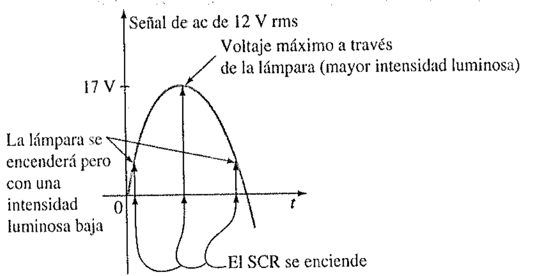


Figura 8.65 Demostración del efecto de un voltaje de ac sobre la operación del SCR de la figura 8.64.

En la acción anterior, el potenciómetro se ajustó por debajo del voltaje de encendido del transistor. Es posible ajustar el potenciómetro de forma que el transistor se encuentre "justo en el encendido" lo que provocará un bajo nivel de corriente de base. Con esto se obtiene una corriente de colector de bajo nivel y un voltaje insuficiente para polarizar de forma directa al diodo D_2 y para encender el SCR en la compuerta. Sin embargo, al configurar el sistema de esta forma, la luz de salida resultará será más sensible a los componentes de menor amplitud de la señal aplicada. En el primer caso, el sistema actuará más parecido a un detector de picos mientras que en el último caso éste es sensible a un mayor número de componentes de la señal.

Se incorporó el diodo D_2 para asegurar que existiera suficiente voltaje para encender tanto al diodo como al SCR, en otras palabras, para eliminar la posibilidad de ruido o de otro voltaje inesperado de bajo nivel sobre la línea que enciende el SCR. Es posible insertar el capacitor C_3 para retardar la respuesta y hacer que el voltaje cargue al capacitor antes que la compuerta alcance suficiente voltaje para encender el SCR.

8.14 RESUMEN

Conclusiones y conceptos importantes

1. El **modelo r_e** para un BJT en el dominio de ac, es sensible a las **condiciones de la red de operación de dc reales**. Este parámetro por lo general no se proporciona en la hoja de especificaciones, aunque h_{ie} de los parámetros híbridos normalmente proporcionados es igual a βr_e, pero sólo bajo condiciones de operación específicas.
2. La mayoría de las **hojas de especificaciones** de los BJTs incluyen una **lista de parámetros híbridos** para establecer un modelo de ac para el transistor. Sin embargo, es necesario estar conciente de que éstos se proporcionan para un conjunto de dc de condiciones de operación particulares.
3. La **configuración de polarización fija de emisor común** puede contar con la característica de **ganancia de voltaje significativa**, aunque, por otro lado, su **impedancia de entrada puede ser relativamente baja**. La **ganancia de corriente** aproximada está dada simplemente por **beta** y la **impedancia de salida,** por lo general, se asume igual a R_C.
4. La **configuración de polarización por divisor de voltaje** posee una **mayor estabilidad** que la configuración de polarización fija, pero cuenta con aproximadamente la **misma ganancia de voltaje, ganancia de corriente e impedancia de entrada**. Gracias a los resistores de polarización, la impedancia de entrada puede ser menor que la de la configuración de polarización fija.
5. La **configuración de polarización en emisor con emisor común** con un resistor en emisor sin desvío posee una **mayor resistencia de entrada** que la configuración con desvío, pero tendrá una **ganancia mucho menor de voltaje** que la configuración con desvío. Para ambas situaciones (con desvío y sin desvío), la **impedancia de salida,** por lo general, se asume que sólo es R_C.
6. La **configuración de emisor-seguidor** siempre tendrá un **voltaje de salida ligeramente menor que la señal de entrada**. Sin embargo, la **impedancia de entrada** puede ser **muy grande**, lo que la hace muy útil para situaciones donde se requiere una primera etapa de alta impedancia de entrada, para "captar" lo mejor posible de la señal aplicada. Su **impedancia de salida** es **extremadamente baja** lo que lo vuelve una fuente excelente de señal para la segunda etapa de un amplificador multietapas.
7. La **configuración de base común** tiene **una impedancia de entrada muy baja** pero puede tener una **ganancia significativa de voltaje**. La **ganancia de corriente** es apenas **menor a 1**, y la **impedancia de salida** simplemente es R_C.
8. La **configuración de retroalimentación en colector** tiene una **impedancia de entrada** que es **sensible a beta** y que puede ser muy baja según los parámetros de la configuración. Sin embargo, la **ganancia de voltaje** puede ser **significativa** y la **ganancia de corriente** de **cierta magnitud** si los parámetros se seleccionan de forma adecuada. La **impedancia de salida** es, con más frecuencia, sólo la resistencia del colector R_C.
9. La **configuración de retroalimentación de dc en colector** emplea la retroalimentación de dc para **incrementar su estabilidad** y el cambiante estado de un capacitor de dc a ac para establecer una **ganancia mayor de voltaje** que la obtenida con una conexión directa de retroalimentación. La **impedancia de salida** es por lo general cercana a R_C y la **impedancia de entrada** es relativamente cercana a la obtenida con la **configuración básica de emisor común.**
10. La **red equivalente híbrida aproximada** es muy **parecida** en su composición a la empleada con el **modelo r_e**. De hecho, se pueden aplicar los **mismos métodos** de análisis para ambos modelos. Para el modelo híbrido, los resultados estarán en términos de los parámetros de la red y de los parámetros híbridos, mientras que para el modelo r_e éstos estarán en términos de los parámetros de la red y de β, r_e y r_o.
11. El **modelo equivalente híbrido completo incluirá** los efectos del **parámetro de retroalimentación h_{re}** que típicamente **reducen** la **ganancia de voltaje** y la **impedancia de entrada** aunque pueden **incrementar** la **impedancia de salida.**
12. El **modelo híbrido** para las configuraciones de emisor común, base común y colector común, **es el mismo.** La única diferencia será la magnitud de los parámetros de la red equivalente.
13. Para los amplificadores BJT o bipolares que **fallan en su correcta operación**, el primer paso deberá ser **verificar los niveles de dc** y asegurarse que cumplen la operación de dc del diseño.
14. Siempre tenga en mente que por lo general, los **capacitores** son circuitos abiertos para el **análisis de dc** y esencialmente **cortos circuitos** para la **respuesta de ac.**

Ecuaciones

Polarización fija emisor común:

$$Z_i \cong \beta r_e$$
$$Z_o \cong R_C$$
$$A_v = -\frac{R_C}{r_e}$$
$$A_i = -A_v\frac{Z_i}{R_C} \cong \beta$$

Polarización por divisor de voltaje:

$$Z_i = R_1 \| R_2 \| \beta r_e$$
$$Z_o \cong R_C$$
$$A_v = -\frac{R_C}{r_e}$$
$$A_i = -A_v\frac{Z_i}{R_C} \cong \beta$$

Polarización en emisor para emisor común:

$$Z_i \cong R_B \| \beta R_E$$
$$Z_o \cong R_C$$
$$A_v \cong -\frac{R_C}{R_E}$$
$$A_i \cong \frac{\beta R_B}{R_B + \beta R_E}$$

Emisor-seguidor:

$$Z_i \cong R_B \| \beta R_E$$
$$Z_o \cong r_e$$
$$A_v \cong 1$$
$$A_i = -A_v\frac{Z_i}{R_E}$$

Base común:

$$Z_i \cong R_E \| r_e$$
$$Z_o \cong R_C$$
$$A_v \cong \frac{R_C}{r_e}$$
$$A_i \cong -1$$

Retroalimentación en colector:

$$Z_i \cong \frac{r_e}{\frac{1}{\beta} + \frac{R_C}{R_F}}$$

$$Z_o \cong R_C \| R_F$$
$$A_v = -\frac{R_C}{r_e}$$
$$A_i \cong \frac{R_F}{R_C}$$

Retroalimentación de dc en colector:

$$Z_i \cong R_{F_1} \| \beta r_e$$
$$Z_o \cong R_C \| R_{F_2}$$
$$A_v = -\frac{R_{F_2} \| R_C}{r_e}$$
$$A_i = -A_v \frac{Z_i}{R_C}$$

8.15 ANÁLISIS POR COMPUTADORA

PSpice para Windows

CONFIGURACIÓN POR DIVISOR DE VOLTAJE MEDIANTE LOS PARÁMETROS DE TRANSISTOR DEL PAQUETE

Ahora que se han presentado las maniobras básicas para desarrollar la red sobre la cuadrícula esquemática, la descripción actual se concentrará en las variaciones introducidas por el análisis de ac.

Mediante el uso de esquemas, se desarrolló la red de la figura 8.9 (ejemplo 8.2) como se señala en la figura 8.66. Observe la fuente de ac de 1 mV y el símbolo de una impresora en la terminal de salida de la red.

La fuente senoidal de ac se encuentra listada en la biblioteca **SOURCE.slb** en **VSIN**. Una vez que se colocó sobre el diagrama, al hacer doble clic en el símbolo, el cuadro de diálogo **PartName: VSIN** presenta una lista de opciones, cada una de las cuales es posible establecer mediante un clic doble sobre la cantidad, con lo que aparecerá un rectángulo en la parte superior del cuadro de diálogo que contendrá el nombre y el valor de la opción (**Name** y **Value**). El cursor aparece en la opción de **Value** donde se puede capturar el valor deseado. Después de hacer esto para cada opción, asegúrese de guardar los atributos (**Save Attr**). Si el proceso se hizo de forma correcta, el valor asignado aparecería en la lista.

Para nuestro análisis, se efectuarán las siguientes selecciones:

VAMPL = 1 mV (el valor pico de la señal senoidal).

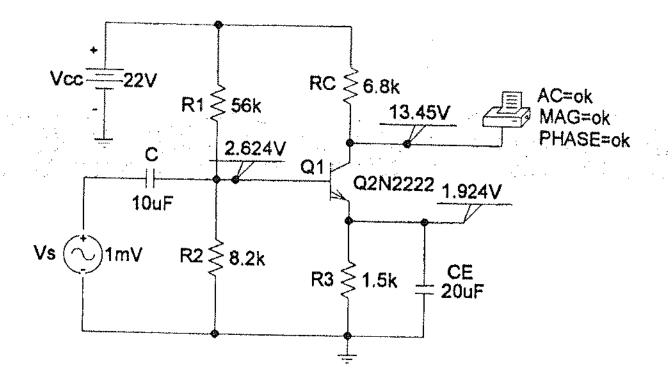


Figura 8.66 Empleo de PSpice para Windows con el objeto de analizar la red de la figura 8.9 (ejemplo 8.2).

FREQ = 10 kHz (la frecuencia de interés).
PHASE = 0 (sin ángulo de fase inicial para la señal senoidal).
VOFF = 0 (sin voltaje de desplazamiento de dc para la señal senoidal).
AC = 1 mV.

Si se desea desplegar el valor de la señal de ac, sólo haga clic sobre **Change Display** después de guardar el atributo. Por ejemplo, si AC = 1 mV acaba de guardarse y se seleccionó **Change Display**, aparecerá un cuadro de diálogo de **Change Attribute**. Dado que AC es el nombre y 1 mV el valor, seleccione **Value Only**, y sólo el valor de 1 mV se desplegará después de la secuencia **OK-OK**.

El símbolo de la impresora en el colector del transistor se encuentra contenido en **VPRINT1** dentro de la biblioteca **SPECIAL.slb**. Cuando éste se coloca sobre el esquema, indicará que el voltaje ac en ese punto se imprimirá en un archivo de salida (*.out). Al hacer doble clic sobre el símbolo de la impresora, aparecerá el cuadro de diálogo **PRINT1**, donde aparecen las siguientes opciones que deberán establecerse:

AC = ok.
MAG = ok.
PHASE = ok.

Después de cada una de ellas, asegúrese de guardarlas (**Save Attr**) de lo contrario la computadora le recordará hacerlo. Las opciones anteriores, pueden desplegarse junto al símbolo en el esquema, si se selecciona la opción **Change Display** luego **Display Value and Name**.

El transistor se obtiene mediante la secuencia icono **Get New Part-Libraries-E-VAL.slb-Q2N2222–OK-Place & Close**. Dado que queremos que los parámetros del transistor coincidan con los del ejemplo lo más cercanamente posible, es necesario primero seleccionar el transistor para establecerlo en modo activo (rojo) y luego seleccionar **Edit-Model-Edit Instance Model (Text)**. Luego, la beta (**Bf**) se establece en 90 e **Is** en 2E-15A que ocasionará un voltaje base-emisor cercano a 0.7 V. Este valor de I es el resultado de numerosas corridas de la red con el objeto de encontrar el valor de I_s que proporcione un nivel de V_{BE} lo más cercano a 0.7 V. Sin embargo, para el resto del texto, este nivel de I_s seleccionado permanecerá igual. En la mayoría de los casos éste proporcionará los resultados deseados.

Se insertaron **VIEWPOINTs** para desplegar los tres voltajes de dc de interés. Dado que esta opción se ha utilizado con frecuencia últimamente, es posible acceder a ella mediante la lista de desplazamiento de la parte superior derecha de la barra de menú en lugar de regresar al listado de las bibliotecas.

Al seleccionar el icono de **Setup Analysis** se presentará el cuadro de diálogo de **Analysis Setup**, en el que deberá seleccionarse la opción de **AC Sweep** debido a la fuente de ac aplicada. Al hacer esto, aparecerán el cuadro de diálogo de **AC Sweep and Noise Analysis** en el que se selecciona la opción **Linear** junto con **Total Pts:** 1, **Start Freq:** 10 kHz y **End Freq:** 10 kHz. El resultado de esto será un análisis en una sola frecuencia, ya que nuestro interés inicial es únicamente la magnitud de las cantidades de interés y no su forma o apariencia. Luego, deberemos proseguir con **Analysis-Probe Setup** y seleccionar **Do not auto-run Probe** para ahorrar tiempo para obtener los resultados deseados.

Al hacer clic sobre el icono de **Analysis** se obtendrá el cuadro de diálogo de **PSpiceAD** que indicará que el análisis ha concluido. Observe también el listado de la frecuencia aplicada en la parte inferior de este cuadro de diálogo. Dentro de éste mismo, si seleccionamos **File** seguido de **Examine Output**, obtendremos un listado extenso con los datos de entrada y de salida de la red analizada. En la figura 8.67 se duplicaron algunos de ellos. Debajo de **Schematics Netlist**, se muestran los nodos asignados a la red. Observe que a la tierra siempre se le asigna el nodo 0 y luego aparece el nodo que se supone cuenta con el mayor potencial. El transistor se lista con el orden colector-base-emisor. Debajo de la opción **BJT MODEL PARAMETERS**, se listan los parámetros de definición del dispositivo con los valores establecidos de I_s = 2E-15A y β = 90. Debajo de la opción **SMALL-SIGNAL BIAS SOLUTION**, se muestran los niveles de dc en los distintos nodos, los cuales se comparan con los valores de **VIEWPOINT**. En particular observe que V_{BE} es exactamente igual a 0.7 V.

```
****      CIRCUIT DESCRIPTION

******************************************************************************
* Schematics Netlist *


V_V1          $N_0001 0 22
R_R1          $N_0001 $N_0002  56k
R_R4          $N_0002 0  8.2k
R_R2          $N_0001 $N_0003  6.8k
R_R3          $N_0004 0  1.5k
C_C1          $N_0004 0  20u
C_C2          $N_0005 $N_0002  10u
V_V2          $N_0005 0  AC 1m
+SIN 0 1m 10k 0 0 0

.PRINT        AC
+ VM([$N_0003])
+ VP([$N_0003])
Q_Q1          $N_0003 $N_0002 $N_0004 Q2N2222-X

**** RESUMING edc8a.cir ****


****      BJT MODEL PARAMETERS

******************************************************************************


           Q2N2222-X
           NPN
      IS     2.000000E-15
      BF    90
      NF     1
     VAF    74.03
     IKF      .2847
     ISE    14.340000E-15
      NE     1.307
      BR     6.092
      NR     1
      RB    10
      RC     1
     CJE    22.010000E-12
     MJE      .377
     CJC     7.306000E-12
     MJC      .3416
      TF   411.100000E-12
     XTF     3
     VTF     1.7
     ITF      .6
      TR    46.910000E-09
     XTB     1.5


****      SMALL SIGNAL BIAS SOLUTION       TEMPERATURE =   27.000 DEG C

******************************************************************************


NODE    VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE


($N_0001)   22.0000                  ($N_0002)    2.6239

($N_0003)   13.4530                  ($N_0004)    1.9244

($N_0005)    0.0000



    VOLTAGE SOURCE CURRENTS
    NAME         CURRENT

    V_V1         -1.603E-03
    V_V2          0.000E+00

    TOTAL POWER DISSIPATION   3.53E-02  WATTS

****      OPERATING POINT INFORMATION      TEMPERATURE =   27.000 DEG C

******************************************************************************



**** BIPOLAR JUNCTION TRANSISTORS


NAME         Q_Q1
MODEL        Q2N2222-X
IB           2.60E-05
IC           1.26E-03
VBE          6.99E-01
VBC         -1.08E+01
VCE          1.15E+01
BETADC       4.83E+01
GM           4.84E-02
RPI          1.14E+03
RX           1.00E+01
RO           6.75E+04
CBE          5.78E-11
CBC          2.87E-12
CJS          0.00E+00
BETAAC       5.50E+01
CBX          0.00E+00
FT           1.27E+08

****      AC ANALYSIS                      TEMPERATURE =   27.000 DEG C

******************************************************************************


 FREQ        VM($N_0003) VP($N_0003)


 1.000E+04   2.961E-01  -1.780E+02
```

Figura 8.67 Archivo de salida de la red de la figura 8.66.

El siguiente listado **OPERATING POINT INFORMATION** (información del punto de operación) muestra que incluso aunque la beta del listado de los parámetros del modelo BJT (**BJT MODEL PARAMETERS**) se estableció en 90, las condiciones de operación de la red ocasionaron una beta de dc de 48.3 y en ac de 55. Sin embargo, afortunadamente la configuración de divisor de voltaje es poco sensible ante cambios en beta en el modo de dc, por lo que los resultados de dc son excelentes. Sin embargo, la caída en la beta de ac tuvo un efecto sobre el nivel resultante de V_o: 296.1 mV contra la solución calculada a mano (con r_o = 50 kΩ) de 324.3 mV, lo cual representa 9% de diferencia. Los resultados ciertamente son cercanos, pero no lo suficiente que se desearía. Es posible obtener un resultado más cercano (dentro de 7%) si se establecieran los parámetros del dispositivo exceptuando a I_s y beta en cero. Sin embargo, por el momento, se ha demostrado el impacto de los parámetros restantes y los resultados se aceptarán como suficientemente cercanos a los niveles calculados a mano. Posteriormente en este capítulo se presentará un modelo de ac para el transistor con resultados que coincidirán exactamente con la solución a mano. El ángulo de fase es de −178° contra el ideal de 180°, una diferencia muy cercana.

Es posible obtener una gráfica de la forma de onda de salida mediante la opción **Probe**. La secuencia **Analysis-Probe Setup-Automatically run Probe alter simulation-OK** hará que se presente la pantalla **MicroSim Probe** al seleccionar el icono de **Analysis**. Sin embargo, si seguimos este proceso sin establecer la escala horizontal, terminaremos con un punto de 296 mV a una frecuencia de 10 kHz en la gráfica. Para establecer la escala horizontal seguimos la secuencia **Analysis-Setup-Transient** con la opción **AC Sweep** inhabilitada. Al hacer clic en la opción de **Transient**, se presentará el cuadro de diálogo **Transient** en el que deberán modificarse las opciones con base en la forma de onda que se visualizará. El periodo de la señal aplicada de 10 kHz es 0.1 ms = 100 μs. La opción de **Print Step** se refiere al intervalo de tiempo entre la impresión o graficación de los resultados del análisis transitorio. Para nuestro ejemplo, seleccionaremos 1 μs para proporcionar 100 puntos graficados por ciclo. La opción **Final Time** representa el último instante en que se determinará la respuesta de la red. Nuestra selección para tal opción es 500 μs o 0.5 ms para contar con 5 ciclos completos de la forma de onda. La opción **No-Print Delay** se estableció en 0 dado que todos los capacitores son esencialmente cortos circuitos en 10 kHz. Si sospecháramos que existe una fase transitoria entre el momento en que se energiza la red y el momento en que alcanza la respuesta de estado estable, se podría emplear la opción **No-Print Delay** para eliminar de forma efectiva este periodo. La última opción de **Step Ceiling** establece un periodo máximo entre los cálculos de respuesta del sistema, que estableceremos en 1 μs. El tiempo entre los cálculos lo ajustará internamente el paquete de software para asegurar datos suficientes en momentos donde la respuesta puede cambiar más rápidamente que lo usual. Sin embargo, nunca se separarán por un tiempo mayor del que establece **Step Ceiling**.

Después de la opción **Simulation** se presentará la pantalla **MicroSim Probe** que mostrará sólo la escala horizontal de 0 a 500 μs como se especificó en el cuadro de diálogo del transitorio (**Transient**). Para obtener una forma de onda se selecciona **Trace** de la barra de menú o el icono de **Trace** (patrón rojo sobre un eje negro). Si se seleccionó la opción **Trace** de la barra de menú, se debe continuar mediante **Add,** para que aparezca el cuadro de diálogo de **Add Traces**. Si se empleó el icono, el cuadro de diálogo aparecerá de forma inmediata. Ahora se deberá seleccionar la forma de onda que se desplegará a partir del listado de variables **Simulation Output Variables**. Dado que queremos que se muestre el voltaje colector-emisor del transistor, seleccionamos **V(Q1:c)** (una opción debajo de los nombres de **Alias**), seguido de **OK**. El resultado será la forma de onda de la figura 8.68, centrada en el nivel de dc de 13.45 V. La computadora seleccionó de forma automática el rango del eje vertical. Se desplegaron cinco ciclos completos de la forma de onda (como se esperaba) con 100 puntos de datos para cada ciclo. Si desea ver los puntos de datos (como se muestran en la figura 8.68) sólo acuda a **Tools-Options-Probe Options** y seleccione **Mark Data Points**. Haga clic en **OK** y los puntos de los datos aparecerán. Al emplear la escala de la gráfica, el valor pico a pico de la curva es de aproximadamente 13.76 − 13.16 V = 0.6 V = 600 mV, lo que ocasiona un valor pico de 300 mV. Debido a que se aplicó una señal de 1 mV, la ganancia es de 300 o muy cercana a los valores desplegados anteriormente.

Si se desea realizar una comparación entre el voltaje de entrada y el de salida sobre la misma gráfica, se puede seleccionar la opción **Add Y-Axis** bajo la opción **Plot**. Una vez hecho esto, seleccione el icono de **Add Trace** y seleccione **V(Vs:+)**. El resultado será que aparecerán las dos formas de onda en la misma pantalla, cada una con su propia escala vertical. Es posible

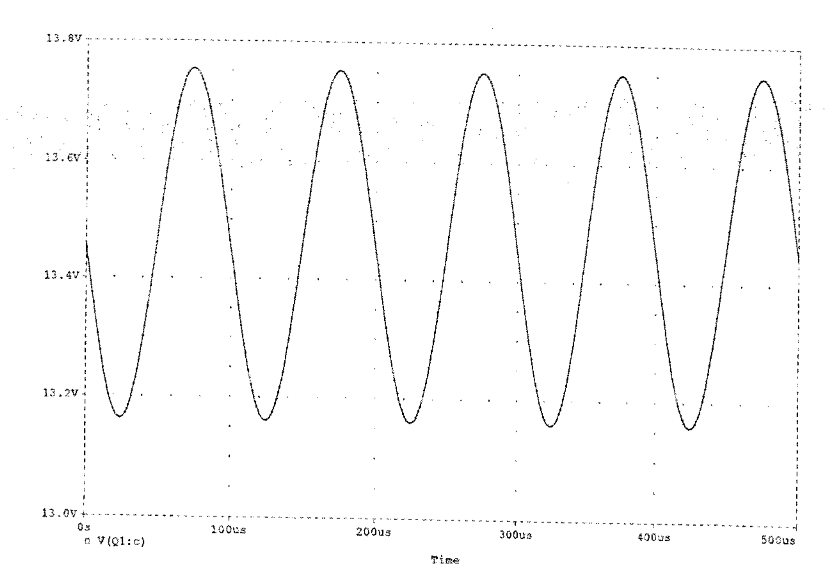


Figura 8.68 Voltaje v_c para la red de la figura 8.66.

añadir etiquetas a las formas de onda como se muestran en la figura 8.69 mediante el uso de **Tools-Label-Text**, con lo que aparecerá el cuadro de diálogo de **Text Label** en el que se puede capturar el texto deseado. Al hacer **OK**, es posible posicionarlo con el ratón en cualquier lugar de la pantalla. También es posible añadir líneas mediante **Tools-Label-Line**, con lo que aparecerá un lápiz que puede emplearse para trazar la línea mediante un clic del lado izquierdo del ratón en el punto de inicio y otro clic en el punto final. Cada punto puede imprimirse mediante **File-Print-Copies-OK**.

Si se prefieren dos gráficas separadas, se selecciona la opción **Plot** y luego **Add Plot** (añadir gráfica) una vez que **V** se desplegó. Al seleccionar esto, aparecerá otra gráfica, que estará esperando por la siguiente opción. La secuencia **Trace-Add-V(Vs:+)** ocasionará que aparezcan las gráficas de la figura 8.70. Las etiquetas **Vs** y **Vc** se añadieron mediante la opción **Tools**. Si se realizarán otras operaciones en alguna gráfica, por medio de **SEL'+** se seleccionará la gráfica activa.

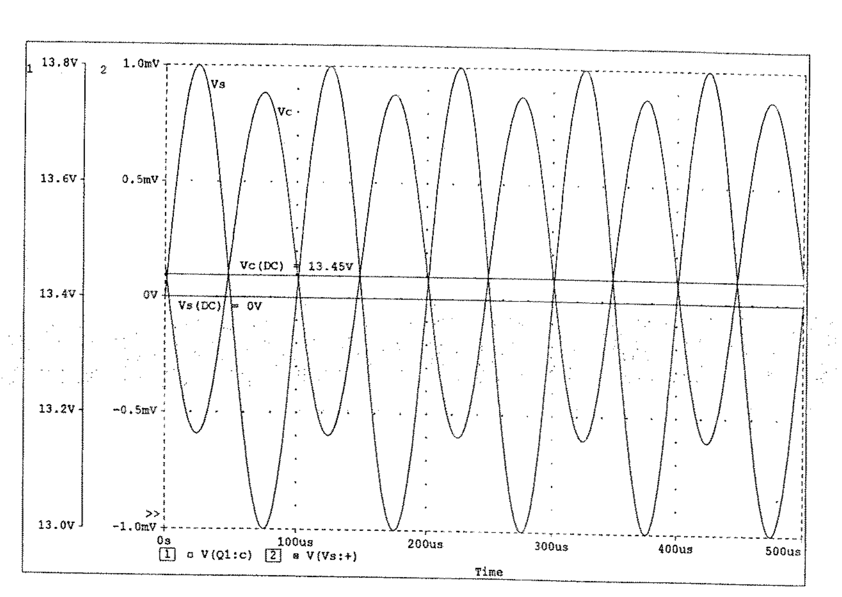


Figura 8.69 Voltaje v_c y v_s para la red de la figura 8.66.

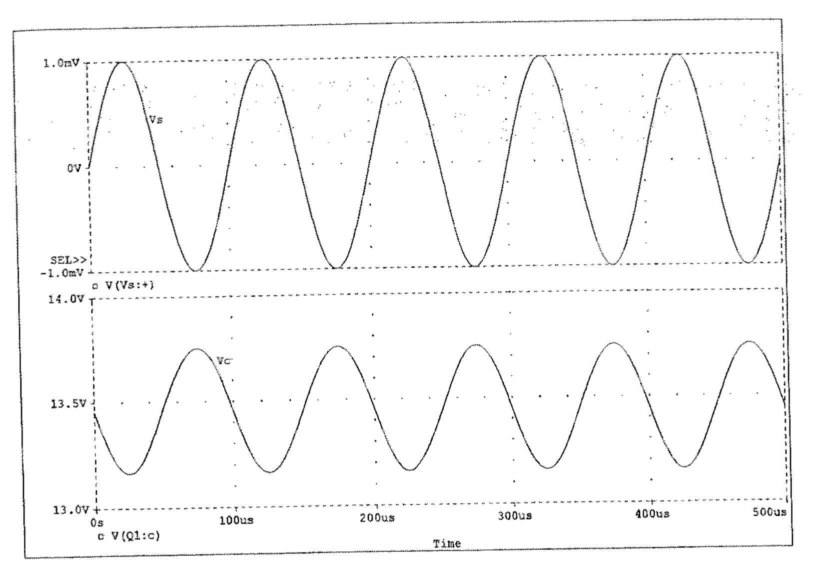


Figura 8.70 Dos gráficas distintas para v_c y v_s de la figura 8.66.

La última forma de onda de esta sección demostrará el empleo de la opción **Cursor** a la que se accede mediante la opción **Tools** del menú o mediante el icono de **Cursor Point** (que tiene una gráfica con un dibujo de una flecha que sale de la gráfica hacia el eje vertical). Mediante la secuencia **Tools-Cursor-Display** se obtendrá una línea en el nivel de dc de 13.453 V como se muestra en el cuadro de diálogo en la parte inferior derecha de la gráfica de la figura 8.71. Al dar clic en el lado izquierdo del ratón se obtendrá una línea vertical y una horizontal que se intersectan en algún punto de la curva. Al hacer clic sobre la línea vertical y sin soltar el botón, se podrá mover la línea vertical y su línea horizontal correspondiente (sobre la gráfica) a lo largo de la forma de onda. En cada punto aparecerán las intersecciones vertical y horizontal en el cuadro de diálogo. Si se mueve sobre el primer valor pico, **A1** se obtendrá en 13.745 V y 74.825 μs. Al hacer clic en el lado derecho sobre el ratón, aparecerá una segunda intersección definida como **A2** la cual también contará con la posición definida por el cuadro de diá-

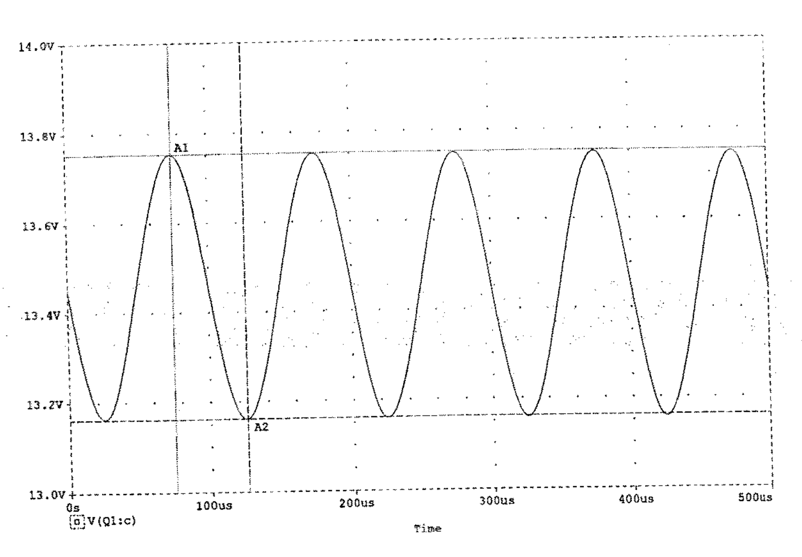


Figura 8.71 Demostración del uso de cursores para obtener lecturas en puntos específicos sobre la gráfica.

logo. Estas líneas de intersección se desplazan al mantener presionado el botón derecho del ratón. La información restante de la tercera línea del cuadro de diálogo es la diferencia entre las dos intersecciones de los dos ejes. Si **A2** se establece en la parte inferior de la forma de onda como se muestra en la figura 8.71, se producirá la lectura de 13.162 V y 125.17 μs, con esto se obtiene una diferencia entre los dos de 591.999 mV o 0.592 V de forma vertical y 50.35 μs de forma horizontal. Esto es lo esperado, ya que el valor de pico a pico coincide con 2×0.296 V $= 0.592$ V que se obtuvo antes. El intervalo de tiempo es prácticamente de 1/4 del periodo total (200 μs) de la forma de onda. Las etiquetas **A1** y **A2** se añadieron mediante la secuencia **Tools-Label-Text** del icono de textos **ABC**.

Los valores pico y mínimos de la gráfica de la figura 8.71 también pueden encontrarse por medio de los iconos que aparecen en la región superior de la barra de menú. Una vez que la forma de onda deseada se obtuvo, y que se aplicó la secuencia **Tools-Cursor-Display** o que se utilizó el icono **Toggle cursor** (es el icono de la región central de la barra de menús, con el eje negro punteado y una curva roja cruzando el origen), los seis iconos a la derecha del icono de **Toggle cursor** cambiarán a un patrón de color para indicar que se encuentran listos para utilizarse. Al hacer clic en el icono con la intersección en la parte superior, se colocará de forma automática la intersección **A1** en la parte superior, pico positivo, de la curva. Al hacer clic en el icono siguiente a la derecha colocará la intersección en la parte inferior de la curva, pico negativo (el valor mínimo). El siguiente icono colocará la intersección en la pendiente más pronunciada y el siguiente en el valor mínimo (junto con el valor de voltaje).

CONFIGURACIÓN DE DIVISOR DE VOLTAJE—SUSTITUCIÓN DE FUENTE CONTROLADA

Los resultados obtenidos para cualquier análisis mediante los transistores proporcionados por el paquete de software siempre serán diferentes de aquellos obtenidos con un modelo equivalente que sólo incluya el efecto de beta y de r_e. Esto se demostró para la red de la figura 8.66. Si se desea una solución que se limite al modelo aproximado, entonces el transistor deberá de representarse mediante un modelo como el que aparece en la figura 8.72.

Para el ejemplo 8.2, β es igual a 90, con $\beta r_e = 1.66$ kΩ. La fuente de corriente controlada por corriente (**CCCS** del inglés Current Controlled Current Source) se localiza en la biblioteca **ANALOG.slb** como **Part F**. Al hacer clic en la **F**, la descripción anterior (**Description**) se leerá como **Current-controlled current source**. Después de continuar con **OK-Place & Close**, el símbolo gráfico de la **CCCS** aparecerá en la pantalla como se muestra en la figura 8.73. Dado que βr_e no aparecen dentro de la estructura básica de la **CCCS**, deberá añadirse en serie con la corriente de control indicada por la flecha de la izquierda. Una vez que la fuente se encuentra en su lugar, al hacer un doble clic sobre el símbolo, ocasionará que aparezca el cuadro de diálogo de **Part-Name:F,** de donde es posible acceder a la opción **GAIN** (ganancia) para establecerla en 90. Asegúrese de guardar los atributos (**Save Attr**) y de cambiar el despliegue (**Change Display**) para que se muestren los nombres y los valores (**Both name and value**). No es necesario establecer otra cosa para la **CCCS.**

Al ejecutar el **Analysis** se generará un voltaje de salida de 368.3 mV o una ganancia de 368.3, lo cual coincide muy bien con la solución realizada a mano de 368.76. Los efectos de r_o podrían incluirse si simplemente se coloca un resistor en paralelo con la fuente de control.

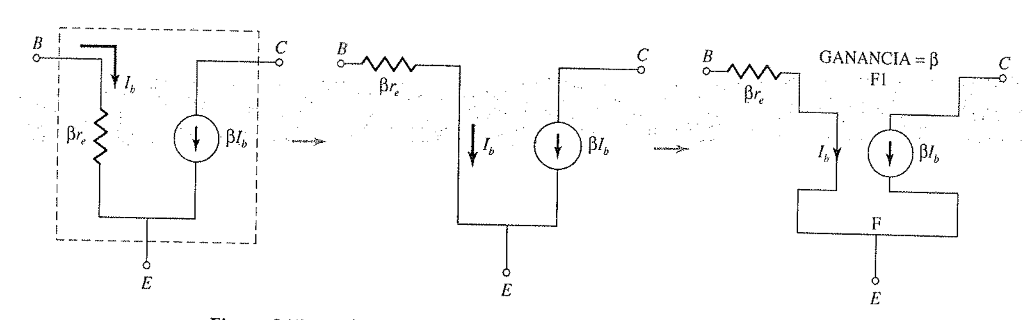


Figura 8.72 Utilización de una fuente controlada para representar el transistor de la figura 8.66.

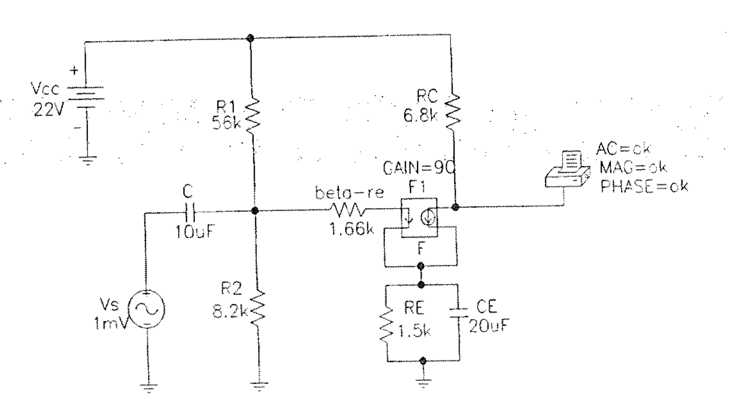


Figura 8.73 Sustitución de la fuente controlada de la figura 8.72 para el transistor de la figura 8.66.

Electronics Workbench

Debido a que la configuración de retroalimentación en colector genera las ecuaciones más complejas para los distintos parámetros de una red de BJT, parece apropiado que se utilice Electronics Workbench para verificar las conclusiones. La red del ejemplo 8.9 aparece como se muestra en la figura 8.74 mediante el transistor **Virtual** de la barra de herramientas de la familia de transistores (**Transistor**). Una vez que éste se seleccionó, deberá colocarse en el área general de la pantalla donde será empleado; luego al hacer doble clic sobre el símbolo, se presentará el cuadro de diálogo de **BJT_NPN_VIRTUAL** en el que se podrá seleccionar la configuración del modelo (**Edit Model**) en el que **BF** podrá cambiarse de su valor implícito, por default, de 100 a 200. Luego, al seleccionar **Change Part Model** se accederá de nuevo al cuadro de diálogo de **BJT_NPN_VIRTUAL.** Al aceptar **OK** se retornará al esquema general con parámetro del transistor ya modificado. El voltaje de ac se obtiene mediante la familia de fuentes (**Sources**) de la barra de herramientas para colocarse en el lugar deseado. Al hacer luego doble clic sobre la fuente, se obtendrá el cuadro de diálogo de **AC Voltage** de donde se podrá seleccionar la opción **Value**. Para nuestros propósitos, ésta se establecerá en 1 mV, la opción de **Frequency** permanece en el valor implícito de 1 kHz. Posteriormente se selecciona **Label** para modificar la etiqueta **Referente ID** a **Vi.** Se añade la etiqueta **Bf = 200** mediante **Edit-Place Text**.

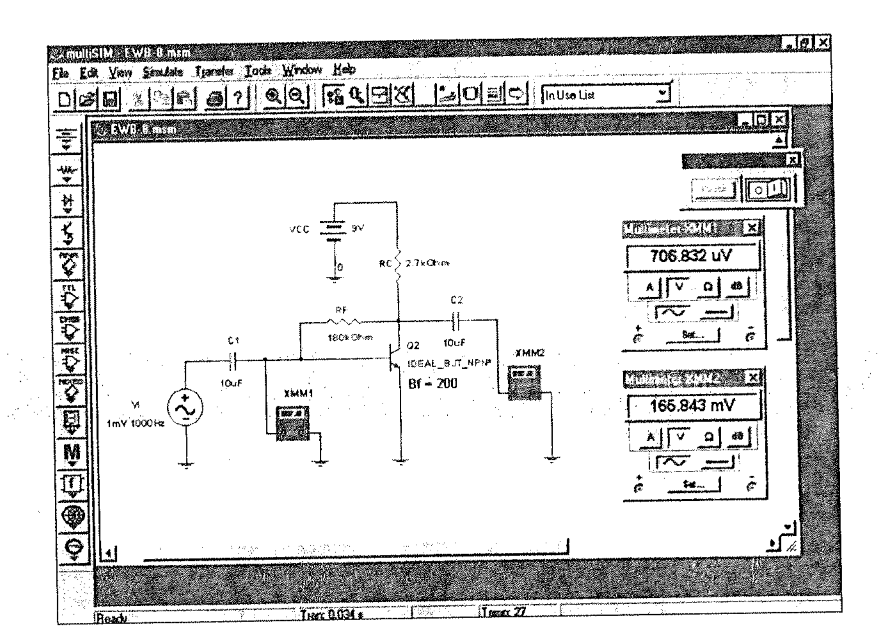


Figura 8.74 Red del ejemplo 8.9 redibujada mediante el uso de EWB.

Por último, se añaden los medidores que se muestran al emplear la secuencia **Simulate-Instruments-Multimeter** o simplemente mediante la selección del medidor en la barra de herramientas de **Systems** para obtener la barra de instrumentos (**Instruments**). Debido a que éste es un análisis de ac, los multímetros se establecen en el modo ac con **V** seleccionado para los niveles de voltaje deseados. Al "encender" el interruptor de simulación (posición 1) se obtendrán las lecturas del medidor de la figura 8.74. La ganancia de 165.843 mV/706.832 μV = 234.6 es muy cercana al valor de 240 que se obtuvo en el ejemplo 8.9 al utilizar el extenso análisis matemático. El multímetro **XMM1** ofrece una lectura de 0.707 mV en lugar del voltaje de 1 mV aplicado debido a que este medidor calcula valores efectivos y Multisim define sus fuentes de ac con valores pico. La diferencia en la lectura entre el medidor y el valor real de 707.1 μV se debe a la caída a través del capacitor en la frecuencia de 1 kHz.

PROBLEMAS

§ 8.2 Configuración de polarización fija con emisor común

1. Para la red de la figura 8.75:
   (a) Determine Z_i y Z_o.
   (b) Calcule A_v y A_i.
   (c) Repita el inciso (*a*) con r_o = 20 kΩ.
   (d) Repita el inciso (*b*) con r_o = 20 kΩ.

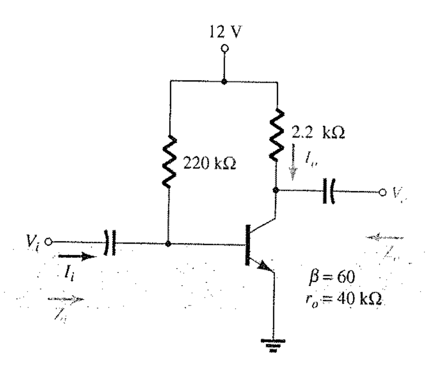


Figura 8.75 Problemas 1 y 21.

2. Para la red de la figura 8.76, determine V_{CC} para una ganancia de voltaje de A_v = −200.

* 3. Para la red de la figura 8.77:
   (a) Calcule I_B, I_C y r_e.
   (b) Determine Z_i y Z_o.
   (c) Calcule A_v y A_i.
   (d) Determine el efecto de r_o = 30 kΩ sobre A_v y A_i.

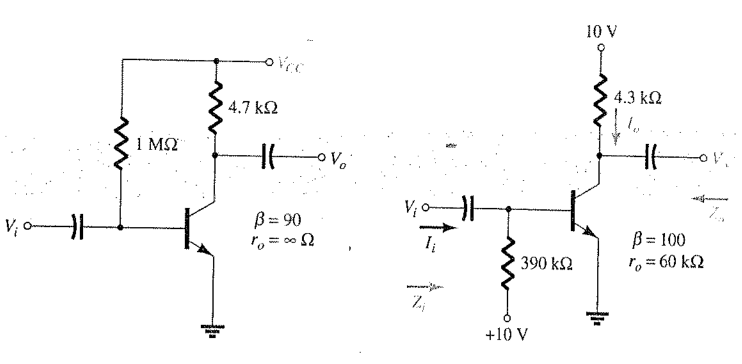


Figura 8.76 Problema 2.

Figura 8.77 Problema 3.

§ 8.3 Polarización por divisor de voltaje

4. Para la red de la figura 8.78:
   (a) Determine r_e.
   (b) Calcule Z_i y Z_o.
   (c) Encuentre A_v y A_i.
   (d) Repita los incisos (*a*) y (*b*) con r_o = 25 kΩ.

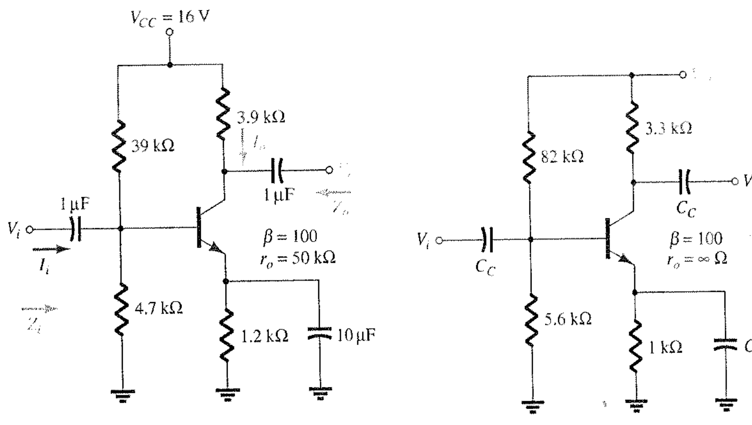


Figura 8.78 Problema 4.

Figura 8.79 Problema 5.

5. Determine V_{CC} para la red de la figura 8.79 si A_v = −160 y r_o = 100 kΩ.

6. Para la red de la figura 8.80:
   (a) Determine r_e.
   (b) Calcule V_B y V_C.
   (c) Determine Z_i y $A_v = V_o/V_i$.

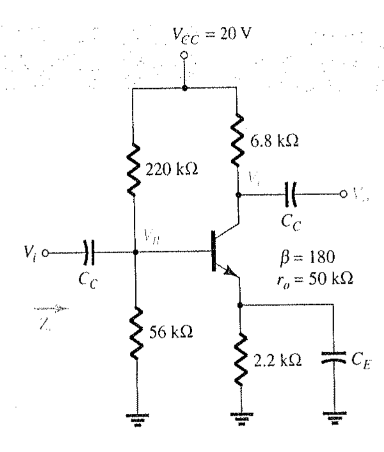


Figura 8.80 Problema 6.

§ 8.4 Configuración de polarización en emisor para emisor común

7. Para la red de la figura 8.81:
   (a) Determine r_e.
   (b) Calcule Z_i y Z_o.
   (c) Encuentre A_v y A_i.
   (d) Repita los incisos (*a*) y (*b*) con r_o = 20 kΩ.

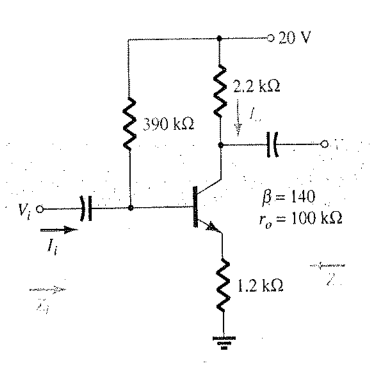


Figura 8.81 Problemas 7 y 9.

8. Para la red de la figura 8.82, determine R_E y R_B si $A_v = -10$ y $r_e = 3.8\ \Omega$. Asuma que $Z_b = \beta R_E$.

9. Repita el problema 7 con R_E en desvío. Compare los resultados.

* 10. Para la red de la figura 8.83:
(a) Determine r_e.
(b) Encuentre Z_i y A_v.
(c) Calcule A_i.

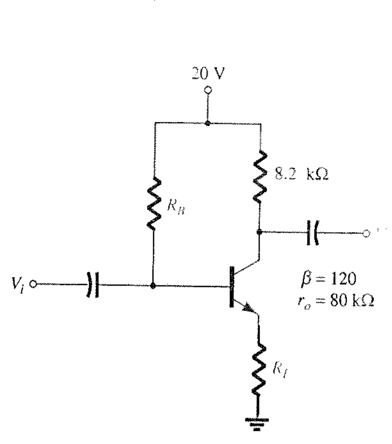


Figura 8.82 Problema 8.

Figura 8.83 Problema 10.

§ 8.5 Configuración de emisor-seguidor

11. Para la red de la figura 8.84:
(a) Determine r_e y βr_e.
(b) Encuentre Z_i y Z_o.
(c) Calcule A_v y A_i.

* 12. Para la red de la figura 8.85:
(a) Determine Z_i y Z_o.
(b) Encuentre A_v.
(c) Calcule V_o si $V_i = 1$ mV.

* 13. Para la red de la figura 8.86:
(a) Calcule I_B e I_C.
(b) Determine r_e.
(c) Determine Z_i y Z_o.
(d) Encuentre A_v y A_i.

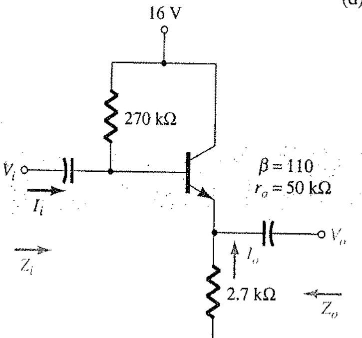


Figura 8.84 Problema 11.

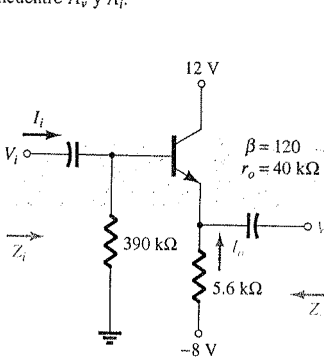


Figura 8.85 Problema 12.

Figura 8.86 Problema 13.

§ 8.6 Configuración de base común

14. Para la configuración de base común de la figura 8.87:
(a) Determine r_e.
(b) Encuentre Z_i y Z_o.
(c) Calcule A_v y A_i.

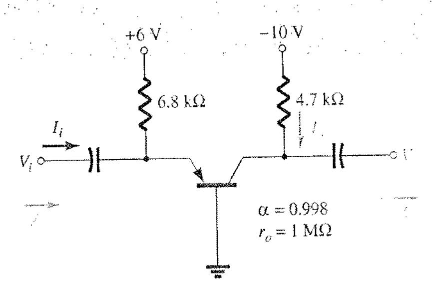


Figura 8.87 Problema 14.

* 15. Para la red de la figura 8.88, determine A_v y A_i.

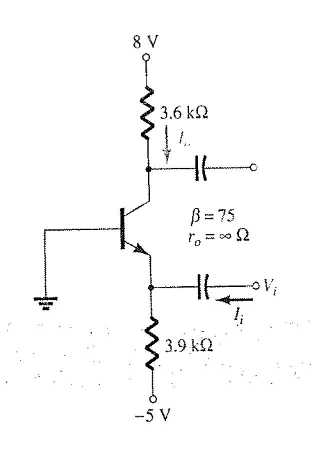


Figura 8.88 Problema 15.

§ 8.7 Configuración de retroalimentación en colector

16. Para la configuración de retroalimentación en colector de la figura 8.89:
(a) Determine r_e.
(b) Encuentre Z_i y Z_o.
(c) Calcule A_v y A_i.

* 17. Si $r_e = 10\ \Omega$, $\beta = 200$, $A = -160$ y $A_i = 19$ para la red de la figura 8.90, determine R_C, R_F y V_{CC}.

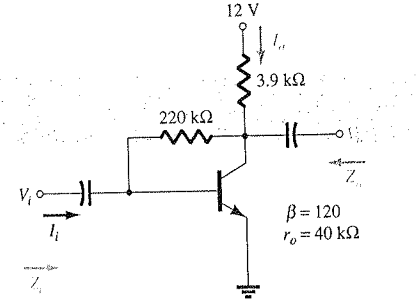


Figura 8.89 Problema 16.

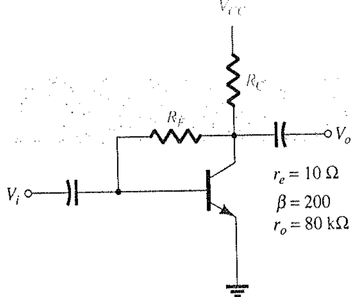


Figura 8.90 Problema 17.

18. Para la red de la figura 8.31:
(a) Derive la ecuación aproximada para A_v.
(b) Derive la ecuación aproximada para A_i.
(c) Derive la ecuación aproximada para Z_i y Z_o.
(d) Dado $R_C = 2.2\ k\Omega$, $R_F = 120\ k\Omega$, $R_E = 1.2\ k\Omega$, $\beta = 90$ y $V_{CC} = 10$ V, calcule las magnitudes de A_v, A_i, Z_i y Z_o mediante las ecuaciones de los incisos (a) al (c).

§ 8.8 Configuración de retroalimentación de dc en colector

19. Para la red de la figura 8.91:
(a) Determine Z_o y Z_i.
(b) Encuentre A_v y A_i.

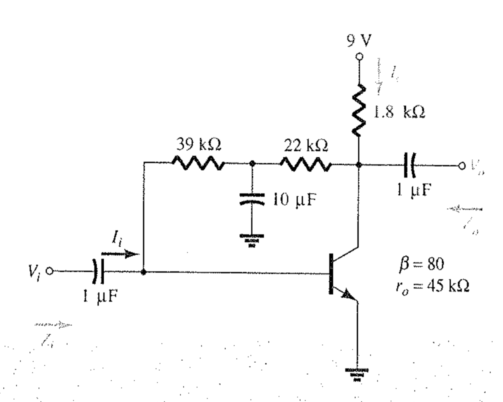


Figura 8.91 Problema 19.

§ 8.9 Circuito equivalente híbrido aproximado

20. (a) Dado que $\beta = 120$, $r_e = 4.5\ \Omega$ y $r_o = 40\ k\Omega$, dibuje el circuito equivalente híbrido aproximado.
(b) Dado $h_{ie} = 1\ k\Omega$, $h_{re} = 2 \times 10^{-4}$, $h_{fe} = 90$ y $h_{oe} = 20\ \mu S$, dibuje el modelo r_e.

21. Para la red del problema 1:
(a) Determine r_e.
(b) Encuentre h_{fe} y h_{ie}.
(c) Encuentre Z_i y Z_o mediante los parámetros híbridos.
(d) Calcule A_v y A_i mediante los parámetros híbridos.
(e) Determine Z_i y Z_o si $h_{oe} = 50\ \mu S$.
(f) Determine A_v y A_i si $h_{oe} = 50\ \mu S$.
(g) Compare las soluciones anteriores con las del problema 1. (Nota: Las soluciones se encuentran disponibles en el apéndice E si el problema 1 no se resolvió.)

22. Para la red de la figura 8.92:
(a) Determine Z_i y Z_o.
(b) Calcule A_v y A_i.
(c) Determine r_e y compare βr_e con h_{ie}.

* 23. Para la red de base común de la figura 8.93:
(a) Determine Z_i y Z_o.
(b) Calcule A_v y A_i.
(c) Determine α, β, r_e y r_o.

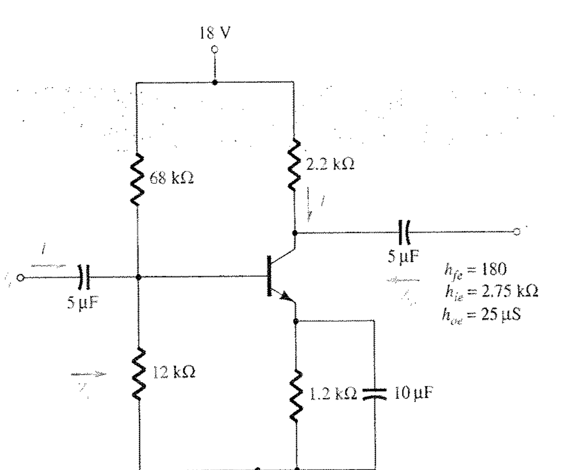


Figura 8.92 Problemas 22 y 24.

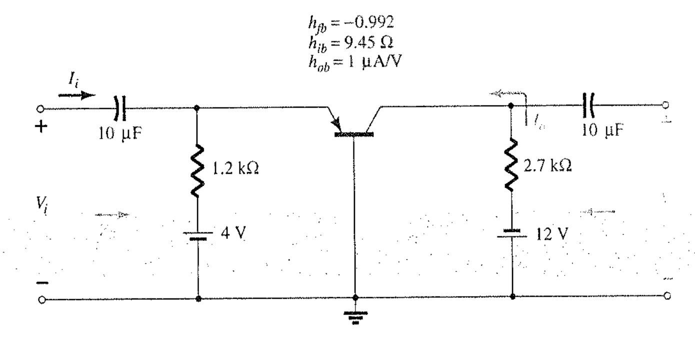


Figura 8.93 Problema 23.

§ 8.10 Modelo equivalente híbrido completo

* 24. Repita los incisos (a) y (b) del problema 22 con $h_{re} = 2 \times 10^{-4}$ y compare los resultados.

* 25. Para la red de la figura 8.94, determine:
(a) Z_i.
(b) A_v.
(c) $A_i = I_o/I_i$.
(d) Z_o.

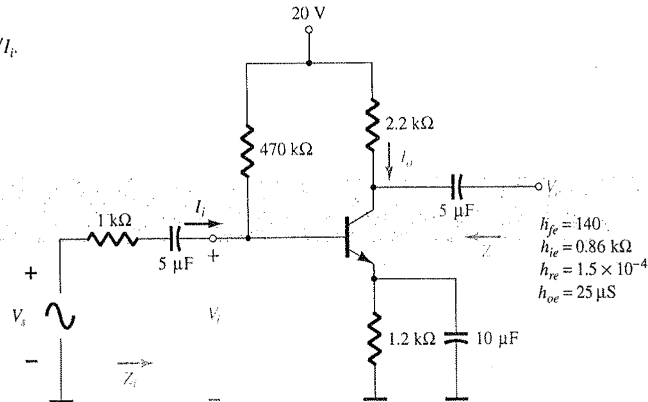


Figura 8.94 Problema 25.

* **26.** Para el amplificador de base común de la figura 8.95, determine:
(a) Z_i.
(b) A_v.
(c) A_i.
(d) Z_o.

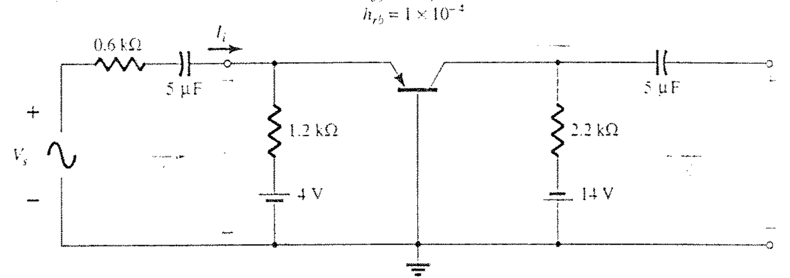


Figura 8.95 Problema 26.

§ 8.12 Localización de fallas

* **27.** Dada la red de la figura 8.96:
(a) Determine si el sistema se encuentra operando de forma correcta con base en los niveles de polarización por divisor de voltaje y las formas de onda de v_o y v_E.
(b) Determine la causa de los niveles de dc obtenidos y de la forma de onda de v_o que se obtuvo.

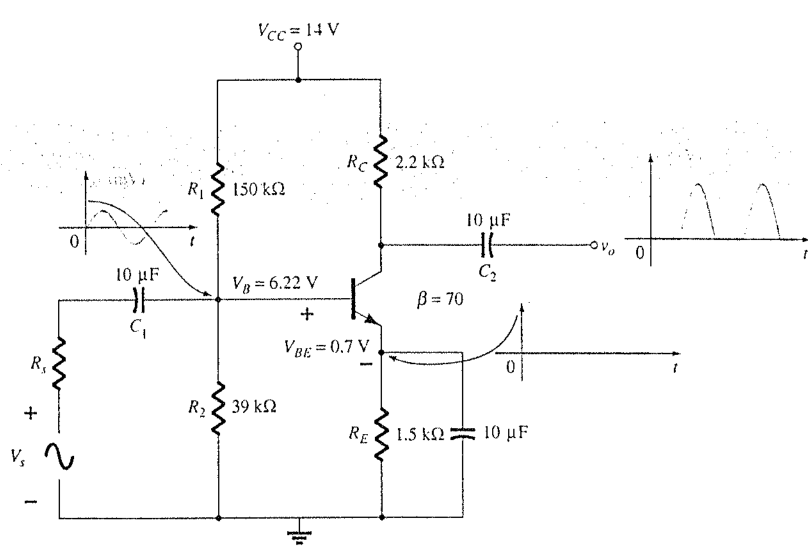


Figura 8.96 Problema 27.

§ 8.15 Análisis por computadora

28. Utilice PSpice para Windows, para determinar la ganancia de voltaje para la red de la figura 8.6. Utilice la facilidad de prueba (Probe) para desplegar las formas de onda de entrada y de salida.

29. Utilice PSpice para Windows, para determinar la ganancia de voltaje para la red de la figura 8.13. Utilice la facilidad de prueba (Probe) para desplegar las formas de onda de entrada y de salida.

30. Utilice PSpice para Windows, para determinar la ganancia de voltaje para la red de la figura 8.26. Utilice la facilidad de prueba (Probe) para desplegar las formas de onda de entrada y de salida.

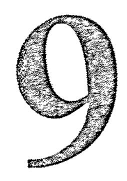
31. Utilice Electronics Workbench para determinar la ganancia de voltaje de la red de la figura 8.9.

32. Utilice Electronics Workbench para determinar la ganancia de voltaje de la red de la figura 8.21.

*Observe: Los asteriscos indican problemas con mayor dificultad.

CAPÍTULO

Análisis a pequeña señal para FET



g_m

9.1 INTRODUCCIÓN

Los amplificadores con transistores de efecto de campo proporcionan una ganancia de voltaje excelente con la característica adicional de una alta impedancia de entrada. Además son considerados como configuraciones de bajo consumo de potencia con un adecuado rango de frecuencia y un tamaño y peso mínimos. Tanto los dispositivos JFET como los MOSFET de tipo decremental pueden emplearse para diseñar amplificadores que cuenten con ganancias similares de voltaje. Sin embargo, el circuito de MOSFET decremental tiene una impedancia de entrada mucho mayor que la de una configuración JFET similar.

Mientras que un dispositivo BJT controla una corriente de salida (colector) grande mediante una corriente de entrada (base) relativamente pequeña, el dispositivo FET controla una corriente de salida (drenaje) por medio de un voltaje de entrada (voltaje de la compuerta) pequeño. Por tanto y en general, el BJT es un dispositivo *controlado por corriente* y el FET es un dispositivo *controlado por voltaje*. Sin embargo, observe que en ambos casos la corriente de salida es la variable controlada. Gracias a la característica de impedancia de entrada alta de los FETs, el modelo equivalente de ac será de alguna forma más simple que el utilizado para los BJTs. Mientras que el BJT cuenta con un factor de amplificación β (beta), el FET cuenta con un factor de transconductancia, g_m.

El FET puede emplearse como un amplificador lineal o como un dispositivo digital en circuitos lógicos. De hecho, el MOSFET incremental es muy popular en los circuitos digitales, especialmente en los circuitos CMOS que requieren un consumo de potencia muy bajo. Los dispositivos FET también se utilizan ampliamente en aplicaciones de alta frecuencia y en aplicaciones de circuitos de interfaz para computadoras. En la tabla 9.1 de la sección 9.13 se proporciona un resumen de los circuitos amplificadores a FET de pequeña señal y de sus fórmulas relacionadas.

Aunque la configuración de fuente común es la que más se utiliza para proporcionar una señal invertida y amplificada, es posible encontrar circuitos de drenaje común (fuente-seguidor) que proporcionan ganancias unitarias sin inversión y circuitos de compuerta común que proveen ganancia sin inversión. De la misma forma que para los amplificadores BJT, las principales características de circuito que se describirán en este capítulo, incluyen la ganancia de voltaje, la impedancia de entrada y la impedancia de salida. Debido a la alta impedancia de entrada, por lo general, se asume que la corriente de entrada es de 0 μA con lo que la ganancia de corriente será una cantidad indeterminada. Mientras que la ganancia de voltaje de un amplificador FET es con frecuencia menor que la obtenida al emplear un amplificador a BJT, el amplificador a FET proporciona una impedancia de entrada mucho mayor que la de la configuración BJT. Los valores de las impedancias de salida son equivalentes para los circuitos BJT y FET.

Las redes amplificadoras a FET también pueden analizarse por medio de paquetes de simulación para computadora. Mediante el uso de PSpice o de Electronics Workbench, es posible efectuar un análisis de dc para obtener las condiciones de polarización del circuito y un análisis de ac para determinar la ganancia de voltaje a pequeña señal. Al utilizar lo modelos de transistor de PSpice, se puede analizar el circuito mediante modelos de

transistores específicos. Por otro lado, se puede desarrollar un programa mediante un lenguaje como BASIC para realizar tanto el análisis de dc como el de ac que proporcionen los resultados en un formato muy especial.

9.2 MODELO DE PEQUEÑA SEÑAL PARA EL FET

El análisis de ac de una configuración a FET requiere que se desarrolle un modelo de ac de pequeña señal para el FET. Un componente principal del modelo de ac reflejará el hecho de que un voltaje ac aplicado a las terminales de compuerta-fuente controlará el nivel de la corriente del drenaje a la fuente.

El voltaje compuerta-fuente controla la corriente de drenaje-fuente (canal) de un FET.

Recuerde del capítulo 6 que el voltaje de dc compuerta-fuente controlaba el nivel de la corriente de drenaje de dc mediante una relación conocida como ecuación de Shockley: $I_D = I_{DSS}(1 - V_{GS}/V_P)^2$. El *cambio* en la corriente del colector que se ocasionará por el *cambio* en el voltaje compuerta-fuente puede determinarse mediante el uso del factor de transconductancia g_m de la forma siguiente:

$$\Delta I_D = g_m \Delta V_{GS} \tag{9.1}$$

El prefijo *trans-* de la terminología aplicada a g_m indica que éste establece una relación entre una cantidad de entrada y una de salida. La raíz *conductancia* se seleccionó debido a que g_m se encuentra determinado por una relación voltaje a corriente similar a la relación que define la conductancia de un resistor $G = 1/R = I/V$.

Al resolver para g_m en la ecuación 9.1, tenemos:

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} \tag{9.2}$$

Determinación gráfica de g_m

Si ahora revisamos las características de transferencia de la figura 9.1, encontramos que g_m es en realidad la pendiente de las características en el punto de operación. Es decir,

$$g_m = m = \frac{\Delta y}{\Delta x} = \frac{\Delta I_D}{\Delta V_{GS}} \tag{9.3}$$

Al seguir la curvatura de las características de transferencia, queda claro que la pendiente, y por tanto g_m, se incrementa a medida que se va de V_P a I_{DSS}. O en otras palabras, a medida que V_{GS} se acerca a 0 V, la magnitud de g_m se incrementa.

La ecuación 9.2 muestra que se puede calcular g_m en cualquier punto Q sobre las características de transferencia, simplemente al seleccionar un incremento finito en V_{GS} (o en I_D) cercano al punto Q y luego al localizar el cambio correspondiente en I_D (o V_{GS}, respectivamente). Los cambios resultantes en cada cantidad posteriormente se sustituyen en la ecuación 9.2 para determinar g_m.

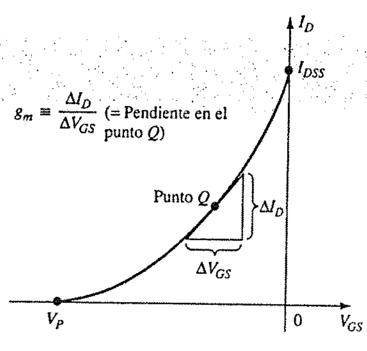


Figura 9.1 Definición de g_m mediante la característica de transferencia.

EJEMPLO 9.1

Determine la magnitud de g_m para un JFET con $I_{DSS} = 8$ mA y $V_P = -4$ V en los siguientes puntos de polarización de dc:
(a) $V_{GS} = -0.5$ V.
(b) $V_{GS} = -1.5$ V.
(c) $V_{GS} = -2.5$ V.

Solución

Las características de transferencia se generan, como en la figura 9.2, mediante el procedimiento definido en el capítulo 6. Luego se precisa cada punto de operación y se dibuja una línea tangente a cada punto para reflejar mejor la pendiente de la curva de transferencia en esta región. Posteriormente se selecciona un incremento adecuado para V_{GS} que refleje una variación a cada lado de cada punto Q. Después, la ecuación 9.2 se aplica para determinar g_m.

(a) $g_m = \dfrac{\Delta I_D}{\Delta V_{GS}} \cong \dfrac{2.1 \text{ mA}}{0.6 \text{ V}} = \mathbf{3.5\ mS}$

(b) $g_m = \dfrac{\Delta I_D}{\Delta V_{GS}} \cong \dfrac{1.8 \text{ mA}}{0.7 \text{ V}} \cong \mathbf{2.57\ mS}$

(c) $g_m = \dfrac{\Delta I_D}{\Delta V_{GS}} = \dfrac{1.5 \text{ mA}}{1.0 \text{ V}} = \mathbf{1.5\ mS}$

Observe el decremento en g_m a medida que V_{GS} se aproxima a V_P.

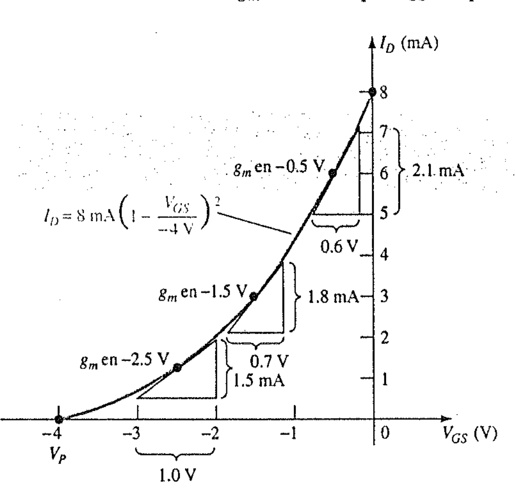


Figura 9.2 Cálculo de g_m en distintos puntos de polarización.

Definición matemática de g_m

El procedimiento gráfico recién descrito se encuentra limitado por la precisión de la gráfica de transferencia y por el cuidado con el que se determinen los cambios en cada cantidad. Naturalmente, mientras más grande sea la gráfica mejor será la precisión, pero esto puede convertirse en un problema engorroso. Un enfoque alternativo para calcular g_m utiliza el enfoque empleado para encontrar la resistencia de ac de un diodo en el capítulo 1, donde se estableció que:

La derivada de una función en un punto es igual a la pendiente de la línea tangente trazada en ese punto.

Si por tanto tomamos la derivada de I_D con respecto a V_{GS} (cálculo diferencial) en la ecuación de Shockley, se puede deducir una ecuación para g_m de la siguiente forma:

$$g_m = \left.\frac{\Delta I_D}{\Delta V_{GS}}\right|_{\text{Punto } Q} = \left.\frac{dI_D}{dV_{GS}}\right|_{\text{Punto } Q} = \frac{d}{dV_{GS}}\left[I_{DSS}\left(1 - \frac{V_{GS}}{V_P}\right)^2\right]$$

$$= I_{DSS}\frac{d}{dV_{GS}}\left(1 - \frac{V_{GS}}{V_P}\right)^2 = 2I_{DSS}\left[1 - \frac{V_{GS}}{V_P}\right]\frac{d}{dV_{GS}}\left(1 - \frac{V_{GS}}{V_P}\right)$$

$$= 2I_{DSS}\left[1 - \frac{V_{GS}}{V_P}\right]\left[\frac{d}{dV_{GS}}(1) - \frac{1}{V_P}\frac{dV_{GS}}{dV_{GS}}\right] = 2I_{DSS}\left[1 - \frac{V_{GS}}{V_P}\right]\left[0 - \frac{1}{V_P}\right]$$

y

$$g_m = \frac{2I_{DSS}}{|V_P|}\left[1 - \frac{V_{GS}}{V_P}\right] \tag{9.4}$$

donde $|V_P|$ denota sólo la magnitud para asegurar un valor positivo de g_m.

Se mencionó antes que la pendiente de la curva de transferencia es máxima cuando $V_{GS} = 0$ V; al sustituir $V_{GS} = 0$ V en la ecuación 9.4 se obtiene la ecuación siguiente para el valor máximo de g_m para un JFET en el que tanto I_{DSS} como V_P se han especificado:

$$g_m = \frac{2I_{DSS}}{|V_P|}\left[1 - \frac{0}{V_P}\right]$$

y

$$g_{m0} = \frac{2I_{DSS}}{|V_P|} \tag{9.5}$$

donde el subíndice 0 añadido nos recuerda que se trata del valor de g_m cuando $V_{GS} = 0$ V. La ecuación 9.4 se convierte entonces en

$$g_m = g_{m0}\left[1 - \frac{V_{GS}}{V_P}\right] \tag{9.6}$$

EJEMPLO 9.2

Para el JFET que cuenta con las características de transferencia del ejemplo 9.1:
(a) Calcule el valor máximo de g_m.
(b) Calcule el valor de g_m para cada punto de operación del ejemplo 9.1 mediante la ecuación 9.6 y compare con los resultados gráficos.

Solución

(a) $g_{m0} = \dfrac{2I_{DSS}}{|V_P|} = \dfrac{2(8 \text{ mA})}{4 \text{ V}} = \mathbf{4 \text{ mS}}$ (valor máximo posible de g_m)

(b) Cuando $V_{GS} = -0.5$ V,

$$g_m = g_{m0}\left[1 - \frac{V_{GS}}{V_P}\right] = 4 \text{ mS}\left[1 - \frac{-0.5 \text{ V}}{-4 \text{ V}}\right] = \mathbf{3.5 \text{ mS}}$$ (contra 3.5 mS de la forma gráfica)

Cuando $V_{GS} = -1.5$ V,

$$g_m = g_{m0}\left[1 - \frac{V_{GS}}{V_P}\right] = 4 \text{ mS}\left[1 - \frac{-1.5 \text{ V}}{-4 \text{ V}}\right] = \mathbf{2.5 \text{ mS}}$$ (contra 2.57 mS de la forma gráfica)

Cuando $V_{GS} = -2.5$ V,

$$g_m = g_{m0}\left[1 - \frac{V_{GS}}{V_P}\right] = 4 \text{ mS}\left[1 - \frac{-2.5 \text{ V}}{-4 \text{ V}}\right] = \mathbf{1.5 \text{ mS}}$$ (contra 1.5 mS de la forma gráfica)

Los resultados del ejemplo 9.2 son, en realidad, lo suficientemente cercanos como para validar las ecuaciones 9.4 a la 9.6 para cuando se requiera g_m en un futuro.

Las hojas de especificaciones proporcionan g_m como y_{fs} donde y indica que es la parte de admitancia del circuito equivalente. La f significa que se trata de un parámetro de transferencia directo (del inglés *forward*), y la s (del inglés *source*) revela que la terminal de la fuente es la referencia del modelo.

En forma de ecuación,

$$g_m = y_{fs} \tag{9.7}$$

Para el JFET de la figura 5.18, y_{fs} varía desde 1000 hasta 5000 μS o de 1 a 5 mS.

Gráfica de g_m en función de V_{GS}

Debido a que el factor $\left(1 - \dfrac{V_{GS}}{V_P}\right)$ de la ecuación 9.6 es menor a 1 para cualquier valor de V_{GS} distinto a 0 V, la magnitud de g_m disminuirá a medida que V_{GS} se aproxime a V_P, y que el cociente V_{GS}/V_P se incremente en magnitud. En $V_{GS} = V_P$, $g_m = g_{m0}(1 - 1) = 0$. La ecuación 9.6 define una línea recta con un valor mínimo de 0 y un valor máximo de g_m como lo muestra la gráfica de la figura 9.3.

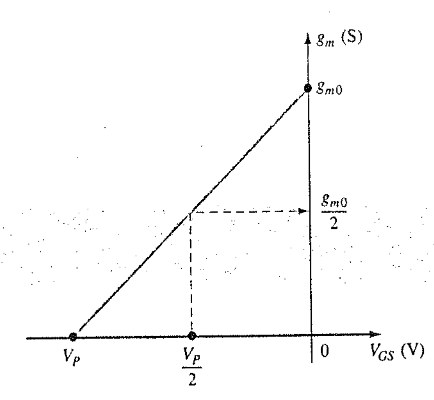


Figura 9.3 Gráfica de g_m en función de V_{GS}.

La figura 9.3 también muestra que cuando V_{GS} es la mitad del valor del voltaje de estrechamiento, g_m se encontrará en la mitad de su valor máximo.

EJEMPLO 9.3

Grafique g_m en función de V_{GS} para el JFET de los ejemplos 9.1 y 9.2.

Solución

Observe la figura 9.4.

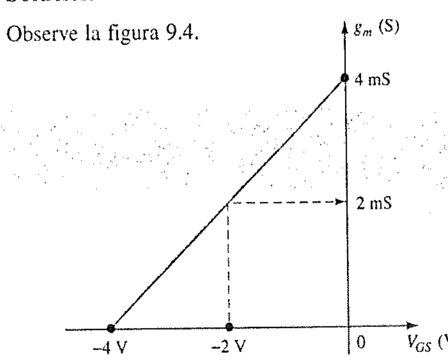


Figura 9.4 Gráfica de g_m en función de V_{GS} para un JFET con $I_{DSS} = 8$ mA y $V_P = -4$ V.

Impacto de I_D sobre g_m

Es posible deducir una relación matemática entre g_m y la corriente de polarización de dc I_D, al observar que la ecuación de Shockley puede escribirse de la siguiente forma:

$$1 - \frac{V_{GS}}{V_P} = \sqrt{\frac{I_D}{I_{DSS}}} \qquad (9.8)$$

Al sustituir la ecuación 9.8 en la ecuación 9.6 se obtendrá:

$$g_m = g_{m0}\left(1 - \frac{V_{GS}}{V_P}\right) = g_{m0}\sqrt{\frac{I_D}{I_{DSS}}} \qquad (9.9)$$

Al emplear la ecuación 9.9 para determinar g_m para unos cuantos valores específicos de I_D, los resultados son

(a) Si $I_D = I_{DSS}$,

$$g_m = g_{m0}\sqrt{\frac{I_{DSS}}{I_{DSS}}} = g_{m0}$$

(b) Si $I_D = I_{DSS}/2$,

$$g_m = g_{m0}\sqrt{\frac{I_{DSS}/2}{I_{DSS}}} = 0.707g_{m0}$$

(c) Si $I_D = I_{DSS}/4$,

$$g_m = g_{m0}\sqrt{\frac{I_{DSS}/4}{I_{DSS}}} = \frac{g_{m0}}{2} = 0.5g_{m0}$$

EJEMPLO 9.4 Grafique g_m en función de I_D para el JFET de los ejemplos 9.1 al 9.3.

Solución

Vea la figura 9.5.

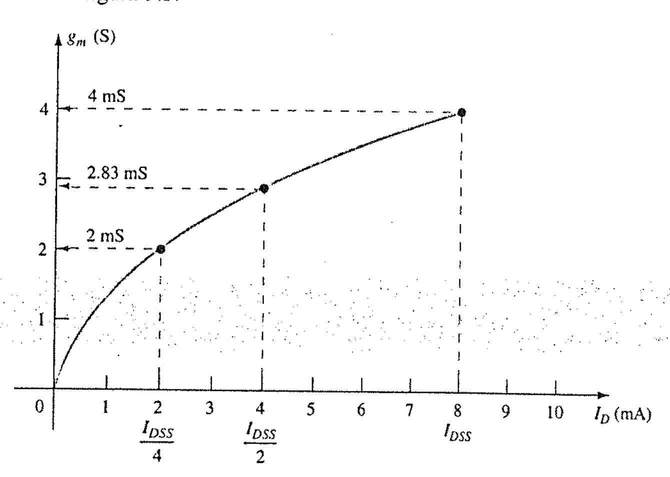


Figura 9.5 Gráfica de g_m en función de I_D para un JFET con I_{DSS} = 8 mA y V_{GS} = –4 V.

Las gráficas de los ejemplos 9.3 y 9.4 muestran con claridad que los valores más altos de g_m se obtienen cuando V_{GS} se aproxima a 0 V e I_D se aproxima a su valor máximo de I_{DSS}.

Impedancia de entrada Z_i del FET

La impedancia de entrada de todos los FETs disponibles comercialmente es lo suficientemente grande como para asumir que las terminales de entrada se aproximan a un circuito abierto. En forma de ecuación,

$$Z_i\,(\text{FET}) = \infty\ \Omega \qquad (9.10)$$

Para un JFET se tiene un valor típico en la práctica de $10^9\ \Omega$ (1000 MΩ), mientras que para los MOSFETs se tiene un valor típico de 10^{12} a $10^{15}\ \Omega$.

Impedancia de salida Z_o del FET

La impedancia de salida de los FETs es de magnitud similar a la que tienen los BJTs convencionales. En las hojas de especificaciones, la impedancia de salida se presenta, por lo general, como y_{os} con unidades de μS. El parámetro y_{os} es un componente de *admitancia de un circuito equivalente*, el subíndice *o* indica que se trata de un parámetro de la red de salida (del inglés *output*) y la *s* indica la terminal (fuente, *source*) de referencia del modelo. Para el JFET de la figura 5.18, y_{os} tiene un rango inicial de 10 a 50 μS o 20 kΩ ($R = 1/G = 1/50$ μS) hasta 100 kΩ ($R = 1/G = 1/10$ μS).

En forma de ecuación,

$$Z_o\,(\text{FET}) = r_d = \frac{1}{y_{os}} \qquad (9.11)$$

La impedancia de salida se define sobre las características de la figura 9.6 como la pendiente de la curva característica horizontal en el punto de operación. Mientras más horizontal sea la curva, mayor será la impedancia de salida. Si ésta es perfectamente horizontal, se tendrá la situación ideal de que la impedancia de salida sea infinita (un circuito abierto), lo cual es una aproximación aplicada con regularidad.

En forma de ecuación,

$$r_d = \left.\frac{\Delta V_{DS}}{\Delta I_D}\right|_{V_{GS}=\text{constante}} \qquad (9.12)$$

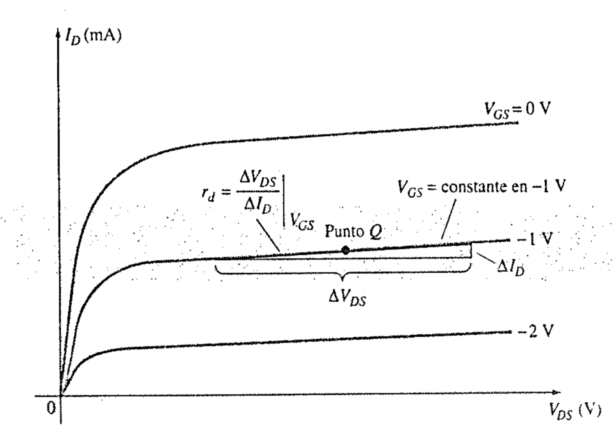


Figura 9.6 Definición de r_d mediante las características del drenaje del FET.

Observe el requerimiento al aplicar la ecuación 9.12 de que el voltaje V_{GS} permanezca constante cuando r_d se calcule. Esto se logra dibujando una línea recta que aproxime la línea V_{GS} en el punto de operación. Luego se selecciona un ΔV_{DS} o ΔI_D y se mide la otra cantidad para utilizarse en la ecuación.

EJEMPLO 9.5

Calcule la impedancia de salida del FET de la figura 9.7 para V_{GS} = 0 V y V_{GS} = − 2V cuando V_{DS} = 8 V.

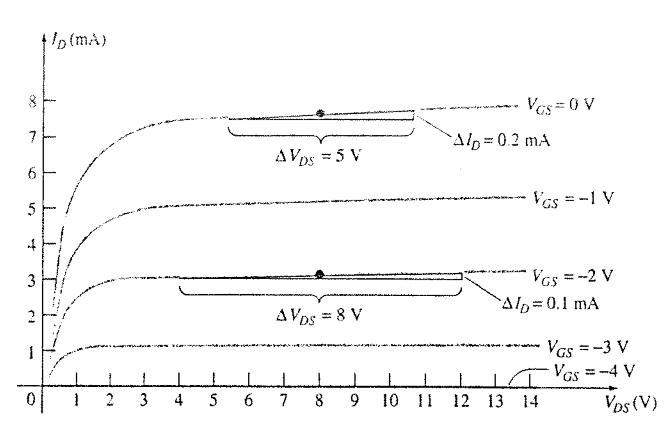


Figura 9.7 Características de drenaje empleadas para calcular r_d en el ejemplo 9.5.

Solución

Para V_{GS} = 0 V, se traza una línea tangente y se selecciona ΔV_{DS} como 5 V, lo que da por resultado un ΔI_D de 0.2 mA. Al sustituir en la ecuación 9.12,

$$r_d = \left.\frac{\Delta V_{DS}}{\Delta I_D}\right|_{V_{GS}=0\text{ V}} = \frac{5\text{ V}}{0.2\text{ mA}} = 25\text{ k}\Omega$$

Para V_{GS} = −2 V, se traza una línea tangente y se selecciona ΔV_{DS} como 8 V, lo que da por resultado un ΔI_D de 0.1 mA. Al sustituir en la ecuación 9.12,

$$r_d = \left.\frac{\Delta V_{DS}}{\Delta I_D}\right|_{V_{GS}=-2\text{ V}} = \frac{8\text{ V}}{0.1\text{ mA}} = 80\text{ k}\Omega$$

lo que muestra que r_d cambia de una región de operación a otra donde, por lo general, los valores más pequeños ocurren en los niveles más bajos de V_{GS} (cercanos a 0 V).

Circuito equivalente de AC para FET

Una vez que se han presentado y analizado los parámetros más relevantes de un circuito equivalente de ac, es posible construir un modelo para el transistor FET en el dominio de ac. Se incluye el control de I_d por V_{gs} como una fuente de corriente $g_m V_{gs}$ conectada del drenaje a la fuente, como se muestra en la figura 9.8. La fuente de corriente tiene su flecha apuntando del drenaje a la fuente para establecer un desplazamiento de fase de 180° entre los voltajes de entrada y de salida como sucede en la operación real.

La impedancia de entrada se encuentra representada por el circuito abierto en las terminales de entrada y la impedancia de salida mediante el resistor r_d del drenaje a la fuente. Observe que el voltaje de la compuerta a la fuente ahora se encuentra representado por

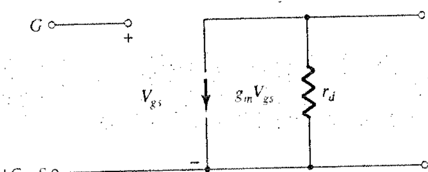


Figura 9.8 Circuito equivalente de AC para FET.

V_{gs} (subíndices en minúsculas) para distinguirlo de los niveles de dc. Además recuerde el hecho de que la fuente es común referencia, tanto para el circuito de entrada como el de salida, mientras que las terminales de compuerta y de drenaje sólo se encuentran en "contacto" mediante la fuente de corriente controlada $g_m V_{gs}$.

En situaciones donde r_d es ignorada (se asume lo suficientemente grande en comparación con otros elementos de la red que se aproxima por un circuito abierto), el circuito equivalente es simplemente una fuente de corriente cuya magnitud es controlada por la señal V_{gs} y el parámetro g_m, lo cual es claramente un dispositivo controlado por voltaje.

EJEMPLO 9.6

Dado y_{fs} = 3.8 mS y y_{os} = 20 μS, dibuje el modelo equivalente de ac del FET.

Solución

$$g_m = y_{fs} = 3.8\text{ mS} \quad \text{y} \quad r_d = \frac{1}{y_{os}} = \frac{1}{20\ \mu\text{S}} = 50\text{ k}\Omega$$

lo que da por resultado el modelo equivalente de ac de la figura 9.9.

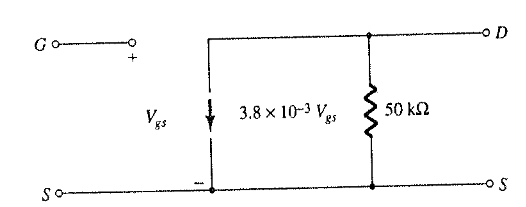


Figura 9.9 Modelo equivalente de ac del FET para el ejemplo 9.6.

9.3 CONFIGURACIÓN DE POLARIZACIÓN FIJA PARA EL JFET

Ahora que se ha definido el circuito equivalente del FET, se analizarán distintas configuraciones fundamentales de pequeña señal del FET. Este enfoque será paralelo al análisis de los amplificadores BJT para la determinación de los parámetros principales Z_i, Z_o y A_v de cada configuración.

La configuración de *polarización fija* de la figura 9.10 incorpora a los capacitores de acoplamiento C_1 y C_2 para aislar el arreglo de polarización de dc de la señal y la carga aplicadas, éstos actúan como equivalentes de "corto circuito" para el análisis de ac.

Una vez que los niveles de g_m y r_d se han determinado a partir del arreglo de polarización de dc de la hoja de especificaciones o de las características, es posible sustituir el

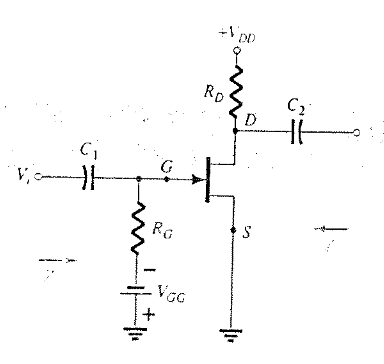


Figura 9.10 Configuración de polarización fija para el JFET.

modelo equivalente de ac entre las terminales adecuadas como se muestra en la figura 9.11. Observe que ambos capacitores se consideran cortos circuitos equivalentes debido a que la reactancia $X_C = 1/(2\pi fC)$ es suficientemente pequeña en comparación con los otros niveles de impedancia de la red, y las baterías de dc V_{GG} y V_{DD} se establecen en cero volts mediante un corto circuito equivalente.

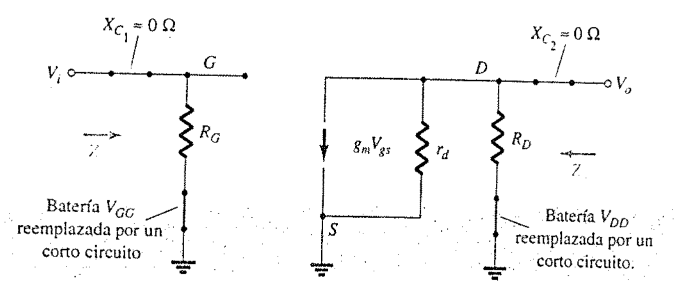


Figura 9.11 Sustitución de la unidad del circuito equivalente de ac del JFET en la red de la figura 9.10.

Posteriormente, la red de la figura 9.11 se redibuja con cuidado en la figura 9.12. Observe la polaridad definida de V_{gs}, que define la dirección de g_mV_{gs}. Si V_{gs} es negativa, la dirección de la fuente de corriente se invierte. La señal aplicada se representa por V_i y la señal de salida a través de R_D por V_o.

Z_i: La figura 9.12 claramente muestra que

$$Z_i = R_G \tag{9.13}$$

debido a la equivalencia de circuito abierto en las terminales de entrada del JFET.

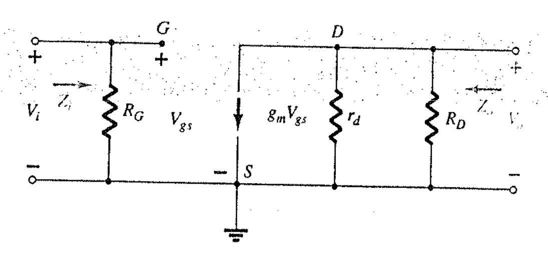


Figura 9.12 Red de la figura 9.11 redibujada.

Z_o: Al hacer $V_i = 0$ V como lo requiere la definición de Z_o, también se hará V_{gs} 0 V. El resultado es $g_mV_{gs} = 0$ mA, y la fuente de corriente podrá ser reemplazada por un equivalente de circuito abierto como se muestra en la figura 9.13. La impedancia de salida es

$$Z_o = R_D \| r_d \tag{9.14}$$

Si la resistencia r_d es suficientemente grande (al menos 10:1) comparada con R_D, la aproximación $r_d \| R_D \cong R_D$ podrá aplicarse con regularidad y

$$Z_o \cong R_D \quad _{r_d \geq 10R_D} \tag{9.15}$$

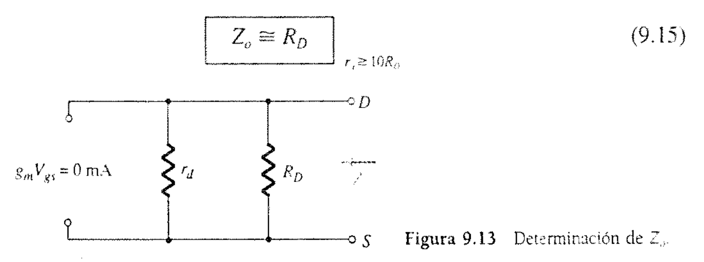


Figura 9.13 Determinación de Z_o.

A_v: Al resolver para V_o en la figura 9.12, tenemos

$$V_o = -g_mV_{gs}(r_d \| R_D)$$

pero

$$V_{gs} = V_i$$

y

$$V_o = -g_mV_i(r_d \| R_D)$$

por lo que

$$A_v = \frac{V_o}{V_i} = -g_m(r_d \| R_D) \tag{9.16}$$

Si $r_d \geq 10R_D$:

$$A_v = \frac{V_o}{V_i} = -g_mR_D \quad _{r_d \geq 10R_D} \tag{9.17}$$

Relación de la fase: El signo negativo en la ecuación resultante para A_v muestra de forma clara un desplazamiento de 180° entre los voltajes de entrada y de salida.

EJEMPLO 9.7

La configuración de polarización fija del ejemplo 6.1 tenía un punto de operación definido por $V_{GS_Q} = -2$ V e $I_{D_Q} = 5.625$ mA, con $I_{DSS} = 10$ mA y $V_P = -8$ V. Esta red se redibuja en la figura 9.14 con una señal aplicada V_i. El valor de y_{os} se proporciona como 40 μS.

(a) Determine g_m.
(b) Encuentre r_d.
(c) Determine Z_i.
(d) Calcule Z_o.
(e) Determine la ganancia de voltaje A_v.
(f) Determine A_v ignorando los efectos de r_d.

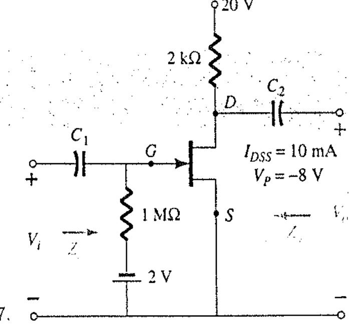
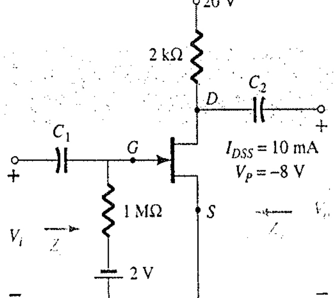



Figura 9.14 Configuración JFET para el ejemplo 9.7.

Solución

(a) $g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(10 \text{ mA})}{8 \text{ V}} = 2.5 \text{ mS}$

$$g_m = g_{m0}\left(1 - \frac{V_{GS_Q}}{V_P}\right) = 2.5 \text{ mS}\left(1 - \frac{(-2 \text{ V})}{(-8 \text{ V})}\right) = \mathbf{1.88 \text{ mS}}$$

(b) $r_d = \frac{1}{y_{os}} = \frac{1}{40 \,\mu\text{S}} = \mathbf{25 \text{ k}\Omega}$

(c) $Z_i = R_G = \mathbf{1 \text{ M}\Omega}$

(d) $Z_o = R_D \| r_d = 2 \text{ k}\Omega \| 25 \text{ k}\Omega = \mathbf{1.85 \text{ k}\Omega}$

(e) $A_v = -g_m(R_D \| r_d) = -(1.88 \text{ mS})(1.85 \text{ k}\Omega)$
$= \mathbf{-3.48}$

(f) $A_v = -g_m R_D = -(1.88 \text{ mS})(2 \text{ k}\Omega) = \mathbf{-3.76}$

Como se demuestra en el inciso *(f)* una relación de 25 kΩ : 2 kΩ = 12.5 : 1 entre r_d y R_D, ocasiona una diferencia de 8% en la solución.

9.4 CONFIGURACIÓN DE AUTOPOLARIZACIÓN PARA EL JFET

R_S con desvío

La configuración de polarización fija tiene la desventaja distintiva de requerir dos fuentes de voltaje de dc. La configuración de *autopolarización* de la figura 9.15 requiere de sólo una fuente de alimentación de dc para establecer el punto de operación deseado.

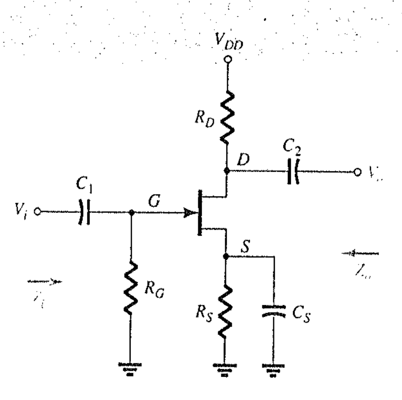


Figura 9.15 Configuración de autopolarización para el FET.

El capacitor C_S a través de la resistencia de fuente asume su equivalencia de circuito abierto para dc, y permite que R_S defina el punto de operación. Bajo condiciones de ac, el capacitor asume el estado de corto circuito en el efecto de R_S. Si permanece en condiciones de ac, la ganancia se reducirá como se verá en los siguientes párrafos.

El circuito equivalente JFET se establece en la figura 9.16 y se dibuja cuidadosamente en la figura 9.17.

Debido a que la configuración resultante es la misma que la que aparece en la figura 9.12, las ecuaciones resultantes Z_i, Z_o y A_v serán las mismas.

Z_i:

$$\boxed{Z_i = R_G} \qquad (9.18)$$

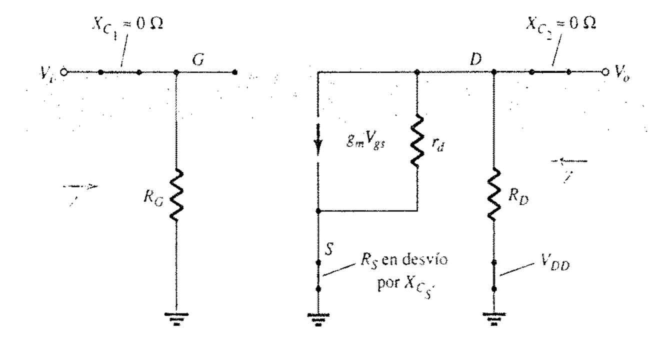


Figura 9.16 Red de la figura 9.15 después de la sustitución del circuito equivalente de ac del JFET.

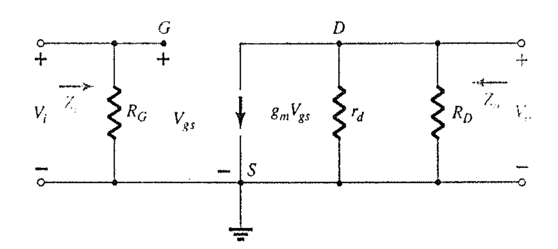


Figura 9.17 Red de la figura 9.16 redibujada.

Z_o:

$$\boxed{Z_o = r_d \| R_D} \qquad (9.19)$$

Si $r_d \geq 10R_D$,

$$\boxed{Z_o \cong R_D}_{r_d \geq 10R_D} \qquad (9.20)$$

A_v:

$$\boxed{A_v = -g_m(r_d \| R_D)} \qquad (9.21)$$

Si $r_d \geq 10R_D$,

$$\boxed{A_v = -g_m R_D}_{r_d \geq 10R_D} \qquad (9.22)$$

Relación de la fase: El signo negativo en las soluciones de A_v, nuevamente indica un desplazamiento de fase de 180° entre V_i y V_o.

R_S sin desvío

Si se elimina C_S de la figura 9.15, el resistor R_S será parte del circuito equivalente como se muestra en la figura 9.18. En este caso, no existe una forma obvia de reducir la red para disminuir su nivel de complejidad. Al determinar los niveles de Z_i, Z_o y A_v será necesario ser muy cuidadoso con la notación y con las polaridades y las direcciones defini-

Figura 9.18 Configuración de autopolarización para JFET, incluyendo los efectos de R_S con $r_d = \infty\ \Omega$.

das. De forma inicial, la resistencia r_d se dejará fuera del análisis para contar con una base de comparación.

Z_i: Debido a la condición de circuito abierto entre la compuerta y la red de salida, la entrada permanece de la siguiente forma:

$$\boxed{Z_i = R_G} \tag{9.23}$$

Z_o: La impedancia de salida está definida por

$$Z_o = \left.\frac{V_o}{I_o}\right|_{V_i=0}$$

Al hacer que $V_i = 0$ V en la figura 9.18, se ocasionará que la terminal de la compuerta se encuentre a un potencial de tierra (0 V). El voltaje a través de R_G será entonces de 0 V, con lo que R_G habrá sido colocada de forma efectiva en "corto" en el diagrama.

Al aplicar la ley de corriente de Kirchhoff se obtendrá

$$I_o + I_D = g_m V_{gs}$$

con $\quad V_{gs} = -(I_o + I_D)R_S$

por lo que $\quad I_o + I_D = -g_m(I_o + I_D)R_S = -g_m I_o R_S - g_m I_D R_S$

o $\quad I_o[1 + g_m R_S] = -I_D[1 + g_m R_S]$

e $\quad I_o = -I_D \quad$ (la fuente de corriente controlada $g_m V_{gs} = 0$ A para las condiciones aplicadas)

Debido a que $\quad V_o = -I_D R_D$

entonces $\quad V_o = -(-I_o)R_D = I_o R_D$

y $$\boxed{Z_o = \frac{V_o}{I_o} = R_D}_{\,r_d = \infty\ \Omega} \tag{9.24}$$

Si r_d se incorpora en la red, el circuito equivalente será el que se muestra en la figura 9.19.

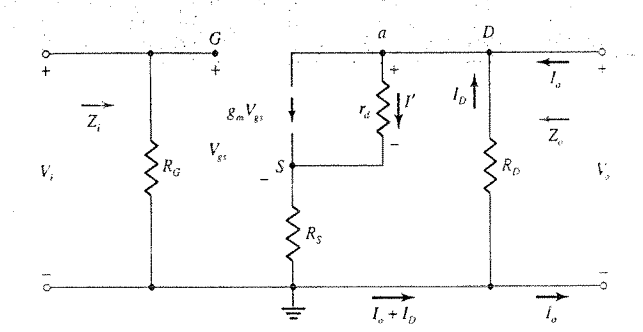


Figura 9.19 Incorporación de los efectos de r_d en la configuración de autopolarización del JFET.

Debido a que $\quad Z_o = \left.\frac{V_o}{I_o}\right|_{V_i=0\,\text{V}} = -\frac{I_D R_D}{I_o}$

sería necesario tratar de encontrar una expresión para I_o en términos de I_D.

Al aplicar la ley de corriente de Kirchhoff:

$$I_o = g_m V_{gs} + I_{r_d} - I_D$$

pero $\quad V_{r_d} = V_o + V_{gs}$

e $\quad I_o = g_m V_{gs} + \frac{V_o + V_{gs}}{r_d} - I_D$

o $\quad I_o = \left(g_m + \frac{1}{r_d}\right)V_{gs} - \frac{I_D R_D}{r_d} - I_D$ empleando $V_o = -I_D R_D$

Por otro lado, $\quad V_{gs} = -(I_D + I_o)R_S$

de forma que $\quad I_o = -\left(g_m + \frac{1}{r_d}\right)(I_D + I_o)R_S - \frac{I_D R_D}{r_d} - I_D$

dando por resultado $\quad I_o\left[1 + g_m R_S + \frac{R_S}{r_d}\right] = -I_D\left[1 + g_m R_S + \frac{R_S}{r_d} + \frac{R_D}{r_d}\right]$

o $$I_o = \frac{-I_D\left[1 + g_m R_S + \frac{R_S}{r_d} + \frac{R_D}{r_d}\right]}{1 + g_m R_S + \frac{R_S}{r_d}}$$

y $$Z_o = \frac{V_o}{I_o} = \frac{-I_D R_D}{\dfrac{-I_D\left(1 + g_m R_S + \frac{R_S}{r_d} + \frac{R_D}{r_d}\right)}{1 + g_m R_S + \frac{R_S}{r_d}}}$$

y por último, $$\boxed{Z_o = \frac{\left[1 + g_m R_S + \frac{R_S}{r_d}\right]}{\left[1 + g_m R_S + \frac{R_S}{r_d} + \frac{R_D}{r_d}\right]} R_D} \tag{9.25a}$$

g_m

Para $r_d \geq 10R_D$, $\left(1 + g_mR_S + \frac{R_S}{r_d}\right) \gg \frac{R_D}{r_d}$ y $1 + g_mR_S + \frac{R_S}{r_d} + \frac{R_D}{r_d}$

$\cong 1 + g_mR_S + \frac{R_S}{r_d}$ y

$$\boxed{Z_o = R_D}_{r_d \geq 10R_D} \tag{9.25b}$$

A_v: Para la red de la figura 9.19, al aplicar la ley de voltaje de Kirchhoff sobre el circuito de entrada se obtendrá

$$V_i - V_{gs} - V_{R_s} = 0$$
$$V_{gs} = V_i - I_DR_S$$

El voltaje a través de r_d mediante la ley de voltaje de Kirchhoff es

$$V_o - V_{R_s}$$

e

$$I' = \frac{V_o - V_{R_s}}{r_d}$$

por lo que la aplicación de la ley de corriente de Kirchhoff dará por resultado

$$I_D = g_mV_{gs} + \frac{V_o - V_{R_s}}{r_d}$$

Al sustituir por V_{gs} el resultado anterior, y al sustituir V_o y V_{R_s} tenemos

$$I_D = g_m[V_i - I_DR_S] + \frac{(-I_DR_D) - (I_DR_S)}{r_d}$$

por lo que

$$I_D\left[1 + g_mR_S + \frac{R_D + R_S}{r_d}\right] = g_mV_i$$

o

$$I_D = \frac{g_mV_i}{1 + g_mR_S + \frac{R_D + R_S}{r_d}}$$

El voltaje de salida será entonces

$$V_o = -I_DR_D = -\frac{g_mR_DV_i}{1 + g_mR_S + \frac{R_D + R_S}{r_d}}$$

y

$$\boxed{A_v = \frac{V_o}{V_i} = -\frac{g_mR_D}{1 + g_mR_S + \frac{R_D + R_S}{r_d}}} \tag{9.26}$$

Nuevamente, si $r_d \geq 10(R_D + R_S)$,

$$\boxed{A_v = \frac{V_o}{V_i} = -\frac{g_mR_D}{1 + g_mR_S}}_{r_d \geq 10(R_D + R_S)} \tag{9.27}$$

Relación de la fase: El signo negativo en la ecuación 9.26 nuevamente indica que existirá un desplazamiento de 180° entre V_i y V_o.

EJEMPLO 9.8

La configuración de autopolarización del ejemplo 6.2 tiene un punto de operación definido por $V_{GS_Q} = -2.6$ V e $I_{D_Q} = 2.6$ mA con $I_{DSS} = 8$ mA y $V_P = -6$ V. La red se redibuja en la figura 9.20 con una señal aplicada V_i. El valor de y_{os} se proporciona como 20 μS.

(a) Determine g_m.
(b) Encuentre r_d.
(c) Encuentre Z_i.
(d) Calcule Z_o con y sin los efectos de r_d. Compare los resultados.
(e) Calcule A_v con y sin los efectos de r_d. Compare los resultados.

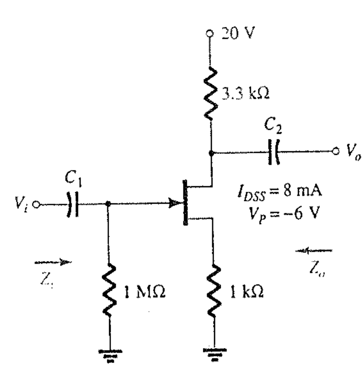


Figura 9.20 Red del ejemplo 9.8.

Solución

(a) $g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(8\text{ mA})}{6\text{ V}} = 2.67\text{ mS}$

$$g_m = g_{m0}\left(1 - \frac{V_{GS_Q}}{V_P}\right) = 2.67\text{ mS}\left(1 - \frac{(-2.6\text{ V})}{(-6\text{ V})}\right) = \mathbf{1.51\text{ mS}}$$

(b) $r_d = \frac{1}{y_{os}} = \frac{1}{20\ \mu\text{S}} = \mathbf{50\text{ k}\Omega}$

(c) $Z_i = R_G = \mathbf{1\text{ M}\Omega}$

(d) Con r_d:

$$r_d = 50\text{ k}\Omega > 10R_D = 33\text{ k}\Omega$$

Por lo tanto,

$$Z_o = R_D = \mathbf{3.3\text{ k}\Omega}$$

Si $r_d = \infty\ \Omega$

$$Z_o = R_D = \mathbf{3.3\text{ k}\Omega}$$

(e) Con r_d:

$$A_v = \frac{-g_mR_D}{1 + g_mR_S + \frac{R_D + R_S}{r_d}} = \frac{-(1.51\text{ mS})(3.3\text{ k}\Omega)}{1 + (1.51\text{ mS})(1\text{ k}\Omega) + \frac{3.3\text{ k}\Omega + 1\text{ k}\Omega}{50\text{ k}\Omega}}$$

$$= \mathbf{-1.92}$$

Sin r_d:

$$A_v = \frac{-g_mR_D}{1 + g_mR_S} = \frac{-(1.51\text{ mS})(3.3\text{ k}\Omega)}{1 + (1.51\text{ mS})(1\text{ k}\Omega)} = \mathbf{-1.98}$$

Como sucedió antes, el efecto de r_d es mínimo debido a que la condición $r_d \geq 10(R_D + R_S)$ se satisface.

Observe también que la ganancia típica del amplificador a JFET es menor que la que normalmente se encuentra para los BJTs de configuraciones similares. Sin embargo, tenga presente que Z_i es varias veces mayor que la Z_i típica de un BJT, lo cual ejerce un efecto muy positivo sobre la ganancia general del sistema.

Mathcad

La complejidad de algunas de las ecuaciones para la resistencia de la fuente sin desvío sugiere que ésta sería una buena oportunidad para utilizar Mathcad. De hecho, se verificarán los resultados del ejemplo 9.8 mediante las ecuaciones que se presentaron en el capítulo 6 y en el actual. El análisis procederá de una forma que permita un cambio rápido en la lista de los parámetros de forma que sea posible analizar cualquier red de esta configuración de forma rápida. Con este fin, observe que la primera línea de la figura 9.21 contiene una lista de todos los elementos de la red. En el futuro, el usuario sólo tendrá que cambiar la lista de parámetros y Mathcad generará de forma rápida los nuevos resultados sin la necesidad de tener que capturar las ecuaciones otra vez. La siguiente línea presenta una lista de valores de aproximación (**Guess**) para las cantidades que serán calculadas con ayuda del proceso de iteración. Como se describió en el capítulo 6, luego deberá ingresarse la palabra **Given** seguida por las ecuaciones que darán por resultado las incógnitas deseadas. Por último, el estatuto **Find** en el formato mostrado indicará al software que calcule las cantidades que aparecen entre paréntesis. En cuanto se presiona la tecla de igual, aparecerán los resultados en un orden que coincida con la lista dentro de los paréntesis de **Find**. Observe que la corriente de drenaje cuyo resultado es de 2.588 mA, corresponde con 2.6 mA del ejemplo 6.2 y V_{GS} es −2.588 V que coincide con los −2.6 V del mismo ejemplo. El valor resultante de g_m es de 1.517 mS, concuerda con 1.51 mS del ejemplo 9.8, y la ganancia total es −1.923 que se compara bastante bien con el resultado calculado de −1.98.

$$IDSS := 8\cdot10^{-3} \quad VP := -6 \quad RS := 1\cdot10^{3} \quad RD := 3.3\cdot10^{3} \quad rd := 50\cdot10^{3}$$

$$ID := 2\cdot10^{-3} \quad VGS := -2 \quad GM := 2\cdot10^{-3} \quad AV := -2$$

Given

$$ID = \frac{-VGS}{RS}$$

$$ID = IDSS\cdot\left[1-\left(\frac{VGS}{VP}\right)\right]^2$$

$$GM = 2\cdot\frac{IDSS}{|VP|}\cdot\left(1-\frac{VGS}{VP}\right)$$

$$AV = -GM\cdot\frac{RD}{\left[1+GM\cdot RS+\frac{(RD+RS)}{rd}\right]}$$

$$Find(ID, VGS, GM, AV) = \begin{pmatrix} 2.588\times10^{-3} \\ -2.588 \\ 1.517\times10^{-3} \\ -1.923 \end{pmatrix}$$

Figura 9.21 Parámetros y ecuaciones del ejemplo 9.8 mediante Mathcad.

Uno de los elementos más confusos de Mathcad es el relativo al signo de igual que deberá emplearse para cada operación. Los parámetros de las primeras dos líneas emplean un signo igual generado por **Shift:**, los signos de igual en negrita se obtienen mediante **Ctrl=** y posterior al estatuto **Find**, se emplea el signo igual del teclado.

No hay duda de que toma cierto tiempo acostumbrarse a capturar ecuaciones complejas como las que aparecen en la figura 9.21, pero con seguridad esta habilidad se desarrollará con rapidez. Como se mencionó anteriormente si fuera necesario modificar cualquiera de los parámetros como **IDSS** o **VP**, todo lo que se debe hacer es recuperar el programa de la memoria y cambiar estos dos valores, con lo que de forma instantánea se presentarán los nuevos resultados para las cuatro cantidades, lo cual ahorra mucho tiempo.

9.5 CONFIGURACIÓN DE DIVISOR DE VOLTAJE PARA EL JFET

La configuración popular de divisor de voltaje puede también aplicarse para los JFETs como se demuestra en la figura 9.22.

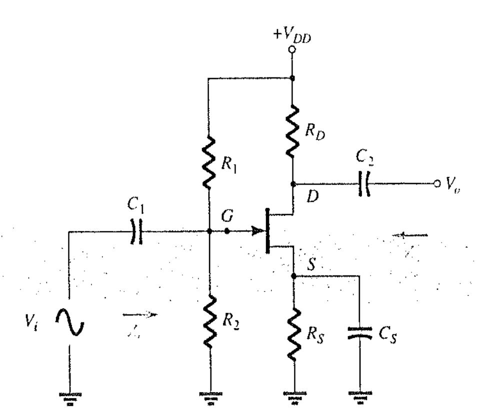


Figura 9.22 Configuración de divisor de voltaje para JFET.

Al sustituir el modelo equivalente de ac del JFET se obtendrá la configuración de la figura 9.23. El reemplazo de la fuente de dc V_{DD} por un corto circuito equivalente, conecta a tierra una terminal de R_1 y de R_D. Debido a que cada red posee una tierra común R_1 se conecta en paralelo con R_2 como se muestra en la figura 9.24. También es posible conectar R_D a tierra pero en el circuito de salida a través de r_d. La red equivalente de ac que se obtiene ahora cuenta con la forma básica de algunas de las redes que hemos analizado.

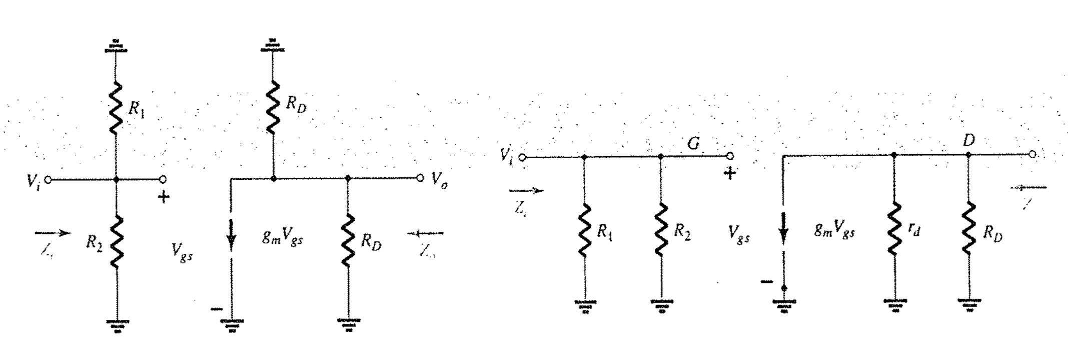


Figura 9.23 Red de la figura 9.22 bajo condiciones de ac.

Figura 9.24 Redibujo de la red de la figura 9.23.

Z_i: R_1 y R_2 se encuentran en paralelo con el equivalente de circuito abierto del JFET lo que da por resultado

$$Z_i = R_1 \| R_2 \quad (9.28)$$

Z_o: Al hacer $V_i = 0$ V se harán V_{gs} y $g_m V_{gs}$ a cero y

$$Z_o = r_d \| R_D \quad (9.29)$$

Para $r_d \geq 10R_D$,

$$Z_o \cong R_D \bigg|_{r_d \geq 10R_D} \quad (9.30)$$

A_v:

$$V_{gs} = V_i$$

y

$$V_o = -g_m V_{gs}(r_d \| R_D)$$

de forma que

$$A_v = \frac{V_o}{V_i} = \frac{-g_m V_{gs}(r_d \| R_D)}{V_{gs}}$$

y

$$A_v = \frac{V_o}{V_i} = -g_m(r_d \| R_D) \quad (9.31)$$

Si $r_d \geq 10R_D$,

$$A_v = \frac{V_o}{V_i} \cong -g_m R_D \bigg|_{r_d \geq 10R_D} \quad (9.32)$$

Observe que las ecuaciones para Z_o y A_v son las mismas que las obtenidas para las configuraciones de polarización fija y de autopolarización (con R_S en desvío). La única diferencia es la ecuación de Z_i que ahora es sensible a la combinación en paralelo de R_1 y R_2.

9.6 CONFIGURACIÓN FUENTE-SEGUIDOR (DRENAJE COMÚN) PARA EL JFET

El equivalente para JFET de la configuración emisor-seguidor del BJT es la configuración de fuente-seguidor de la figura 9.25. Observe que la salida se toma de la terminal de la fuente y cuando la fuente de dc se reemplazó por su corto circuito equivalente, el drenaje se conecta a tierra (de ahí la terminología de drenaje común).

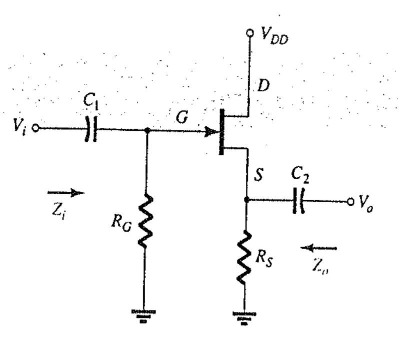


Figura 9.25 Configuración fuente-seguidor para el JFET.

La sustitución del circuito equivalente del JFET se obtiene en la configuración de la figura 9.26. La fuente controlada y la impedancia de salida interna del JFET están conectadas a tierra en un extremo y a R_S en el otro, con V_o a través de R_S. Debido a que $g_m V_{gs}$, r_d y R_S se encuentran conectados a la misma terminal y tierra, es posible colocarlos en paralelo como se muestra en la figura 9.27. La dirección inversa de la corriente de la fuente (excepto V_{gs}) sigue definida entre las terminales de compuerta y fuente.

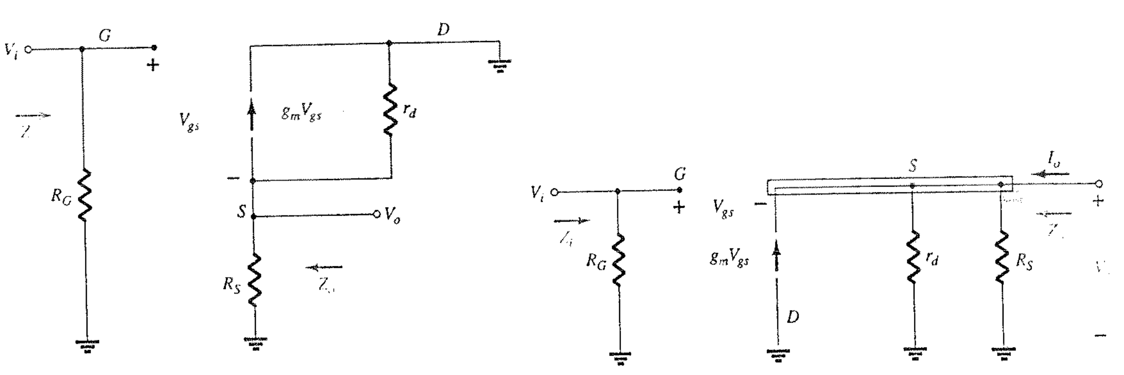


Figura 9.26 Red de la figura 9.25 después de la sustitución del modelo equivalente de ac para el JFET.

Figura 9.27 Red de la figura 9.26 redibujada.

Z_i: La figura 9.27 muestra claramente que Z_i se encuentra definida por

$$Z_i = R_G \quad (9.33)$$

Z_o: Al hacer $V_i = 0$ V se obtendrá que la terminal de la compuerta esté conectada directamente a tierra como se muestra en la figura 9.28.

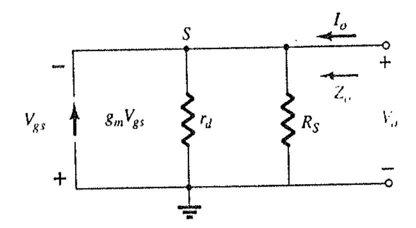


Figura 9.28 Determinación de Z_o para la red de la figura 9.25.

El hecho de que V_{gs} y V_o se encuentren a través de la misma red en paralelo ocasiona que $V_o = -V_{gs}$.

Al aplicar la ley de corriente de Kirchhoff al nodo S,

$$I_o + g_m V_{gs} = I_{r_d} + I_{R_S}$$

$$= \frac{V_o}{r_d} + \frac{V_o}{R_S}$$

El resultado es

$$I_o = V_o\left[\frac{1}{r_d} + \frac{1}{R_S}\right] - g_m V_{gs}$$

$$= V_o\left[\frac{1}{r_d} + \frac{1}{R_S}\right] - g_m[-V_o]$$

$$= V_o\left[\frac{1}{r_d} + \frac{1}{R_S} + g_m\right]$$

y $$Z_o = \frac{V_o}{I_o} = \frac{V_o}{V_o\left[\frac{1}{r_d} + \frac{1}{R_S} + g_m\right]} = \frac{1}{\frac{1}{r_d} + \frac{1}{R_S} + g_m} = \frac{1}{\frac{1}{r_d} + \frac{1}{R_S} + \frac{1}{1/g_m}}$$

lo cual tiene el mismo formato que la resistencia total de los tres resistores en paralelo. Por tanto,

$$\boxed{Z_o = r_d \| R_S \| 1/g_m} \tag{9.34}$$

Para $r_d \geq 10R_D$,

$$\boxed{Z_o \cong R_S \| 1/g_m}_{r_d \geq 10R_S} \tag{9.35}$$

A_v: El voltaje de salida V_o está determinado por

$$V_o = g_m V_{gs}(r_d \| R_S)$$

y al aplicar la ley de voltaje de Kirchhoff alrededor del perímetro de la red de la figura 9.27 se obtendrá

$$V_i = V_{gs} + V_o$$

y $$V_{gs} = V_i - V_o$$

de forma que $$V_o = g_m(V_i - V_o)(r_d \| R_S)$$

o $$V_o = g_m V_i(r_d \| R_S) - g_m V_o(r_d \| R_S)$$

y $$V_o[1 + g_m(r_d \| R_S)] = g_m V_i(r_d \| R_S)$$

por lo que $$\boxed{A_v = \frac{V_o}{V_i} = \frac{g_m(r_d \| R_S)}{1 + g_m(r_d \| R_S)}} \tag{9.36}$$

En la ausencia de r_d o si $r_d \geq 10R_S$,

$$\boxed{A_v = \frac{V_o}{V_i} \cong \frac{g_m R_S}{1 + g_m R_S}}_{r_d \geq 10R_S} \tag{9.37}$$

Debido a que el denominador de la ecuación 9.36 es mayor que el numerador por un factor de uno, la ganancia nunca puede ser igual o mayor que uno (como sucede para el caso de la red BJT emisor-seguidor).

Relación de la fase: Debido a que A_v en la ecuación 9.36 es una cantidad positiva, tanto V_o como V_i se encuentran en fase para la configuración fuente-seguidor del JFET.

EJEMPLO 9.9

El de dc análisis de la red fuente-seguidor de la figura 9.29 da por resultado $V_{GS_Q} = -2.86$ V e $I_{D_Q} = 4.56$ mA.
(a) Determine g_m.
(b) Calcule r_d.
(c) Determine Z_i.
(d) Calcule Z_o con y sin r_d. Compare los resultados.
(e) Calcule A_v con y sin r_d. Compare los resultados.

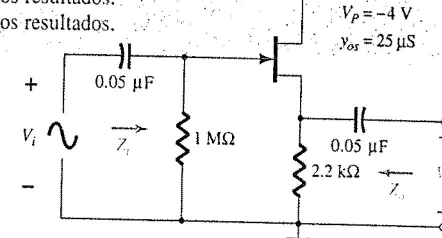


Figura 9.29 Red para el análisis del ejemplo 9.9.

Solución

(a) $$g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(16 \text{ mA})}{4 \text{ V}} = 8 \text{ mS}$$

$$g_m = g_{m0}\left(1 - \frac{V_{GS_Q}}{V_P}\right) = 8 \text{ mS}\left(1 - \frac{(-2.86 \text{ V})}{(-4 \text{ V})}\right) = 2.28 \text{ mS}$$

(b) $$r_d = \frac{1}{y_{os}} = \frac{1}{25\ \mu\text{S}} = 40 \text{ k}\Omega$$

(c) $Z_i = R_G = 1 \text{ M}\Omega$

(d) Con r_d:

$$\begin{aligned} Z_o &= r_d \| R_S \| 1/g_m = 40 \text{ k}\Omega \| 2.2 \text{ k}\Omega \| 1/2.28 \text{ mS} \\ &= 40 \text{ k}\Omega \| 2.2 \text{ k}\Omega \| 438.6\ \Omega \\ &= \mathbf{362.52\ \Omega} \end{aligned}$$

lo que muestra que Z_o es, por lo general, relativamente pequeño y determinado principalmente por $1/g_m$.

$$Z_o = R_S \| 1/g_m = 2.2 \text{ k}\Omega \| 438.6\ \Omega = \mathbf{365.69\ \Omega}$$

lo que indica que r_d a menudo tiene poco impacto sobre Z_o.

(e) Con r_d:

$$\begin{aligned} A_v &= \frac{g_m(r_d \| R_S)}{1 + g_m(r_d \| R_S)} = \frac{(2.28 \text{ mS})(40 \text{ k}\Omega \| 2.2 \text{ k}\Omega)}{1 + (2.28 \text{ mS})(40 \text{ k}\Omega \| 2.2 \text{ k}\Omega)} \\ &= \frac{(2.28 \text{ mS})(2.09 \text{ k}\Omega)}{1 + (2.28 \text{ mS})(2.09 \text{ k}\Omega)} = \frac{4.77}{1 + 4.77} = \mathbf{0.83} \end{aligned}$$

lo cual es menor al 1 que se calculó antes.

Sin r_d:

$$\begin{aligned} A_v &= \frac{g_m R_S}{1 + g_m R_S} = \frac{(2.28 \text{ mS})(2.2 \text{ k}\Omega)}{1 + (2.28 \text{ mS})(2.2 \text{ k}\Omega)} \\ &= \frac{5.02}{1 + 5.02} = \mathbf{0.83} \end{aligned}$$

lo que muestra que r_d, por lo general, ejerce poco impacto sobre la ganancia de la configuración.

9.7 CONFIGURACIÓN DE COMPUERTA COMÚN PARA EL JFET

La última configuración para JFET que será analizada a detalle es la configuración de compuerta común de la figura 9.30, la cual es análoga a la configuración de base común utilizada para los transistores BJT.

Al sustituir el circuito equivalente del JFET se tendrá por resultado la figura 9.31. Observe el requerimiento persistente de que la fuente controlada $g_m V_{gs}$ se encuentre conectada del drenaje a la fuente con r_d en paralelo. El aislamiento entre los circuitos de entrada y de salida obviamente se ha perdido ya que la terminal de la compuerta ahora se encuentra conectada a la tierra común de la red. Además, el resistor que está conectado entre las terminales de entrada ya no corresponde a R_G, sino al resistor R_S conectado de la fuente a tierra. Observe también la posición del voltaje de control V_{gs} y el hecho de que éste aparece directamente a través del resistor R_S.

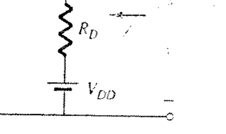


Figura 9.30 Configuración de compuerta común para JFET.

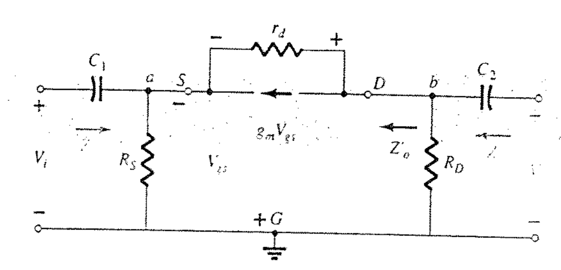


Figura 9.31 Red de la figura 9.30 posterior a la sustitución del modelo equivalente de ac para JFET.

Z_i: El resistor R_S se encuentra directamente a través de las terminales que definen a Z_i. Por tanto, se encuentra la impedancia Z_i' de la figura 9.30, la cual simplemente estará en paralelo con R_S cuando se defina Z_i.

La red de interés se redibuja en la figura 9.32. El voltaje $V' = -V_{gs}$. Al aplicar la ley de voltaje de Kirchhoff alrededor del perímetro exterior de la red se obtendrá

$$V' - V_{r_d} - V_{R_D} = 0$$

y

$$V_{r_d} = V' - V_{R_D} = V' - I'R_D$$

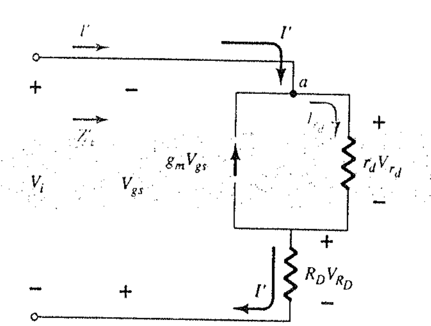


Figura 9.32 Determinación de Z_i' para la red de la figura 9.30.

Al aplicar la ley de corriente de Kirchhoff en el nodo a se obtiene

$$I' + g_mV_{gs} = I_{r_d}$$

e

$$I' = I_{r_d} - g_mV_{gs} = \frac{(V' - I'R_D)}{r_d} - g_mV_{gs}$$

o

$$I' = \frac{V'}{r_d} - \frac{I'R_D}{r_d} - g_m[-V']$$

por lo que

$$I'\left[1 + \frac{R_D}{r_d}\right] = V'\left[\frac{1}{r_d} + g_m\right]$$

y

$$\boxed{Z_i' = \frac{V'}{I'} = \frac{\left[1 + \frac{R_D}{r_d}\right]}{\left[g_m + \frac{1}{r_d}\right]}} \qquad (9.38)$$

o

$$Z_i' = \frac{V'}{I'} = \frac{r_d + R_D}{1 + g_mr_d}$$

y

$$Z_i = R_S \| Z_i'$$

resultados en

$$\boxed{Z_i = R_S \left\| \left[\frac{r_d + R_D}{1 + g_mr_d}\right]\right.} \qquad (9.39)$$

Si $r_d \geq 10R_D$, la ecuación 9.36 permite la siguiente aproximación a partir de $R_D/r_d \ll 1$ y $1/r_d \ll g_m$:

$$Z_i' = \frac{\left[1 + \frac{R_D}{r_d}\right]}{\left[g_m + \frac{1}{r_d}\right]} \cong \frac{1}{g_m}$$

y

$$\boxed{Z_i \cong R_S \| 1/g_m}_{r_d \geq 10R_D} \qquad (9.40)$$

Z_o: al sustituir $V_i = 0$ V en la figura 9.31 se realizará un "corto circuito" en el efecto de R_S y colocará a V_{gs} en 0 V. El resultado es $g_mV_{gs} = 0$, y r_d estará en paralelo con R_D. Por lo tanto,

$$\boxed{Z_o = R_D \| r_d} \qquad (9.41)$$

Para $r_d \geq 10R_D$,

$$\boxed{Z_o \cong R_D}_{r_d \geq 10R_D} \qquad (9.42)$$

A_v: La figura 9.31 muestra que

$$V_i = -V_{gs}$$

y

$$V_o = I_DR_D$$

El voltaje a través de r_d es

$$V_{r_d} = V_o - V_i$$

y

$$I_{r_d} = \frac{V_o - V_i}{r_d}$$

Aplicando la ley de corriente de Kirchhoff al nodo b en la figura 9.31 el resultado es

$$I_{r_d} + I_D + g_mV_{gs} = 0$$

y

$$I_D = -I_{r_d} - g_mV_{gs}$$
$$= -\left[\frac{V_o - V_i}{r_d}\right] - g_m[-V_i]$$
$$I_D = \frac{V_i - V_o}{r_d} + g_mV_i$$

de manera que

$$V_o = I_DR_D = \left[\frac{V_i - V_o}{r_d} + g_mV_i\right]R_D$$
$$= \frac{V_iR_D}{r_d} - \frac{V_oR_D}{r_d} + g_m$$

y

$$V_o\left[1 + \frac{R_D}{r_d}\right] = V_i\left[\frac{R_D}{r_d} + g_mR_D\right]$$

con
$$A_v = \frac{V_o}{V_i} = \frac{\left[g_m R_D + \dfrac{R_D}{r_d}\right]}{\left[1 + \dfrac{R_D}{r_d}\right]} \qquad (9.43)$$

Para $r_d \geq 10R_D$, el factor R_D/r_d de la ecuación 9.43 se puede considerar una buena aproximación y

$$\boxed{A_v = g_m R_D}_{r_d \geq 10R_D} \qquad (9.44)$$

Relación de la fase: El hecho de que A_v sea un número positivo provoca que exista una relación *en fase* entre V_o y V_i para la configuración de compuerta común.

EJEMPLO 9.10

A pesar de que la red de la figura 9.33 pueda en principio no parecer de la variedad de compuerta común, un análisis de cerca mostrará que cuenta con todas las características de la figura 9.30.

Si $V_{gs_Q} = -2.2$ V e $I_{D_Q} = 2.03$ mA:

(a) Determine g_m.
(b) Encuentre r_d.
(c) Calcule Z_i con y sin r_d. Compare los resultados.
(d) Encuentre Z_o con y sin r_d. Compare los resultados.
(e) Determine V_o con y sin r_d. Compare los resultados.

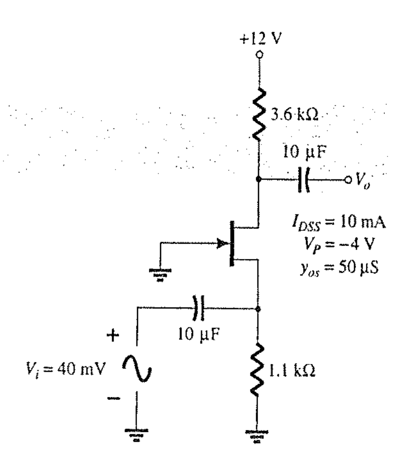


Figura 9.33 Red del ejemplo 9.10.

Solución

(a) $g_{m0} = \dfrac{2I_{DSS}}{|V_P|} = \dfrac{2(10 \text{ mA})}{4 \text{ V}} = 5 \text{ mS}$

$$g_m = g_{m0}\left(1 - \frac{V_{GS_Q}}{V_P}\right) = 5 \text{ mS}\left(1 - \frac{(-2.2 \text{ V})}{(-4 \text{ V})}\right) = \mathbf{2.25 \text{ mS}}$$

(b) $r_d = \dfrac{1}{y_{os}} = \dfrac{1}{50 \, \mu\text{S}} = \mathbf{20 \text{ k}\Omega}$

(c) Con r_d:

$$Z_i = R_S \| \left[\frac{r_d + R_D}{1 + g_m r_d}\right] = 1.1 \text{ k}\Omega \| \left[\frac{20 \text{ k}\Omega + 3.6 \text{ k}\Omega}{1 + (2.25 \text{ ms})(20 \text{ k}\Omega)}\right]$$
$$= 1.1 \text{ k}\Omega \| 0.51 \text{ k}\Omega = \mathbf{0.35 \text{ k}\Omega}$$

Sin r_d:

$$Z_i = R_S \| 1/g_m = 1.1 \text{ k}\Omega \| 1/2.25 \text{ ms} = 1.1 \text{ k}\Omega \| 0.44 \text{ k}\Omega$$
$$= \mathbf{0.31 \text{ k}\Omega}$$

Incluso aunque la condición,

$$r_d \geq 10R_D = > 20 \text{ k}\Omega \geq 10(3.6 \text{ k}\Omega) = > 20 \text{ k}\Omega \geq 36 \text{ k}\Omega$$

no se satisface, ambas ecuaciones ocasionan el mismo nivel de impedancia. En este caso, $1/g_m$ fue el factor predominante.

(d) Con r_d:

$$Z_o = R_D \| r_d = 3.6 \text{ k}\Omega \| 20 \text{ k}\Omega = \mathbf{3.05 \text{ k}\Omega}$$

Sin r_d:

$$Z_o = R_D = \mathbf{3.6 \text{ k}\Omega}$$

Nuevamente la condición $r_d \geq 10R_D$ *no* se satisface, pero ambos resultados están razonablemente cercanos. R_D es ciertamente el factor predominante en este ejemplo.

(e) Con r_d:

$$A_v = \frac{\left[g_m R_D + \dfrac{R_D}{r_d}\right]}{\left[1 + \dfrac{R_D}{r_d}\right]} = \frac{\left[(2.25 \text{ mS})(3.6 \text{ k}\Omega) + \dfrac{3.6 \text{ k}\Omega}{20 \text{ k}\Omega}\right]}{\left[1 + \dfrac{3.6 \text{ k}\Omega}{20 \text{ k}\Omega}\right]}$$
$$= \frac{8.1 + 0.18}{1 + 0.18} = \mathbf{7.02}$$

y
$$A_v = \frac{V_o}{V_i} = \succ V_o = A_v V_i = (7.02)(40 \text{ mV}) = \mathbf{280.8 \text{ mV}}$$

Sin r_d:

$$A_v = g_m R_D = (2.25 \text{ mS})(3.6 \text{ k}\Omega) = \mathbf{8.1}$$

con
$$V_o = A_v V_i = (8.1)(40 \text{ mV}) = \mathbf{324 \text{ mV}}$$

En este caso, la diferencia es un poco más notoria pero no tan dramática.

El ejemplo 9.10 demuestra que incluso aunque la condición $r_d \geq 10R_D$ no se satisfizo, los resultados para los parámetros dados no fueron significativamente diferentes al utilizar las ecuaciones exactas y aproximadas. De hecho, en la mayoría de los casos, pueden utilizarse las ecuaciones aproximadas para darse una idea razonable de niveles particulares con un menor esfuerzo.

9.8 MOSFETs DE TIPO DECREMENTAL

El hecho de que la ecuación de Shockley sea también aplicable a los MOSFETs de tipo decremental da por resultado una misma ecuación para g_m. De hecho, el modelo equivalente de ac para los MOSFETs de tipo decremental es exactamente el mismo que el utilizado para los JFETs como se indica en la figura 9.34.

La única diferencia que presentan los MOSFETs de tipo decremental es que V_{GS_Q} puede ser positivo para los dispositivos de canal-*n* y negativo para las unidades de canal-*p*. El resultado de esto es que g_m puede ser mayor que g_{m0} como lo demuestra el ejemplo siguiente. El rango de r_d es muy similar al que se encuentra para los JFETs.

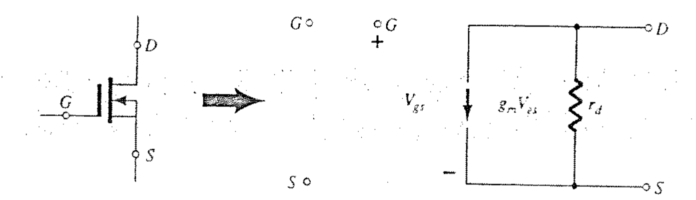


Figura 9.34 Modelo equivalente de ac para MOSFETs de tipo decremental.

EJEMPLO 9.11 La red de la figura 9.35 se analizó como en el ejemplo 6.8, lo que dio por resultado que $V_{GS_Q} = 0.35$ V e $I_{D_Q} = 7.6$ mA.

(a) Determine g_m y compárelo con g_{m0}.
(b) Encuentre r_d.
(c) Dibuje la red equivalente de ac para la figura 9.35.
(d) Encuentre Z_i.
(e) Calcule Z_o.
(f) Encuentre A_v.

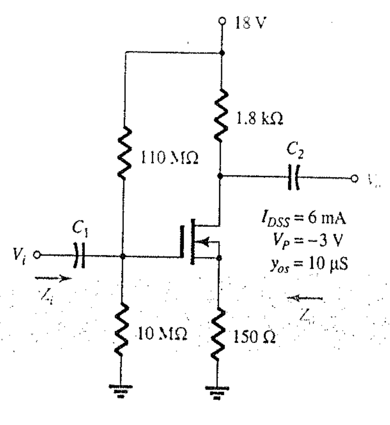


Figura 9.35 Red del ejemplo 9.11.

Solución

(a) $g_{m0} = \dfrac{2I_{DSS}}{|V_P|} = \dfrac{2(6\text{ mA})}{3\text{ V}} = 4\text{ mS}$

$$g_m = g_{m0}\left(1 - \frac{V_{GS_Q}}{V_P}\right) = 4\text{ mS}\left(1 - \frac{(+0.35\text{ V})}{(-3\text{ V})}\right) = 4\text{ mS}(1 + 0.117) = \mathbf{4.47\text{ mS}}$$

(b) $r_d = \dfrac{1}{y_{os}} = \dfrac{1}{10\,\mu\text{S}} = \mathbf{100\text{ k}\Omega}$

(c) Observe la figura 9.36. Note las similitudes con la red de la figura 9.24. Por lo tanto, las ecuaciones 9.28 a la 9.32 son aplicables.

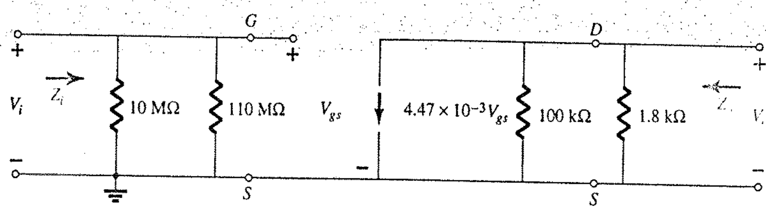


Figura 9.36 Circuito equivalente de ac de la figura 9.35.

(d) Ecuación (9.28): $Z_i = R_1 \| R_2 = 10\text{ M}\Omega \| 110\text{ M}\Omega = \mathbf{9.17\text{ M}\Omega}$
(e) Ecuación (9.29): $Z_o = r_d \| R_D = 100\text{ k}\Omega \| 1.8\text{ k}\Omega = \mathbf{1.77\text{ k}\Omega} \cong R_D = \mathbf{1.8\text{ k}\Omega}$
(f) $r_d \geq 10R_D \rightarrow 100\text{ k}\Omega \geq 18\text{ k}\Omega$
Ecuación (9.32): $A_v = -g_m R_D = -(4.47\text{ mS})(1.8\text{ k}\Omega) = \mathbf{8.05}$

9.9 MOSFETs DE TIPO INCREMENTAL

El MOSFET de tipo incremental puede ser un dispositivo de canal-*n* (*n*MOS) o de canal-*p* (*p*MOS) como se indica en la figura 9.37. El circuito equivalente de pequeña señal de ac de cualquiera de estos dispositivos se muestra en la figura 9.37, que muestra un circuito abierto entre la compuerta y el canal drenaje-fuente así como una fuente de corriente del drenaje a la fuente con una magnitud que depende del voltaje compuerta-fuente. Existe una impedancia de salida del drenaje a la fuente r_d, la cual por lo general se proporciona en las hojas de especificaciones como una admitancia y_{os}. La transconductancia, g_m, se proporciona en las hojas de especificaciones como la admitancia de transferencia directa, y_{fs}.

En nuestro análisis de JFETs, se derivó una ecuación para g_m a partir de la ecuación de Shockley.

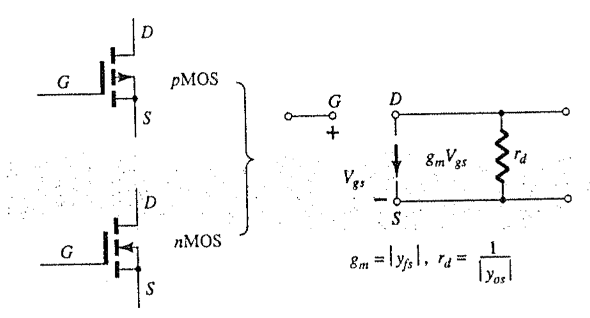


Figura 9.37 Modelo de pequeña señal de ac para el MOSFET de tipo incremental.

Para los MOSFETs de tipo incremental (E-MOSFET del inglés *Enhancement*), la relación entre la corriente de salida y el voltaje de control se encuentra definida por

$$I_D = k(V_{GS} - V_{GS(\text{Th})})^2$$

Dado que g_m aún se encuentra definido por

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}}$$

podemos tomar la derivada de la ecuación de transferencia para determinar g_m como un punto de operación. Es decir,

$$g_m = \frac{dI_D}{dV_{GS}} = \frac{d}{dV_{GS}}k(V_{GS} - V_{GS(\text{Th})})^2 = k\frac{d}{dV_{GS}}(V_{GS} - V_{GS(\text{Th})})^2$$

$$= 2k(V_{GS} - V_{GS(\text{Th})})\frac{d}{dV_{GS}}(V_{GS} - V_{GS(\text{Th})}) = 2k(V_{GS} - V_{GS(\text{Th})})(1 - 0)$$

y

$$\boxed{g_m = 2k(V_{GS_Q} - V_{GS(\text{Th})})} \qquad (9.45)$$

Recuerde que la constante k puede determinarse para un punto de operación típico en la hoja de especificaciones. En todos los demás aspectos, el análisis de ac es el mismo que el aplicado para los JFETs o los MOSFETs de tipo decremental (D-MOSFETs). Sin embargo, tenga presente que las características de un E-MOSFET son tales que los arreglos de polarización son un tanto limitados.

9.10 CONFIGURACIÓN DE RETROALIMENTACIÓN EN DRENAJE PARA EL E-MOSFET

La configuración de retroalimentación en drenaje para el E-MOSFET (MOSFET de tipo incremental) se muestra en la figura 9.38. Recuerde de los cálculos de dc, que R_G podía ser reemplazado por un corto circuito equivalente debido a que $I_G = 0$ A, y por tanto, $V_{R_G} = 0$ V. Sin embargo, para la condición de ac, éste proporciona una impedancia de entrada muy alta entre V_o y V_i. De otra forma, las terminales de entrada y de salida estarían conectadas de forma directa y $V_o = V_i$.

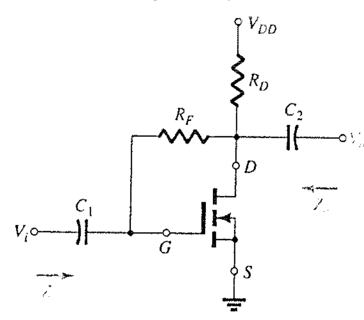


Figura 9.38 Configuración de retroalimentación en drenaje para el E-MOSFET.

Figura 9.39 Equivalente de ac para la red de la figura 9.38.

Al sustituir el modelo equivalente de ac para el dispositivo se obtendrá la red de la figura 9.39. Observe que R_F no se encuentra dentro del área sombreada que define al modelo equivalente del dispositivo pero proporciona una conexión directa entre los circuitos de entrada y de salida.

Z_i: Al aplicar la ley de corriente de Kirchhoff al circuito de salida (en el nodo D de la figura 9.39) se obtiene

$$I_i = g_m V_{gs} + \frac{V_o}{r_d \| R_D}$$

y

$$V_{gs} = V_i$$

por lo que

$$I_i = g_m V_i + \frac{V_o}{r_d \| R_D}$$

o

$$I_i - g_m V_i = \frac{V_o}{r_d \| R_D}$$

De tal forma que,

$$V_o = (r_d \| R_D)(I_i - g_m V_i)$$

con

$$I_i = \frac{V_i - V_o}{R_F} = \frac{V_i - (r_d \| R_D)(I_i - g_m V_i)}{R_F}$$

e

$$I_i R_F = V_i - (r_d \| R_D) I_i + (r_d \| R_D) g_m V_i$$

de modo que

$$V_i[1 + g_m(r_d \| R_D)] = I_i[R_F + r_d \| R_D]$$

y finalmente

$$\boxed{Z_i = \frac{V_i}{I_i} = \frac{R_F + r_d \| R_D}{1 + g_m(r_d \| R_D)}} \qquad (9.46)$$

Por lo general, $R_F >> r_d \| R_D$, de tal forma que

$$Z_i \cong \frac{R_F}{1 + g_m(r_d \| R_D)}$$

Para $r_d \geq 10R_D$,

$$\boxed{Z_i \cong \frac{R_F}{1 + g_m R_D}}_{R_F >> r_d \| R_D,\ r_d \geq 10R_D} \qquad (9.47)$$

Z_o: Al sustituir $V_i = 0$ V da por resultado $V_{gs} = 0$ V y $g_m V_{gs} = 0$, con una trayectoria de corto circuito de la compuerta a tierra, como se muestra en la figura 9.40. R_F, r_d y R_D están entonces en paralelo y

$$\boxed{Z_o = R_F \| r_d \| R_D} \qquad (9.48)$$

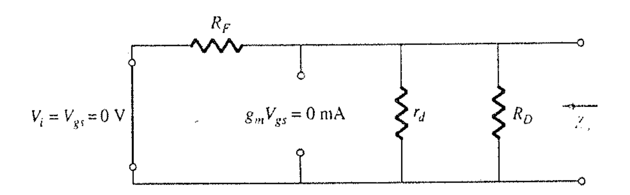


Figura 9.40 Determinación de Z_o para la red de la figura 9.38.

Normalmente, R_F es mucho mayor que $r_d \| R_D$, de forma que

$$Z_o \cong r_d \| R_D$$

y con $r_d \geq 10R_D$,

$$\boxed{Z_o \cong R_D}_{R_F >> r_d \| R_D,\ r_d \geq 10R_D} \qquad (9.49)$$

A_v: Al aplicar la ley de corriente de Kirchhoff sobre el nodo D de la figura 9.39 se obtiene

$$I_i = g_m V_{gs} + \frac{V_o}{r_d \| R_D}$$

pero

$$V_{gs} = V_i \text{ e } I_i = \frac{V_i - V_o}{R_F}$$

por lo que

$$\frac{V_i - V_o}{R_F} = g_m V_i + \frac{V_o}{r_d \| R_D}$$

y

$$\frac{V_i}{R_F} - \frac{V_o}{R_F} = g_m V_i + \frac{V_o}{r_d \| R_D}$$

de forma que

$$V_o\left[\frac{1}{r_d \| R_D} + \frac{1}{R_F}\right] = V_i\left[\frac{1}{R_F} - g_m\right]$$

y

$$A_v = \frac{V_o}{V_i} = \frac{\left[\frac{1}{R_F} - g_m\right]}{\left[\frac{1}{r_d \| R_D} + \frac{1}{R_F}\right]}$$

pero $$\frac{1}{r_d \| R_D} + \frac{1}{R_F} = \frac{1}{R_F \| r_d \| R_D}$$

y $$g_m \gg \frac{1}{R_F}$$

de manera que $$A_v = -g_m(R_F \| r_d \| R_D) \qquad (9.50)$$

Debido a que R_F es por lo general $\gg r_d \| R_D$ y $r_d \geq 10R_D$,

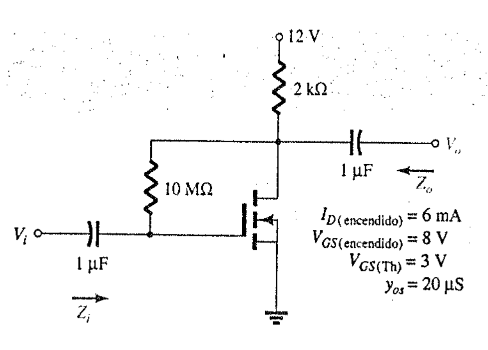
$$A_v \cong -g_m R_D \Big|_{R_F \gg r_d \| R_D,\ r_d \geq 10R_D} \qquad (9.51)$$

Relación de la fase: El signo negativo de A_v, muestra que V_o y V_i se encuentran fuera de fase en 180°.

EJEMPLO 9.12

El E-MOSFET de la figura 9.41 se analizó en el ejemplo 6.11, lo que dio por resultado que $k = 0.24 \times 10^{-3}$ A/V², $V_{GS_Q} = 6.4$ V e $I_{D_Q} = 2.75$ mA.

(a) Determine g_m.
(b) Encuentre r_d.
(c) Calcule Z_i con y sin r_d. Compare los resultados.
(d) Encuentre Z_o con y sin r_d. Compare los resultados.
(e) Encuentre A_v con y sin r_d. Compare los resultados.



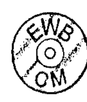


Figura 9.41 Amplificador con retroalimentación en drenaje del ejemplo 6.11.

Solución

(a) $g_m = 2k(V_{GS_Q} - V_{GS(\text{Th})}) = 2(0.24 \times 10^{-3}\ \text{A/V}^2)(6.4\ \text{V} - 3\ \text{V})$
$= \mathbf{1.63\ mS}$

(b) $r_d = \dfrac{1}{y_{os}} = \dfrac{1}{20\ \mu\text{S}} = \mathbf{50\ k\Omega}$

(c) con r_d:

$$Z_i = \frac{R_F + r_d \| R_D}{1 + g_m(r_d \| R_D)} = \frac{10\ \text{M}\Omega + 50\ \text{k}\Omega \| 2\ \text{k}\Omega}{1 + (1.63\ \text{mS})(50\ \text{k}\Omega \| 2\ \text{k}\Omega)}$$
$$= \frac{10\ \text{M}\Omega + 1.92\ \text{k}\Omega}{1 + 3.13} = \mathbf{2.42\ M\Omega}$$

Sin r_d:

$$Z_i \cong \frac{R_F}{1 + g_m R_D} = \frac{10\ \text{M}\Omega}{1 + (1.63\ \text{mS})(2\ \text{k}\Omega)} = \mathbf{2.53\ M\Omega}$$

lo que revela que dado que la condición $r_d \geq 10R_D = 50\ \text{k}\Omega \geq 40\ \text{k}\Omega$ se satisface, los resultados de Z_o con y sin r_d serán muy cercanos.

(d) Con r_d:

$$Z_o = R_F \| r_d \| R_D = 10\ \text{M}\Omega \| 50\ \text{k}\Omega \| 2\ \text{k}\Omega = 49.75\ \text{k}\Omega \| 2\ \text{k}\Omega$$
$$= \mathbf{1.92\ k\Omega}$$

Sin r_d:

$$Z_o \cong R_D = \mathbf{2\ k\Omega}$$

nuevamente se proporcionan resultados muy cercanos.

(e) Con r_d:

$$A_v = -g_m(R_F \| r_d \| R_D)$$
$$= -(1.63\ \text{mS})(10\ \text{M}\Omega \| 50\ \text{k}\Omega \| 2\ \text{k}\Omega)$$
$$= -(1.63\ \text{mS})(1.92\ \text{k}\Omega)$$
$$= \mathbf{-3.21}$$

Sin r_d:

$$A_v = -g_m R_D = -(1.63\ \text{mS})(2\ \text{k}\Omega)$$
$$= \mathbf{-3.26}$$

lo cual es muy cercano al resultado anterior.

9.11 CONFIGURACIÓN DE DIVISOR DE VOLTAJE PARA E-MOSFET

La última configuración de E-MOSFET (MOSFET incremental) que se revisará a detalle es la red de divisor de voltaje de la figura 9.42. El formato es exactamente el mismo que el que se ha mostrado en análisis anteriores.

Al sustituir la red equivalente de ac por el MOSFET incremental, se obtendrá la configuración de la figura 9.43, que es exactamente la misma que la de la figura 9.24. Como resultado, las ecuaciones 9.28 a la 9.32 como se enumeran adelante, son aplicables.

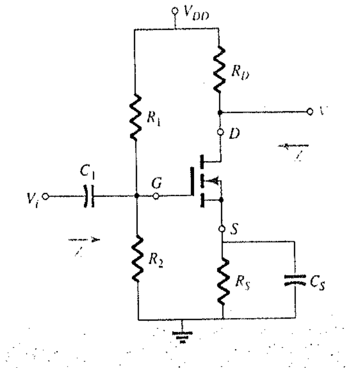


Figura 9.42 Configuración por divisor de voltaje para E-MOSFET.

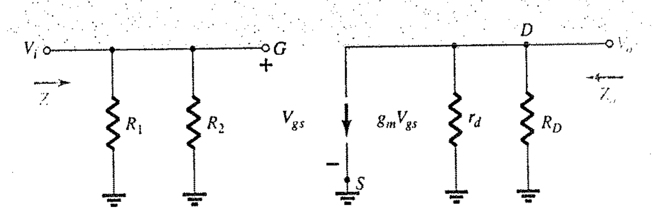


Figura 9.43 Red equivalente de ac para la configuración de la figura 9.42.

Z_i:

$$Z_i = R_1 \| R_2 \quad (9.52)$$

Z_o:

$$Z_o = r_d \| R_D \quad (9.53)$$

Para $r_d \geq 10R_D$,

$$Z_o \cong R_d \Big|_{r_d \geq 10R_D} \quad (9.54)$$

A_v:

$$A_v = \frac{V_o}{V_i} = -g_m(r_d \| R_D) \quad (9.55)$$

y si $r_d \geq 10R_D$,

$$A_v = \frac{V_o}{V_i} \cong -g_m R_D \quad (9.56)$$

9.12 DISEÑO DE REDES DE AMPLIFICADOR FET

Los problemas de diseño en esta etapa se limitan a obtener la condición de polarización de dc o la ganancia de voltaje de ac deseadas. En la mayoría de los casos, las distintas ecuaciones desarrolladas se emplean "en reversa" para definir los parámetros necesarios para obtener la ganancia, la impedancia de entrada o la impedancia de salida deseadas. Para evitar una complejidad innecesaria durante las etapas iniciales del diseño, por lo general, se utilizan las ecuaciones aproximadas debido a que cuando se reemplacen los resistores calculados por aquéllos con valores estándar se presentará cierta variación. Una vez que el diseño inicial se termina, es posible verificar y refinar los resultados mediante las ecuaciones completas.

A lo largo del proceso de diseño se debe estar consciente de que a pesar de que la superposición permite un análisis y diseño independiente para la red desde un punto de vista de dc y de ac, la selección de un parámetro en el entorno de dc, casi siempre jugará un papel importante en la respuesta de ac. En particular, recuerde que es posible reemplazar la resistencia R_G por un corto circuito equivalente en la configuración de retroalimentación debido a que $I_G \cong 0$ A, para las condiciones de dc, sin embargo, para el análisis de ac, ésta presenta una importante trayectoria de alta impedancia entre V_o y V_i. Además, recuerde que g_m es mayor para los puntos de operación cercanos al eje I_D ($V_{GS} = 0$), lo que requiere que R_S sea relativamente pequeño. En la red con R_S sin desvío, una R_S pequeña contribuye también a una mayor ganancia, pero para la configuración de fuente-seguidor, la ganancia se reduce a su valor máximo de 1. En resumen, es necesario tener presente que los parámetros de la red pueden afectar los niveles de ac y de dc de diversas formas. Con frecuencia deberá efectuarse un balance entre un punto de operación particular y su impacto sobre la respuesta de ac.

En la mayoría de los casos, se conoce la fuente de voltaje disponible, el FET que se utilizará ya se ha determinado y los capacitores que se emplearán para la frecuencia seleccionada están definidos. Por lo que después será necesario determinar los elementos resistivos necesarios para establecer la ganancia o nivel de impedancia deseados. Los siguientes tres ejemplos determinarán los parámetros requeridos para una ganancia específica.

EJEMPLO 9.13

Diseñe la red de polarización fija de la figura 9.44 para que tenga una ganancia de ac de 10. Es decir, determine el valor de R_D.

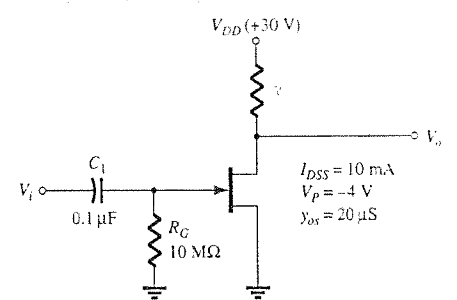


Figura 9.44 Circuito para la ganancia de voltaje deseada en el ejemplo 9.13.

Solución

Debido a que $V_{GS_Q} = 0$ V, el nivel de g_m será g_{m0}. Por tanto, la ganancia está determinada por

$$A_v = -g_m(R_D \| r_d) = -g_{m0}(R_D \| r_d)$$

con
$$g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(10 \text{ mA})}{4 \text{ V}} = 5 \text{ mS}$$

El resultado es
$$-10 = -5 \text{ mS}(R_D \| r_d)$$

y
$$R_D \| r_d = \frac{10}{5 \text{ mS}} = 2 \text{ k}\Omega$$

A partir de las especificaciones del dispositivo,

$$r_d = \frac{1}{y_{os}} = \frac{1}{20 \times 10^{-6} \text{ S}} = 50 \text{ k}\Omega$$

Al sustituir se observa

$$R_D \| r_d = R_D \| 50 \text{ k}\Omega = 2 \text{ k}\Omega$$

y
$$\frac{R_D(50 \text{ k}\Omega)}{R_D + 50 \text{ k}\Omega} = 2 \text{ k}\Omega$$

o
$$50R_D = 2(R_D + 50 \text{ k}\Omega) = 2R_D + 100 \text{ k}\Omega$$

con
$$48R_D = 100 \text{ k}\Omega$$

y
$$R_D = \frac{100 \text{ k}\Omega}{48} \cong 2.08 \text{ k}\Omega$$

El valor estándar más cercano es **2 kΩ** (apéndice D), el cual se utilizará para este diseño.

El nivel resultante de V_{DS_Q} estaría entonces determinado de la siguiente forma:

$$V_{DS_Q} = V_{DD} - I_{D_Q}R_D = 30 \text{ V} - (10 \text{ mA})(2 \text{ k}\Omega) = \mathbf{10 \text{ V}}$$

Los niveles Z_i y Z_o se establecen mediante los niveles de R_G y R_D, respectivamente. Es decir,

$$Z_i = R_G = \mathbf{10 \text{ M}\Omega}$$
$$Z_o = R_D \| r_d = 2 \text{ k}\Omega \| 50 \text{ k}\Omega = \mathbf{1.92 \text{ k}\Omega} \cong R_D = 2 \text{ k}\Omega$$

EJEMPLO 9.14

Seleccione los valores de R_D y R_S para la red de la figura 9.45, para obtener una ganancia de 8 mediante un nivel relativamente alto de g_m para este dispositivo definido cuando $V_{GS_Q} = \frac{1}{4}V_P$.

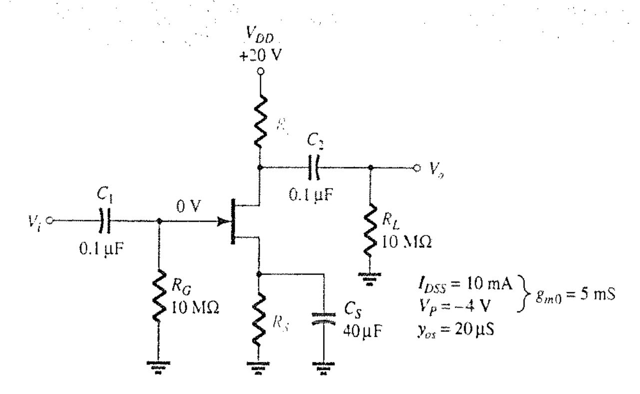


Figura 9.45 Red para la ganancia de voltaje deseada en el ejemplo 9.14.

Solución

El punto de operación está definido mediante

$$V_{GS_Q} = \frac{1}{4}V_P = \frac{1}{4}(-4\text{ V}) = -1\text{ V}$$

e

$$I_D = I_{DSS}\left(1 - \frac{V_{GS_Q}}{V_P}\right)^2 = 10\text{ mA}\left(1 - \frac{(-1\text{ V})}{(-4\text{ V})}\right)^2 = 5.625\text{ mA}$$

Para determinar g_m,

$$g_m = g_{m0}\left(1 - \frac{V_{GS_Q}}{V_P}\right)$$

$$= 5\text{ mS}\left(1 - \frac{(-1\text{ V})}{(-4\text{ V})}\right) = 3.75\text{ mS}$$

La magnitud de la ganancia de voltaje de ac se encuentra determinada mediante

$$|A_v| = g_m(R_D \| r_d)$$

Al sustituir los valores conocidos se obtiene

$$8 = (3.75\text{ mS})(R_D \| r_d)$$

por lo que

$$R_D \| r_d = \frac{8}{3.75\text{ mS}} = 2.13\text{ k}\Omega$$

El nivel de r_d está definido por

$$r_d = \frac{1}{y_{os}} = \frac{1}{20\ \mu\text{S}} = 50\text{ k}\Omega$$

y

$$R_D \| 50\text{ k}\Omega = 2.13\text{ k}\Omega$$

con el resultado de

$$R_D = \mathbf{2.2\text{ k}\Omega}$$

el cual es un valor estándar.

El nivel de R_S se encuentra determinado por las condiciones de operación de dc de la siguiente forma:

$$V_{GS_Q} = -I_D R_S$$

$$-1\text{ V} = -(5.625\text{ mA})R_S$$

y

$$R_S = \frac{1\text{ V}}{5.625\text{ mA}} = 177.8\ \Omega$$

El valor estándar más cercano es **180 Ω**. En este ejemplo, R_S no se presenta en el diseño de ac debido al efecto de corto circuito de C_S.

En el siguiente ejemplo, R_S no se encuentra en desvío por lo que el diseño se vuelve un poco más complicado.

EJEMPLO 9.15

Determine R_D y R_S para la red de la figura 9.45, para obtener una ganancia de 8 si se elimina el capacitor de desvío C_S.

Solución

V_{GS_Q} e I_{D_Q} aún son −1 V y 5.625 mA, respectivamente, y debido a que la ecuación $V_{GS} = -I_D R_S$ no ha cambiado, R_S continua en el valor estándar de **180 Ω** que se obtuvo en el ejemplo 9.14.

La ganancia de una configuración de autopolarización sin desvío es

$$A_v = -\frac{g_m R_D}{1 + g_m R_S}$$

Por el momento se asume que $r_d \geq 10(R_D + R_S)$. El empleo de la ecuación completa de A_v en esta etapa sólo complicaría el proceso de forma innecesaria.

Al sustituir (para la magnitud indicada de 8 para la ganancia),

$$|8| = \left|\frac{-(3.75\text{ mS})R_D}{1 + (3.75\text{ mS})(180\ \Omega)}\right| = \frac{(3.75\text{ mS})R_D}{1 + 0.675}$$

y

$$8(1 + 0.675) = (3.75\text{ mS})R_D$$

por lo que

$$R_D = \frac{13.4}{3.75\text{ mS}} = 3.573\text{ k}\Omega$$

con el valor estándar más cercano siendo **3.6 kΩ.**

Ahora podemos verificar la condición:

$$r_d \geq 10(R_D + R_S)$$

$$50\text{ k}\Omega \geq 10(3.6\text{ k}\Omega + 0.18\text{ k}\Omega) = 10(3.78\text{ k}\Omega)$$

y

$$50\text{ k}\Omega \geq 37.8\text{ k}\Omega$$

la cual se satisface, por lo que la solución persiste.

9.13 TABLA DE RESUMEN

Como un esfuerzo para proporcionar una forma rápida de comparación entre las configuraciones y para ofrecer un listado que pueda ser útil para una variedad de objetivos, se desarrolló la tabla 9.1. Se proporcionan tanto la ecuación exacta como la aproximada para cada parámetro relevante junto con un rango de valores comunes para cada uno. A pesar de que no se encuentran todas las configuraciones posibles, se incluye la mayoría de las que se utilizan con más frecuencia. De hecho, cualquier configuración que no se encuentre contenida será con probabilidad alguna variación de las que aparecen en la tabla; de esta forma, por lo menos el lis-

TABLA 9.1 Z_i, Z_o y A_v para distintas configuraciones de FET

Configuración	Z_i	Z_o	$A_v = \frac{V_o}{V_i}$
Polarización fija [JFET o D-MOSFET]	Alta (10 MΩ) $= R_G$	Media (2 kΩ) $= R_D \| r_d$ $\cong R_D$ $(r_d \geq 10\,R_D)$	Media (−10) $= -g_m(r_d \| R_D)$ $\cong -g_m R_D$ $(r_d \geq 10\,R_D)$
Autopolarización R_S con desvío [JFET o D-MOSFET]	Alta (10 MΩ) $= R_G$	Media (2 kΩ) $= R_D \| r_d$ $\cong R_D$ $(r_d \geq 10\,R_D)$	Media (−10) $= -g_m(r_d \| R_D)$ $\cong -g_m R_D$ $(r_d \geq 10\,R_D)$
Autopolarización R_S sin desvío [JFET o D-MOSFET]	Alta (10 MΩ) $= R_G$	$= \frac{\left[1 + g_m R_S + \frac{R_S}{r_d}\right] R_D}{\left[1 + g_m R_S + \frac{R_S}{r_d} + \frac{R_D}{r_d}\right]}$ $= R_D$ $r_d \geq 10\,R_D$ o $r_d = \infty\,\Omega$	Baja (−2) $= \frac{g_m R_D}{1 + g_m R_S + \frac{R_D + R_S}{r_d}}$ $\cong \frac{g_m R_D}{1 + g_m R_S}$ $[r_d \geq 10\,(R_D + R_S)]$
Polarización por divisor de voltaje [JFET o D-MOSFET]	Alta (10 MΩ) $= R_1 \| R_2$	Media (2 kΩ) $= R_D \| r_d$ $\cong R_D$ $(r_d \geq 10\,R_D)$	Media (−10) $= -g_m(r_d \| R_D)$ $\cong -g_m R_D$ $(r_d \geq 10\,R_D)$

TABLA 9.1 (Continuación)

Configuración	Z_i	Z_o	$A_v = \frac{V_o}{V_i}$
Fuente-seguidor [JFET o D-MOSFET]	Alta (10 MΩ) $= R_G$	Baja (100 kΩ) $= r_d \| R_S \| 1/g_m$ $\cong R_S \| 1/g_m$ $(r_d \geq 10\,R_S)$	Baja (< 1) $= \frac{g_m(r_d \| R_S)}{1 + g_m(r_d \| R_S)}$ $\cong \frac{g_m R_S}{1 + g_m R_S}$ $(r_d \geq 10\,R_S)$
Compuerta común [JFET o D-MOSFET]	Baja (1 kΩ) $= R_S \| \left[\frac{r_d + R_D}{1 + g_m r_d}\right]$ $\cong R_S \| \frac{1}{g_m}$ $(r_d \geq 10\,R_D)$	Media (2 kΩ) $= R_D \| r_d$ $\cong R_D$ $(r_d \geq 10\,R_D)$	Media (+10) $= \frac{g_m R_D + \frac{R_D}{r_d}}{1 + \frac{R_D}{r_d}}$ $\cong g_m R_D$ $(r_d \geq 10\,R_D)$
Polarización por retroalimentación en drenaje E-MOSFET	Media (1 MΩ) $= \frac{R_F + r_d \| R_D}{1 + g_m(r_d \| R_D)}$ $\cong \frac{R_F}{1 + g_m R_D}$ $(r_d \geq 10\,R_D)$	Media (2 kΩ) $= R_F \| r_d \| R_D$ $\cong R_D$ $(R_F, r_d \geq 10\,R_D)$	Media (−10) $= -g_m(R_F \| r_d \| R_D)$ $\cong -g_m R_D$ $(R_F, r_d \geq 10\,R_D)$
Polarización por divisor de voltaje E-MOSFET	Media (1 MΩ) $= R_1 \| R_2$	Media (2 kΩ) $= R_D \| r_d$ $\cong R_D$ $(R_d \geq 10\,R_D)$	Media (−10) $= -g_m(r_d \| R_D)$ $\cong -g_m R_D$ $(r_d \geq 10\,R_D)$

tado proporcionará una idea acerca de los niveles que deberán esperarse y el camino por el cual se puedan obtener las ecuaciones deseadas. El formato seleccionado se diseñó para permitir una duplicación de la tabla completa en las dos caras de una hoja tamaño carta.

9.14 LOCALIZACIÓN DE FALLAS

Como se mencionó anteriormente, la localización de fallas es una combinación de conocimiento teórico y experiencia en el uso de medidores y del osciloscopio para verificar la operación de un circuito. Quien tiene la habilidad de localizar fallas posee un "olfato" para localizar el problema en un circuito y la capacidad de "ver" lo que está sucediendo, habilidades desarrolladas mediante la construcción, prueba y reparación de distintos circuitos. Para el caso de un amplificador a FET de pequeña señal, es posible localizar la falla en un circuito al efectuar los siguientes pasos básicos:

1. Observe la tarjeta del circuito con el objetivo de identificar cualquier problema obvio: un área quemada como consecuencia del exceso de calor de un componente; un componente que parezca o se sienta muy caliente; lo que pareciera ser una soldadura pobre; cualquier conexión que se vea suelta.
2. Mediante un medidor de dc: realice algunas mediciones como lo marca el manual de reparación que contiene el diagrama esquemático del circuito y una lista de voltajes de prueba de dc.
3. Aplique una señal de prueba de ac: mida los voltajes de ac comenzando con la entrada y avanzando hacia la salida.
4. Si el problema se identifica en una etapa particular, deberá verificarse la señal de ac en distintos puntos por medio de un osciloscopio para observar la forma de onda, su polaridad, amplitud y frecuencia, así como también la existencia de formas de onda de interferencia. Observe en particular que la señal se encuentre presente durante el ciclo completo de la señal.

Posibles síntomas y acciones

Si no existe voltaje de ac de salida:

1. Verifique si la fuente de voltaje se encuentra presente.
2. Verifique si el voltaje de salida V_D se encuentra entre 0 V y V_{DD}.
3. Verifique si existe alguna señal de entrada de ac en la compuerta de la terminal.
4. Verifique el voltaje de ac en cada extremo de las terminales del capacitor de acoplamiento.

Al construir y probar un circuito amplificador de FET en el laboratorio:

1. Verifique el código de color de los valores de los resistores para asegurarse que son los correctos. Es más, tome mediciones de los valores de los resistores, debido a que los componentes que se utilizan con frecuencia pueden sobrecalentarse cuando se utilizan de forma incorrecta, lo que causa que el valor nominal cambie.
2. Verifique que todos los voltajes de dc estén presentes en las terminales de los componentes. Asegúrese de que todas las conexiones a tierra sean comunes.
3. Mida la señal de entrada de ac para asegurarse que se esté proporcionando el valor esperado al circuito.

9.15 APLICACIONES PRÁCTICAS

Mezclador de audio de tres canales

En la figura 9.46 se presentan los componentes básicos de un mezclador de audio de tres canales. Las tres señales de entrada pueden provenir de distintas fuentes como un micrófono, un instrumento musical, generadores de sonido ambiental, etcétera. Es posible aplicar todas las señales a la misma terminal de la compuerta debido a que la impedancia de entrada del JFET es tan alta que puede aproximarse mediante un circuito abierto. **En general, la impedancia de**

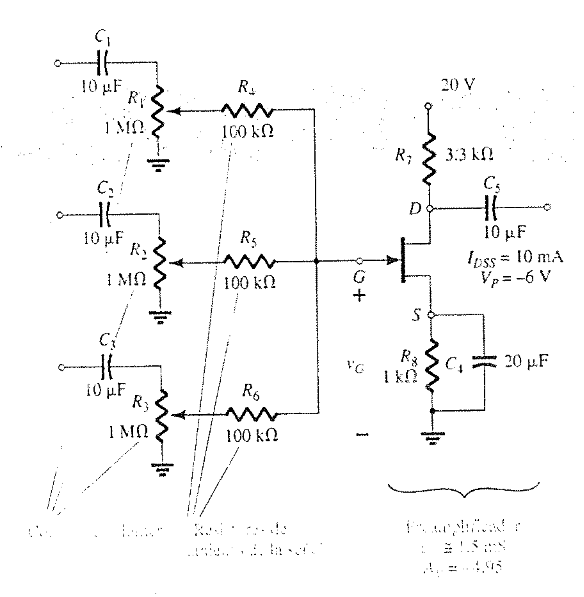


Figura 9.46 Componentes básicos de un mezclador de audio a JFET de tres canales.

entrada de un JFET es de 1000 MΩ (10^9 Ω) o más, y de un MOSFET es de 100 millones MΩ (10^{14} Ω) o más. Si en lugar de JFETs se emplearan BJTs, la menor impedancia de entrada requeriría de un amplificador a transistor para cada canal, o al menos, de un emisor-seguidor en la primera etapa para proporcionar una mayor impedancia de entrada.

La función de los capacitores de 10 µF es prevenir que cualquier nivel de polarización de dc de la señal de entrada se presente en la compuerta del JFET, y la función de los potenciómetros de 1MΩ es servir como control de volumen para cada canal. La necesidad de los resistores de 100 kΩ para cada canal no es tan obvia. Su propósito es asegurar que un canal no cargue a los otros canales y reduzca o distorsione de forma severa la señal en la compuerta. Por ejemplo, en la figura 9.47a, un canal cuenta con un micrófono de alta impedancia (10 kΩ), mientras que otro canal tiene un amplificador de guitarra de baja impedancia (0.5 kΩ). El canal 3 se deja abierto y los resistores de aislamiento de 100 kΩ se han eliminado por el momento. Al reemplazar los capacitores por su corto circuito equivalente para el rango de frecuencias de interés y al ignorar los efectos de los potenciómetros de 1 MΩ en paralelo (colocados en su máximo valor), se obtendrá el circuito equivalente de la figura 9.47b en la compuerta del amplificador JFET. Al emplear el teorema de superposición, el voltaje en la compuerta del JFET estará determinado mediante

$$v_G = \frac{0.5\ \text{k}\Omega(v_{\text{micrófono}})}{10.5\ \text{k}\Omega} + \frac{10\ \text{k}\Omega(v_{\text{guitarra}})}{10.5\ \text{k}\Omega}$$

$$= 0.047v_{\text{micrófono}} + 0.95v_{\text{guitarra}} \cong v_{\text{guitarra}}$$

lo que muestra claramente que la guitarra "ahogó" la señal del micrófono. La única respuesta del amplificador de la figura 9.47 será a la guitarra. Ahora, con los resistores de 100 kΩ en su lugar, se obtiene la situación de la figura 9.47c. Nuevamente, al utilizar el teorema de superposición, la ecuación para el voltaje en la compuerta se convertirá en lo siguiente:

$$v_G = \frac{101\ \text{k}\Omega(v_{\text{micrófono}})}{211\ \text{k}\Omega} + \frac{110\ \text{k}\Omega(v_{\text{guitarra}})}{211\ \text{k}\Omega}$$

$$\cong 0.48v_{\text{micrófono}} + 0.52v_{\text{guitarra}}$$

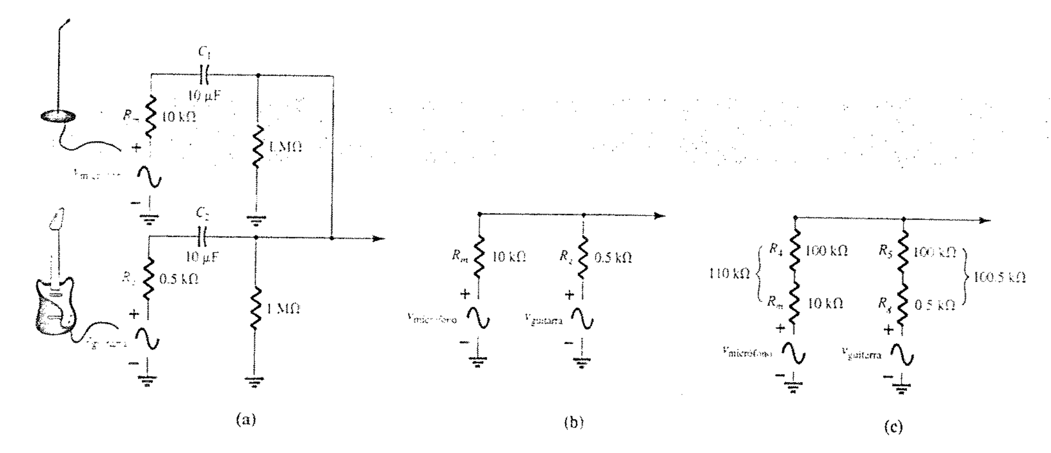


Figura 9.47 (a) Aplicación de una fuente de alta impedancia y de una de baja impedancia al mezclador de la figura 9.46; (b) circuito equivalente reducido sin los resistores de aislamiento de 100 kΩ; (c) circuito equivalente reducido con los resistores de 100 kΩ.

lo que muestra un balance uniforme en las señales en la compuerta del JFET. **En general y por tanto, los resistores de 100 kΩ compensan cualquier diferencia en la impedancia de la señal para asegurar que una no cargue a la otra y que se desarrolle un nivel mezclado de señales en el amplificador. Técnicamente, estos resistores se denominan "resistores de aislamiento de señal".**

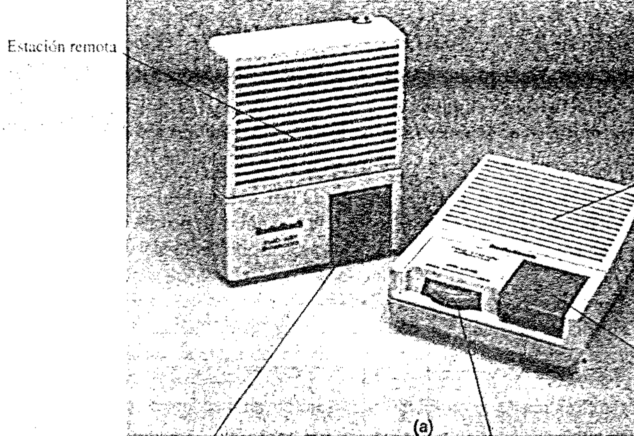
Una consecuencia interesante de una situación como la descrita en la figura 9.47b se representa en la figura 9.48 donde una guitarra de baja impedancia tiene un nivel de señal aproximado de 150 mV, mientras que el micrófono, que cuenta con una impedancia interna mayor, tiene una señal de sólo 50 mV. Como se mencionó anteriormente, la mayor parte de la señal en el punto de "alimentación" (v_G) corresponde a la guitarra. La dirección del flujo de la corriente y potencia es, sin duda, de la guitarra al micrófono. Es más, **debido a que la construcción básica de un micrófono y una bocina son similares, el micrófono podría ser forzado a actuar como una bocina y emitir la señal de la guitarra.** Las nuevas bandas acústicas por lo general enfrentan este problema a medida que aprenden los principios básicos correctos del amplificador. **En general, para señales en paralelo, el canal con la menor impedancia interna controlará la situación.**

Figura 9.48 Demostración del hecho de que para señales paralelas, el canal con la menor impedancia interna y con mayor potencia controla la situación.

Para algunas personas, quizá podría ser una sorpresa encontrar que un micrófono en realidad se pueda comportar como una bocina. Sin embargo, el ejemplo clásico de la utilización de un cono de voz para que actúe como un micrófono o como bocina, se encuentra en el sistema de intercomunicación típico, como el que aparece en la figura 9.49a. La bocina de 16 Ω, 0.5 W de la figura 9.49b se utiliza como un micrófono y una bocina a la vez, según la posición del interruptor de activación. Sin embargo, es importante observar que, como en el ejemplo anterior del micrófono y la guitarra, la mayoría de las bocinas se encuentran diseñadas para manejar niveles de potencia razonables, pero la mayoría de los micrófonos están diseñados para sólo aceptar la entrada activada por voz, y no pueden soportar los niveles de potencia normalmente asociados con las bocinas. Solamente compare el tamaño de cada uno en cualquier sistema de audio. En general, una situación como la descrita antes, donde la señal de la guitarra se escucha a través del micrófono, en todo caso dañaría al micrófono. Para un sistema de intercomunicación, se diseña la bocina para soportar ambos tipos de excitación sin dificultad.

En la figura 9.46, la ganancia del JFET autopolarizado está determinada por $-g_mR_D$, que para esta situación es

$$-g_mR_D = -(1.5 \text{ mS})(3.3 \text{ k}\Omega) = -4.95$$



Conexión del cable · Estación remota · Conexión del cable · Estación principal · Bocina (micrófono) de 16 Ω, 0.5 W · Bocina (micrófono) de 16 Ω, 0.5 W · Conexión a la batería de 9 V · Control de llamada · Capacitores electrolíticos · Circuito integrado · Capacitor electrolítico de 33 µF, 16 V · Capacitores de discos de cerámica · (b) · Control de presionar-para-hablar · Potenciador en apagado y control de volumen

Figura 9.49 Intercomunicador de baterías (9 V) con dos estaciones: (a) apariencia externa; (b) construcción interna.

Conmutación silenciosa

Cualquier sistema electrónico que incorpore una conmutación mecánica, como el que se muestra en la figura 9.50, es propenso a desarrollar ruido sobre la línea que ocasionará una reducción de la relación señal a ruido. Cuando el interruptor de la figura 9.50 se abre

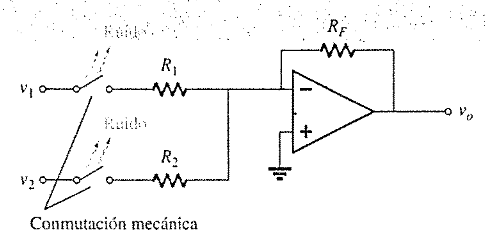
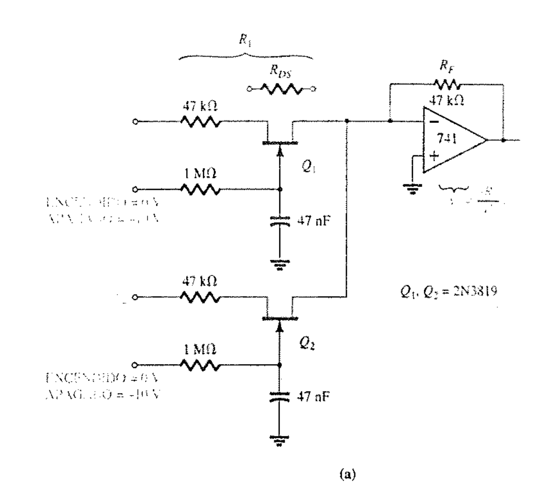
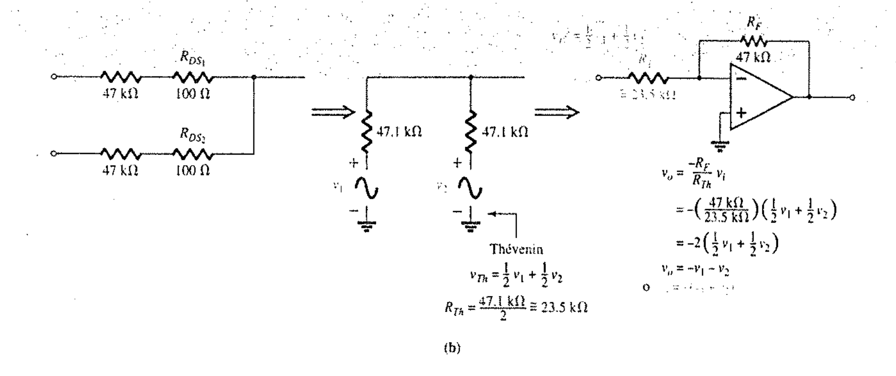


Figura 9.50 Desarrollo de ruido como consecuencia de una conmutación mecánica.

y se cierra, por lo regular se obtendrá un molesto sonido "pfft, pfft" como parte de la señal de salida. Además, el cableado más extenso, que por lo general demandan lo interruptores mecánicos, requerirá que el interruptor se encuentre lo más cercano posible al amplificador para reducir la captación de ruido sobre la línea.

Un método efectivo para eliminar en esencia esta fuente de ruido es el empleo de conmutación electrónica, como se muestra en la figura 9.51a, para una red de mezcla de dos canales. Recuerde del capítulo 6 que la conexión drenaje-fuente de un JFET para niveles bajos





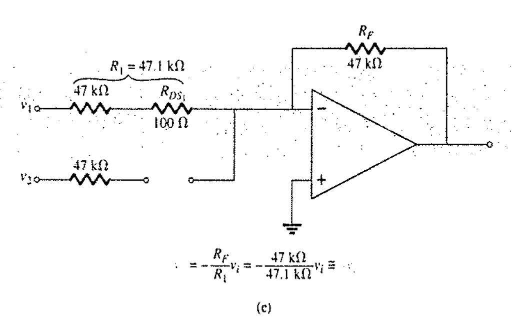


Figura 9.51 Red de audio con conmutación silenciosa: (a) configuración de JFET; (b) con ambas señales presentes; (c) con una señal encendida. (Redibujado de *Electronics Today International*.)

de V_{DS} puede verse como una resistencia cuyo valor es determinado por el voltaje compuerta-fuente aplicado, como se describió a detalle en la sección 6.13. Además, recuerde que la resistencia es la menor cuando $V_{GS} = 0$ V, y la mayor, cuando se acerca al voltaje de estrechamiento. En la figura 9.51a, las señales que se mezclarán se aplican en la terminal de drenaje de cada JFET, y el control de dc se conecta directamente a la terminal de la compuerta de cada JFET. Al tener 0 V en cada terminal de control, ambos JFETs se encuentran "fuertemente encendidos" y la resistencia de D_1 a S_1 y de D_2 a S_2 es relativamente pequeña, por decir, 100 Ω para este análisis. Incluso cuando 100 Ω, no son los 0 Ω que se supuso para un interruptor ideal, es tan pequeño en comparación con el resistor en serie de 47 kΩ que, en general, puede ignorarse. Ambos interruptores, por tanto, están en la posición de "encendido", y las dos señales de entrada podrán llegar a la entrada del amplificador inversor (que se mostrará en la sección 13.4) como se indica en la figura 9.51b. En particular, observe que los valores elegidos de los resistores ocasionan una señal de salida que sencillamente es la suma invertida de las dos señales. Entonces, la etapa de amplificación que sigue elevará la suma total a niveles de audio.

Es posible colocar a ambos interruptores electrónicos en el estado de "apagado" con tan sólo aplicar un voltaje que sea más negativo que el nivel de estrechamiento como lo indican los 10 V de la figura 9.51a. La resistencia del nivel de "apagado" puede aproximarse a 10,000 MΩ, lo cual ciertamente puede aproximarse mediante un circuito abierto para la mayoría de las aplicaciones. Debido a que ambos canales se encuentran aislados, uno de ellos puede encontrarse en "encendido" mientras el otro esté en "apagado". La velocidad de operación de un interruptor JFET la controla el sustrato (debido a la construcción del JFET), los niveles de capacitancia parásita y el bajo nivel de la resistencia de "encendido" del JFET. **Las velocidades máximas de los JFETs se encuentran cercanas a 100 Mhz, donde 10 Mhz es lo más común.** Sin embargo, esta velocidad es críticamente reducida por la capacitancia y resistencia de entrada del diseño. En la figura 9.51a, el resistor de 1 MΩ y los capacitores de 47 nF tendrán una constante de tiempo $\tau = RC = 47$ ms $= 0.047$ s, para la red de carga de dc que controla el voltaje en la compuerta. Si suponemos dos constantes de tiempo para cargar hasta el nivel de estrechamiento, el tiempo total será de 0.094 s, o una velocidad de conmutación de 1/0.094 s ≅ 10.6 veces por segundo. Comparado con la velocidad típica de conmutación del JFET de 10 millones de veces en 1 segundo, este número es extremadamente pequeño. Sin embargo, tenga en mente que la consideración principal es la aplicación, y para un mezclador típico, la conmutación no sucederá a velocidades mayores de 10.6 veces por segundo, a menos que se presenten señales de entrada "radicales". Se podría cuestionar la necesidad de contar con la constante completa de tiempo RC en la compuerta, es decir, si no sería mejor dejar que el nivel de dc aplicado en la compuerta controle el estado del JFET. En general, la constante de tiempo RC asegura que la señal de control no sea una señal falsa generada por el ruido u oscilaciones secundarias debido a los rápidos flancos de subida y de bajada de los pulsos aplicados en la compuerta. Al emplear una red de carga, el nivel de dc deberá estar presente por un periodo antes de alcanzar el nivel de estrechamiento. Cualquier pico sobre la línea no se encontrará presente el tiempo suficiente como para cargar el capacitor y cambiar el estado del JFET.

Es importante observar que **el interruptor de JFET es un conmutador bidireccional.** Es decir, las señales en el estado de "encendido" pueden atravesar la región de drenaje-fuente en cualquier dirección. Ésta, por supuesto, es la forma común en la que los interruptores mecánicos funcionan, lo cual hace que sea más fácil el reemplazo de un diseño de conmutación mecánico por un conmutador electrónico. Recuerde que el diodo no es un conmutador bidireccional ya que puede conducir corriente a bajo voltaje en una sola dirección.

Hay que observar que **dado que el estado de los JFETs puede ser controlado mediante un nivel de dc, el diseño de la figura 9.51a se presta para control remoto y de cómputo** por las mismas razones descritas en el capítulo 6 cuando se analizó el control de dc.

En la figura 9.52 se proporciona una hoja de especificaciones de un interruptor análogo JFET de costo reducido. En particular, observe que el voltaje de estrechamiento es por lo regular de −10 V para un voltaje de drenaje-fuente de 12 V. Además, se utiliza un nivel de corriente de 10 nA para definir el nivel de estrechamiento. El nivel de I_{DSS} es de 15 mA, mientras que la resistencia del drenaje a la fuente se encuentra en un nivel muy bajo, 150 Ω con $V_{GS} = 0$ V. El tiempo de encendido es muy pequeño, 10 ns ($t_d + t_r$), mientras que el tiempo de apagado es de 25 ns.

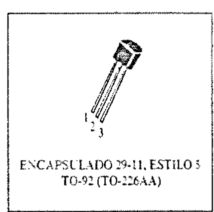
ON Semiconductor™

Conmutador JFET
Canal-N – Decremental

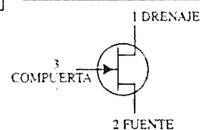
2N5555

VALORES NOMINALES MÁXIMOS

Valor nominal	Símbolo	Valor	Unidad
Voltaje drenaje-fuente	V_{DS}	25	Vdc
Voltaje drenaje-compuerta	V_{DG}	25	Vdc
Voltaje compuerta-fuente	V_{GS}	25	Vdc
Corriente directa de compuerta	I_{GF}	10	mAdc
Disipación total del dispositivo @ $T_C = 25°C$ Pérdida de disipación por arriba de 25°C	P_D	350 2.8	mW mW/°C
Rango de temperatura de la unión	T_J	-65 a +150	°C
Rango de temperatura de almacenaje	T_{stg}	-65 a +150	°C



ENCAPSULADO 29-11, ESTILO 5
TO-92 (TO-226AA)



CARACTERÍSTICAS ELÉCTRICAS ($T_A = 25°C$ a menos que se indique lo contrario)

Característica	Símbolo	Mín.	Máx.	Unidad
CARACTERÍSTICAS DE APAGADO				
Voltaje de ruptura compuerta-fuente ($I_G = 10\ \mu$Adc, $V_{DS} = 0$)	$V_{(BR)GSS}$	25	—	Vdc
Corriente inversa de la compuerta ($V_{GS} = 15$ Vdc, $V_{DS} = 0$)	I_{GSS}	—	1.0	nAdc
Corriente de corte del drenaje ($V_{DS} = 12$ Vdc, $V_{GS} = -10$ V) ($V_{DS} = 12$ Vdc, $V_{GS} = -10$ V, $T_A = 100°C$)	$I_{D(apagado)}$	— —	10 2.0	nAdc µAdc
CARACTERÍSTICAS DE ENCENDIDO				
Corriente de drenaje para voltaje de compuerta cero[1] ($V_{DS} = 15$ Vdc, $V_{DS} = 0$)	I_{DSS}	15	—	mAdc
Voltaje directo compuerta-fuente ($I_{G(f)} = 1.0$ mAdc, $V_{DS} = 0$)	$V_{GS(f)}$	—	1.0	Vdc
Voltaje de encendido drenaje-fuente ($I_D = 7.0$ mAdc, $V_{GS} = 0$)	$V_{DS(encendido)}$	—	1.5	Vdc
Resistencia estática de encendido drenaje-fuente ($I_D = 0.1$ mAdc, $V_{GS} = 0$)	$r_{DS(encendido)}$	—	150	Ohms

1. Pulso de prueba: amplitud del pulso < 300 µs, ciclo de trabajo < 3.0%

Característica		Símbolo	Mín.	Máx.	Unidad
CARACTERÍSTICAS DE PEQUEÑA SEÑAL					
Resistencia de "encendido" drenaje-fuente de pequeña señal ($V_{GS} = 0$, $I_D = 0$, f = 1.0 kHz)		$r_{ds(encendido)}$	—	150	Ohms
Capacitancia de entrada ($V_{DS} = 15$ Vdc, $V_{GS} = 0$, f = 1.0 MHz)		C_{iss}	—	5.0	pF
Capacitancia de transferencia inversa ($V_{DS} = 0$, $V_{GS} = 10$ Vdc, f = 1.0 MHz)		C_{rss}	—	1.2	pF
CARACTERÍSTICAS DE CONMUTACIÓN					
Tiempo de retardo para encendido	($V_{DD} = 10$ Vdc, $I_{D(encendido)} = 7.0$ mAdc	$t_{d(encendido)}$	—	5.0	ns
Tiempo de subida	$V_{GS(encendido)} = 0$, $V_{GS(apagado)} = -10$Vdc) (Ver figura 1)	t_r	—	5.0	ns
Tiempo de retardo para apagado	($V_{DD} = 10$ Vdc, $I_{D(encendido)} = 7.0$ mAdc	$t_{d(apagado)}$	—	15	ns
Tiempo de bajada	$V_{GS(encendido)} = 0$, $V_{GS(apagado)} = -10$Vdc) (Ver figura 1)	t_f	—	10	ns

Figura 9.52 Hoja de especificaciones para un interruptor de corriente JFET análogo de bajo costo. (Derechos reservados de Semiconductor Components Industries, LLC. Utilizado con permiso.)

Redes de desplazamiento de fase

Al emplear la característica de resistencia de drenaje a fuente controlada por voltaje de un JFET, es posible controlar el ángulo de fase de una señal, mediante las configuraciones de la figura 9.53. La red de la figura 9.53a es una red de adelanto de fase que añade un ángulo a la señal aplicada, mientras que la red de la figura 9.53b es una configuración de retraso de fase que crea un desplazamiento negativo de fase.

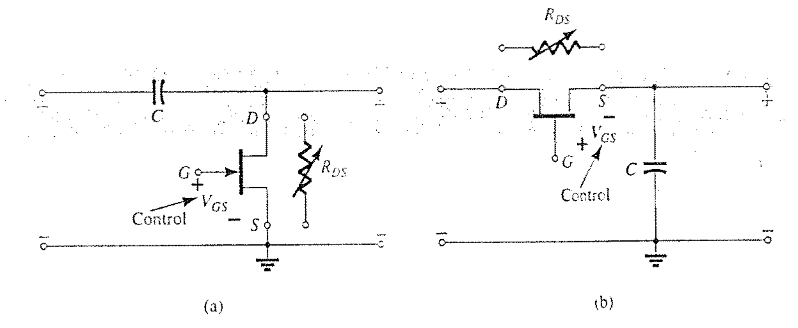


Figura 9.53 Redes de desplazamiento de fase: (a) adelanto; (b) retraso.

Por ejemplo, consideremos los efectos de R_{DS} sobre una señal de entrada que cuente con una frecuencia tal como 10 kHz para la red de la figura 9.53a. Para efectos de la discusión, se asume que la resistencia drenaje-fuente es de 2 kΩ, como consecuencia de la aplicación de un voltaje compuerta-fuente de –3 V. Al dibujar la red equivalente se obtendrá la configuración general de la figura 9.54. Al resolver para el voltaje de salida se obtiene

$$\mathbf{V}_o = \frac{R_{DS}\angle 0^\circ\ V_i\angle 0^\circ}{R_{DS} - j\,X_C} = \frac{R_{DS}\,V_i\angle 0^\circ}{\sqrt{R_{DS}^2 + X_C^2}\angle -\tan^{-1}\dfrac{X_C}{R_{DS}}}$$

$$= \frac{R_{DS}V_i}{\sqrt{R_{DS}^2 + X_C^2}}\angle \tan^{-1}\frac{X_C}{R_{DS}} = \left(\frac{R_{DS}}{\sqrt{R_{DS}^2 + X_C^2}}\right)V_i\angle \tan^{-1}\frac{X_C}{R_{DS}}$$

por lo que

$$\mathbf{V}_o = k_1 V_i \angle \theta_1$$

donde

$$k_1 = \frac{R_{DS}}{\sqrt{R_{DS}^2 + X_C^2}} \quad \text{y} \quad \theta_1 = \tan^{-1}\frac{X_C}{R_{DS}} \qquad (9.57)$$

Si sustituimos los valores numéricos anteriores, se tiene

$$X_C = \frac{1}{2\pi fC} = \frac{1}{2\pi(10\text{ kHz})(0.01\ \mu\text{F})} = 1.592\text{ k}\Omega$$

y
$$k_1 = \frac{R_{DS}}{\sqrt{R_{DS}^2 + X_C^2}} = \frac{2\text{ k}\Omega}{\sqrt{(2\text{ k}\Omega)^2 + (1.592\text{ k}\Omega)^2}} = 0.782$$

con
$$\theta_1 = \tan^{-1}\frac{X_C}{R_{DS}} = \tan^{-1}\frac{1.592\text{ k}\Omega}{2\text{ k}\Omega} = \tan^{-1}0.796 = 38.52^\circ$$

por lo que
$$\mathbf{V}_o = 0.782V_i\angle 38.52^\circ$$

y una señal de salida que es 78.2% de la señal aplicada pero con un desplazamiento de fase de 38.52°.

Por tanto, en general, la red de la figura 9.53a puede insertar un desplazamiento de fase positivo que puede extenderse de unos cuanto grados (cuando X_C es relativamente pequeña en comparación con R_{DS}) hasta casi 90° (cuando X_C es relativamente grande en comparación con R_{DS}). Sin embargo, tenga presente que para valores fijos de R_{DS}, a medida que la frecuencia se incrementa, X_C disminuirá y el desplazamiento de fase se aproximará a 0°. Para frecuencias que disminuyen y una R_{DS} fija, el desplazamiento de fase se aproximará a 90°. También

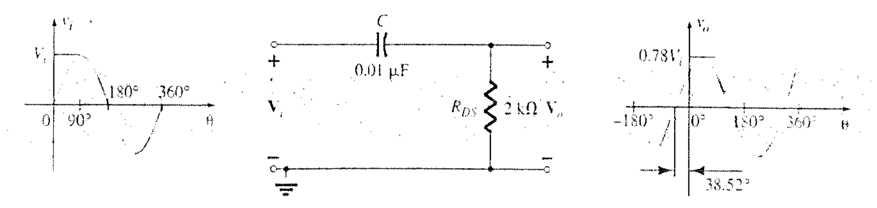


Figura 9.54 Red de adelanto de fase R-C.

es importante comprender que para una R_{DS} fija, un nivel creciente de X_C ocasionará una magnitud decreciente de V_o. Para una red como ésa, deberá efectuarse un balance entre la ganancia y la fase deseada.

Para la red de la figura 9.53b, en conclusión las ecuaciones son

$$\boxed{\mathbf{V}_o = k_2 V_i \angle \theta_2} \qquad (9.58)$$

donde

$$k_2 = \frac{X_C}{\sqrt{R_{DS}^2 + X_C^2}} \quad \text{y} \quad \theta_2 = -\tan^{-1}\frac{R_{DS}}{X_C}$$

Sistema de detección de movimiento

En la figura 9.55 se señalan los componentes básicos de un sistema infrarrojo pasivo (PIR) de detección de movimiento. El corazón del sistema es el **detector piroeléctrico que genera un voltaje que varía según la cantidad de calor incidente,** y que filtra sólo la radiación infrarroja proveniente de un área en particular y concentra la energía hacia un elemento sensible a la temperatura. Recuerde del capítulo 6 en la sección de Aplicaciones prácticas, que la banda infrarroja es una banda no visible que se encuentra debajo del espectro de luz visible. **Los detectores pasivos no emiten ninguna señal de ningún tipo, sino que responden ante el flujo de energía del entorno.**

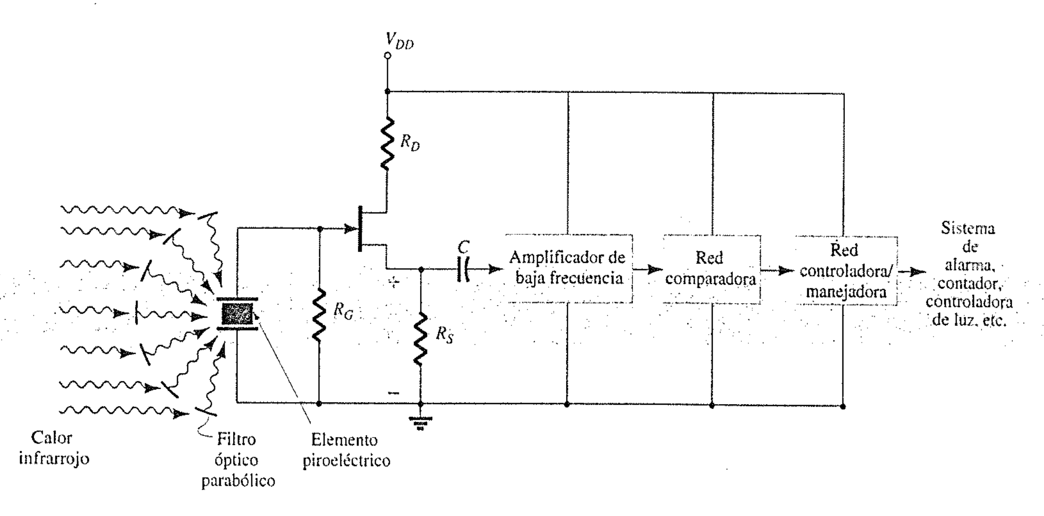
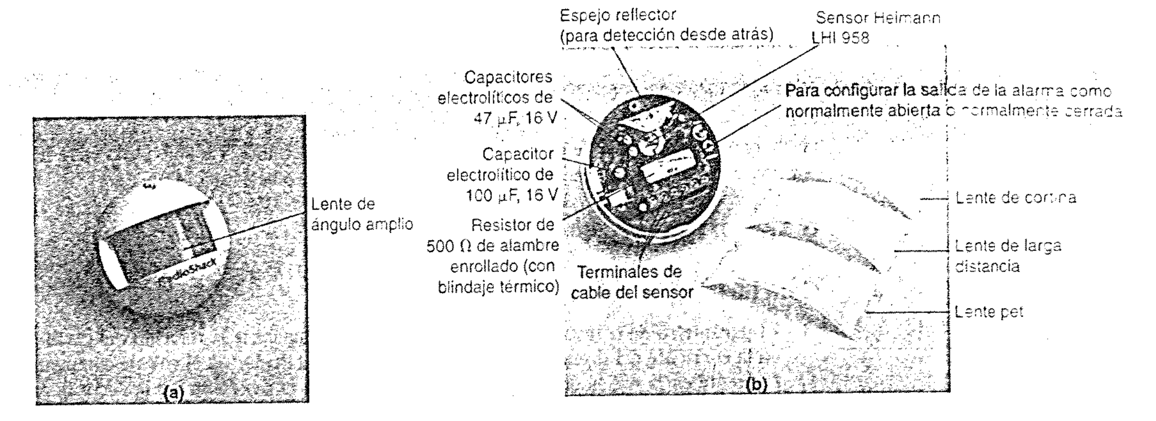
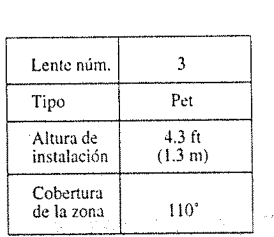


Figura 9.55 Sistema infrarrojo pasivo (PIR) de detección de movimiento.



Vista superior



Lente núm.	3
Tipo	Pet
Altura de instalación	4.3 ft (1.3 m)
Cobertura de la zona	110°

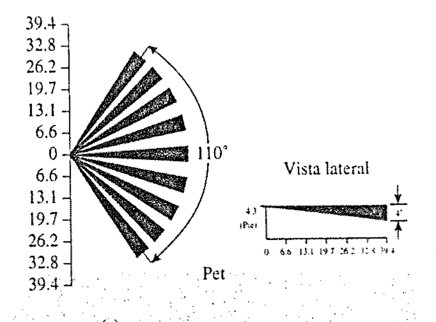


Figura 9.56 Unidad PIR de detección de movimiento comercialmente disponible: (a) apariencia externa; (b) construcción interna; (c) opción de cobertura pet.

En las figuras 9.56a y b se presenta la vista externa e interna de una unidad comercialmente disponible. Se proporcionan cuatro lentes intercambiables para distintas áreas de cobertura. Para nuestro propósito se seleccionó la opción pet con la cobertura indicada en la figura 9.56c. Observe el espacio bajo el rayo de movimiento pet y la distancia máxima de 39.4 pies. La unidad se instala a una altura de 6.6 pies y opera con un voltaje de dc de 9 a 16 V, y consume una corriente de 25 mA a 12 V dc. En la figura 9.56b se presenta el detector piroeléctrico Heimann LHI 958 junto con deflector para detección lateral y el notable interruptor de láminas "envasado". Los circuitos integrados (CIs) se encuentran en el lado opuesto de la tarjeta de circuito impreso.

Para concentrar el calor incidente del entorno sobre el detector piroeléctrico, la unidad de la figura 9.56 emplea un deflector parabólico. Al cruzar una persona a lo largo del sensor, se interrumpirán los distintos campos que aparecen en la figura 9.56c, y el detector "sentirá" los **cambios rápidos** del nivel de calor. **El resultado será un nivel de dc cambiante semejante a la situación en la que una señal de ac de baja frecuencia de impedancia interna relativamente alta aparece en la compuerta del JFET.** Podría surgir entonces la duda acerca de la razón por la cual el encendido de un sistema de calefacción o de una lámpara, no dispare una señal de alarma dado que se generará calor. La respuesta es que ambos generarán un voltaje en el detector, que crecerá de forma constante con el nivel creciente de calor proveniente del sistema de calefacción o de la lámpara. Para el caso de la lámpara, recuerde que el detector es sensible al calor y no a la luz. El voltaje resultante no se encontrará oscilando entre niveles, sino simplemente elevando su nivel por lo que la alarma no se disparará, es decir, el detector piroeléctrico no generará un voltaje de ac variante.

Observe en la figura 9.55 que se utilizó la configuración de fuente-seguidor para asegurar una impedancia de entrada muy alta para capturar la mayor parte de la señal piroeléctrica. Luego, ésta es transferida a un amplificador de baja frecuencia, seguida por una red de detección de picos y un comparador para determinar si la alarma debe apagarse. El comparador de voltaje de dc es una red que "captura" el valor pico del voltaje ac generado y lo compara con un nivel conocido de voltaje de dc. El procesador de salida determina si la diferencia entre los dos niveles es suficiente para notificar al manejador que active la alarma.

9.16 RESUMEN

Conclusiones y conceptos importantes

1. **El parámetro de transconductancia** g_m se determina mediante la **relación del cambio en la corriente del drenaje** asociada con un **cambio particular en el voltaje compuerta-fuente** en la región de interés. **Mientras mayor sea la pendiente** de la curva I_D en función de V_{GS}, **mayor será** el nivel de g_m. Además, **mientras más cercano se encuentre el punto o región de operación a la corriente de saturación** I_{DSS}, **mayor será** el parámetro de transconductancia.
2. En las hojas de especificaciones, g_m se proporciona como y_{fs}.
3. Cuando V_{GS} sea **la mitad del valor de estrechamiento,** g_m **se encontrará a la mitad de su valor máximo.**
4. Cuando I_D sea **un cuarto del nivel de saturación de** I_{DSS}, g_m **será la mitad del valor de saturación.**
5. La **impedancia de salida** de los FETs **es similar en magnitud** a los **BJTs convencionales.**
6. En las hojas de especificaciones **la impedancia de salida** r_d **se proporciona como** $1/y_{os}$. **Mientras más horizontales** sean las curvas características de las características del drenaje, **mayor será la impedancia de salida.**
7. La **ganancia de voltaje** para las configuraciones de polarización fija y de autopolarización del JFET (con una capacitancia de desvío en la fuente) **es la misma.**
8. El **análisis de ac** de los JFETs y de los MOSFETs de tipo decremental **es el mismo.**
9. La **red equivalente de ac** para un MOSFET de tipo incremental **es la misma** que la utilizada para los JFETs y los MOSFETs de tipo decremental. La única diferencia es la ecuación para g_m.
10. La **magnitud de la ganancia** de las redes a FET, por lo general se **encuentra entre 2 y 20**. La **configuración de autopolarización** (sin una capacitancia de desvío en la fuente) y la **configuración fuente-seguidor** son **configuraciones de ganancia baja.**
11. No existe un **desplazamiento de fase** entre la entrada y la salida en las **configuraciones de fuente-seguidor y de compuerta común.** La mayoría de las otras configuraciones tendrán un desplazamiento de fase de 180°.
12. La **impedancia de salida** de la mayoría de las configuraciones de FET **se encuentra determinada principalmente por** R_D. Para la configuración **fuente-seguidor,** ésta se encuentra determinada por R_S y g_m.
13. La **impedancia de entrada** para la mayoría de las configuraciones de FET es **muy alta.** Sin embargo, para la **configuración de compuerta común** es **muy baja.**
14. En la **localización de fallas de cualquier sistema electrónico o mecánico,** siempre deberán verificarse **primero las causas más obvias.**

Ecuaciones

$$g_m = y_{fs} = \frac{\Delta I_D}{\Delta V_{GS}}$$

$$g_{m0} = \frac{2I_{DSS}}{|V_P|}$$

$$g_m = g_{m0}\left[1 - \frac{V_{GS}}{V_P}\right]$$

$$g_m = g_{m0}\sqrt{\frac{I_D}{I_{DSS}}}$$

$$r_d = \frac{1}{y_{os}} = \left.\frac{\Delta V_{DS}}{\Delta I_D}\right|_{V_{GS}=\text{constante}}$$

JFETs y MOSFETs de tipo decremental ($r_d \geq 10R_D$, $r_d \geq 10R_S$):

Polarización fija:

$$Z_i = R_G$$
$$Z_o \cong R_D$$
$$A_v = -g_m R_D$$

Autopolarización (R_S con desvío):

$$Z_i = R_G$$
$$Z_o \cong R_D$$
$$A_v = -g_m R_D$$

Autopolarización (sin desvío de R_S):

$$Z_i = R_G$$
$$Z_o = R_D$$
$$A_v \cong \frac{-g_m R_D}{1 + g_m R_S}$$

Polarización por divisor de voltaje:

$$Z_i = R_1 \| R_2$$
$$Z_o = R_D$$
$$A_v = -g_m R_D$$

Fuente-seguidor:

$$Z_i = R_G$$
$$Z_o = R_S \| 1/g_m$$
$$A_v = \frac{g_m R_S}{1 + g_m R_S}$$

Compuerta común:

$$Z_i = R_S \| 1/g_m$$
$$Z_o \cong R_D$$
$$A_v = g_m R_D$$

MOSFETs de tipo incremental ($R_F \gg r_d \| R_D$; $r_d \geq 10R_D$):

$$g_m = 2k(V_{GS_Q} - V_{GS(\text{Th})})$$

Configuración de retroalimentación en drenaje:

$$Z_i = \frac{R_F}{1 + g_m R_D}$$

$$Z_o \cong R_D$$

$$A_v \cong -g_m R_D$$

Polarización por divisor de voltaje:

$$Z_i = R_1 \| R_2$$

$$Z_o \cong R_D$$

$$A_v = -g_m R_D$$

9.17 ANÁLISIS POR COMPUTADORA

PSpice para Windows

CONFIGURACIÓN DE POLARIZACIÓN FIJA PARA JFET

La primer configuración de JFET que se analizará mediante el uso de PSpice para Windows es la configuración de polarización fija de la figura 9.57, que cuenta con un JFET con $V_P = -4$ V e $I_{DSS} = 10$ mA. Se añadió el resistor de 10 MΩ para que actuara como una trayectoria a tierra para el capacitor, pero como es una carga se trata esencialmente de un circuito abierto. Se empleará el **JFET J2N3819 de canal-*n*** de la biblioteca **EVAL.slb**, y el voltaje de ac se determinará en cuatro puntos distintos para comparación y verificación.

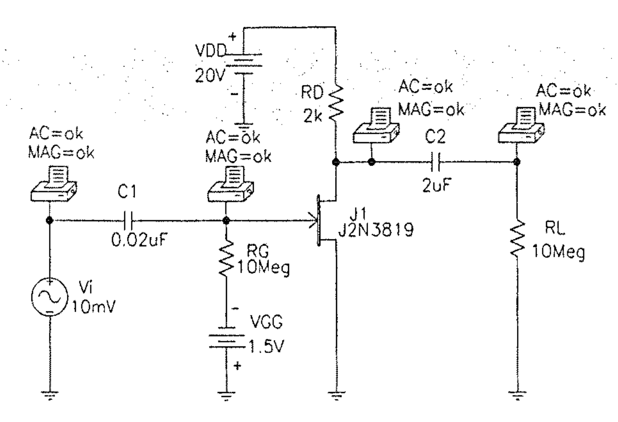


Figura 9.57 Configuración de polarización fija de JFET con una fuente de ac.

La constante **Beta** se encuentra determinada por

$$\text{Beta} = \frac{I_{DSS}}{|V_P|^2} = \frac{10\text{ mA}}{4^2} = 0.625\text{ mA/V}^2$$

insertada como un parámetro del modelo (**Model Parameter**) mediante la secuencia **Edit-Model-Edit Instance Model (Text)**. **Vto** también deberá ser modificada a –4 V. Los elementos restantes de la red se establecen como se describió para el transistor en el capítulo 8.

Un análisis de la red dará por resultado la impresión de la figura 9.58. La parte de **Schematics Netlist** muestra los nodos asignados a cada parámetro y define los nodos para los cuales el voltaje de ac se imprimirá. En este caso, observe que **Vi** se establece en 10 mV para una frecuencia de 10 kHz del nodo 2 al 0. En la lista de **Junction FET MODEL PARAMETERS**, **VTO** es de –4 V y **BETA** es 625E-6 como se capturó. La solución de polarización de pequeña señal (**SMALL-SIGNAL BIAS SOLUTION**) muestra que el voltaje en ambos extremos de R_G


```
****     CIRCUIT DESCRIPTION

******************************************************************************

* Schematics Netlist *



V_VDD          $N_0001 0 20V
C_C1          $N_0002 $N_0003  0.02uF
R_RG          $N_0004 $N_0003  10Meg
R_RD          $N_0005 $N_0001  2k
V_VGG          0 $N_0004 1.5V

.PRINT          AC
+ VM([$N_0003])

.PRINT          AC
+ VM([$N_0002])

.PRINT          AC
+ VM([$N_0005])

.PRINT          AC
+ VM([$N_0006])
C_C2          $N_0005 $N_0006  2uF
V_V1          $N_0002 0  AC 10mV
+SIN 0 10mV 10kHz 0 0 0
R_RL          0 $N_0006  10Meg
J_J1          $N_0005 $N_0003 0 J2N3819-X
 ****     Junction FET MODEL PARAMETERS

******************************************************************************


               J2N3819-X
               NJF
          VTO   -4
         BETA  625.000000E-06
       LAMBDA    2.250000E-03
           IS   33.570000E-15
          ISR  322.400000E-15
        ALPHA  311.700000E-06
           VK  243.6
           RD    1
           RS    1
          CGD    1.600000E-12
          CGS    2.414000E-12
            M     .3622
        VTOTC   -2.500000E-03
       BETATCE    -.5
           KF    9.882000E-18

 ****     SMALL SIGNAL BIAS SOLUTION       TEMPERATURE =   27.000 DEG C

******************************************************************************



NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE


($N_0001)   20.0000                    ($N_0002)    0.0000

($N_0003)   -1.5000                    ($N_0004)   -1.5000

($N_0005)   12.0020                    ($N_0006)    0.0000




    VOLTAGE SOURCE CURRENTS
    NAME         CURRENT

    V_VDD        -3.999E-03
    V_VGG        -1.366E-12

 ****     OPERATING POINT INFORMATION      TEMPERATURE =   27.000 DEG C

******************************************************************************



**** JFETS


NAME          J_J1
MODEL         J2N3819-X
ID             4.00E-03
VGS           -1.50E+00
VDS            1.20E+01
GM             3.20E-03
GDS            8.76E-06
CGS            1.73E-12
CGD            6.07E-13
**** 10/08/97 11:23:59 ******** NT Evaluation PSpice (October 1996) **********

 ****     AC ANALYSIS                      TEMPERATURE =   27.000 DEG C

******************************************************************************


  FREQ        VM($N_0003)

  1.000E+04   9.997E-03


  FREQ        VM($N_0002)

  1.000E+04   1.000E-02


  FREQ        VM($N_0005)

  1.000E+04   6.275E-02


  FREQ        VM($N_0006)

  1.000E+04   6.275E-02
```

Figura 9.58 Archivo de salida para la red de la figura 9.57.

es de −1.5 V, lo que ocasiona que V_{GS} = −1.5 V. El voltaje del drenaje a la fuente (tierra) es de 12 V, lo que deja una caída de 8 V a través de R_D. El análisis de ac, **AC ANALYSIS,** al final del listado muestra que el voltaje en la fuente (nodo 2) es de 10 mV como se estableció, pero el voltaje en el otro extremo del capacitor es 3 μV menor debido a la impedancia del capacitor en 10 kHz, lo cual ciertamente es una caída que puede ignorarse. Es obvio que la selección de 0.02 μF para esta frecuencia fue buena decisión. Los voltajes anteriores y posteriores al capacitor en la sección de salida son exactamente los mismos (hasta tres decimales), lo que demuestra que mientras mayor sea el capacitor, más cercanas serán sus características a las de un corto circuito. La salida de 6.275E-2 = 62.75 mV refleja una ganancia de 6.275. La información en el punto de operación (OPERATING POINT INFORMATION) muestra que I_D es igual a 4 mA y g_m es igual a 3.2 mS. Es posible calcular el valor de g_m a partir de:

$$g_m = \frac{2I_{DSS}}{|V_P|}\left(1 - \frac{V_{GS_Q}}{V_P}\right)$$

$$= \frac{2(10\text{ mA})}{4\text{ V}}\left(1 - \frac{(-1.5\text{ V})}{(-4\text{ V})}\right)$$

$$= 3.125\text{ mS}$$

lo cual confirma nuestro análisis.

CONFIGURACIÓN DE AUTOPOLARIZACIÓN DEL JFET

Se analizará la configuración de autopolarización de la figura 9.59 mediante el **JFET J2N3819** de la biblioteca y luego mediante el circuito equivalente aproximado. Resultará interesante observar si existen grandes diferencias en la solución.

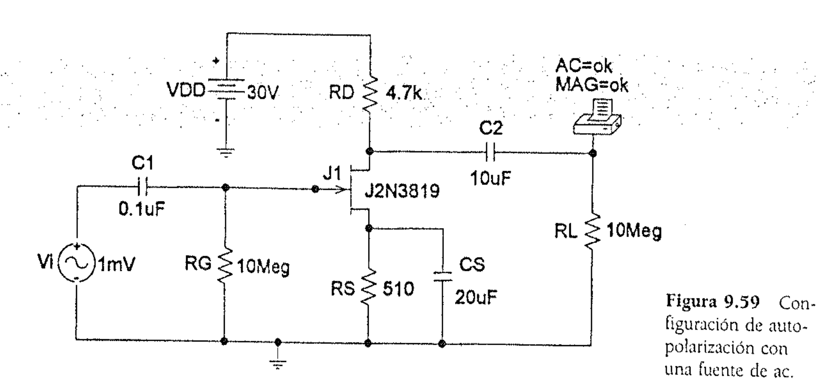


Figura 9.59 Configuración de autopolarización con una fuente de ac.

Nuevamente V_P = −4 V e I_{DSS} = 10 mA, dando por resultado que **Vto** sea igual a −4 y una **Beta** de 6.25E-4. Al ejecutar el análisis, **Analysis,** se obtienen los resultados de la figura 9.60. Los nodos se identifican en la parte de **Schematics Netlist** y los parámetros en **Junction FET MODEL PARAMETERS.** La solución de polarización de pequeña señal (**SMALL-SIGNAL BIAS SOLUTION**) muestra que V_{GS} = −1.7114 V y V_D = 14.228 V, resultados que son muy cercanos a la solución realizada a mano con valores de −1.68 V y 14.49 V. La información en el punto de operación (**OPERATING POINT INFORMATION**) indica que I_D es igual a 3.36 mA comparada con los 3.3 mA de la solución a mano y que g_m es igual a 2.94 mS contra los 2.90 mS de la solución a mano. El **AC ANALYSIS** proporciona un nivel de salida de 13.3 mV con un ángulo de −179.9°, lo cual se compara bien con la solución efectuada a mano de 16.63 mV con un ángulo de −180°. Los resultados de los JFETs son mucho más cercanos que aquellos obtenidos para los transistores cuando se utilizaron los elementos proporcionados, debido a la característica especial de contar con una impedancia de entrada esencialmente infinita de forma que la corriente de la compuerta es de cero amperes. Recuerde que para el transistor, V_{BE} es una función de las condiciones de operación.


```
****     CIRCUIT DESCRIPTION

******************************************************************************

* Schematics Netlist *

V_Vi          $N_0001 0  AC 1mV
+SIN 0V 1mV 10kHz 0 0 0
C_C1          $N_0001 $N_0002  0.1uF
R_RG          $N_0002 0  10Meg
V_VDD          $N_0003 0 30V
R_RD          $N_0003 $N_0004  4.7k
R_RS          $N_0005 0  510
C_CS          $N_0005 0  20uF
C_C2          $N_0004 $N_0006  10uF
R_RL          $N_0006 0  10Meg
J_J1          $N_0004 $N_0002 $N_0005 J2N3819-X
.
.PRINT        AC
+ VM([$N_0006])
+ VP([$N_0006])

****     Junction FET MODEL PARAMETERS

******************************************************************************

              J2N3819-X
              NJF
        VTO   -4
       BETA  625.000000E-06
     LAMBDA    2.250000E-03
         IS   33.570000E-15
        ISR  322.400000E-15
      ALPHA  311.700000E-06
         VK  243.6
         RD    1
         RS    1
        CGD    1.600000E-12
        CGS    2.414000E-12
          M     .3622
      VTOTC   -2.500000E-03
    BETATCE    -.5
         KF    9.882000E-18

****     SMALL SIGNAL BIAS SOLUTION       TEMPERATURE =   27.000 DEG C

******************************************************************************

NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE

($N_0001)    0.0000                   ($N_0002) 13.95E-06

($N_0003)   30.0000                   ($N_0004)   14.2280

($N_0005)    1.7114                   ($N_0006)    0.0000


    VOLTAGE SOURCE CURRENTS
    NAME         CURRENT

    V_Vi         0.000E+00
    V_VDD       -3.356E-03

    TOTAL POWER DISSIPATION   1.01E-01  WATTS

****     OPERATING POINT INFORMATION      TEMPERATURE =   27.000 DEG C

******************************************************************************


**** JFETS

NAME          J_J1
MODEL         J2N3819-X
ID            3.36E-03
VGS          -1.71E+00
VDS           1.25E+01
GM            2.94E-03
GDS           7.34E-06
CGS           1.68E-12
CGD           5.97E-13

****     AC ANALYSIS                      TEMPERATURE =   27.000 DEG C

******************************************************************************


  FREQ       VM($N_0006) VP($N_0006)

  1.000E+04   1.330E-02  -1.799E+02
```

Figura 9.60 Archivo de salida para la red de la figura 9.59.

Figura 9.61 Red de la figura 9.59 posterior a la sustitución de una VCCS (fuente de corriente controlada por voltaje) por el JFET en el dominio de ac.

Ahora revisaremos la configuración de autopolarización mediante el modelo aproximado como se hizo para el caso del transistor y veremos si existe una mejora en los resultados (en comparación con los resultados calculados a mano). En este caso, necesitaremos la fuente de corriente controlada por voltaje (**VCCS**) que se localiza en la biblioteca **ANALOG.slb** como G. Al seleccionarla, la descripción (**Description**) muestra lo siguiente: **Voltage-controlled current source.** Al colocarla en el esquema aparecerá como se muestra en la figura 9.61. El voltaje sensor se encuentra entre el signo menos y el signo más, mientras que la corriente controlada se encuentra entre las otras dos terminales externas. Al hacer doble clic sobre el símbolo del esquema se obtendrá el cuadro de diálogo de información **PartName: G**, en el que es posible establecer GAIN(g_m) al nivel calculado a mano de 2.90 mS.

El resultado del análisis es la ganancia de 13.62, lo cual prácticamente coincide con la ganancia calculada a mano. Ciertamente este enfoque es válido para un análisis de ac, sin embargo, si examinamos la solución de polarización de pequeña señal (**SMALL-SIGNAL BIAS SOLUTION**) encontramos que los resultados no tienen sentido. Por tanto, el equivalente que aparece en la figura 9.61 solamente es válido para la ganancia de ac dado que el único parámetro definido es el factor de transconductancia de ac.

CONFIGURACIÓN POR DIVISOR DE VOLTAJE DEL JFET

La última red que analizaremos en esta presentación de PSpice para Windows es la configuración por divisor de voltaje de la figura 9.62. Observe que los parámetros seleccionados son distintos de los empleados en ejemplos anteriores, donde V_i es igual a 24 mV y una frecuencia de 5 kHz. Además se despliegan los niveles de dc y una gráfica de los voltajes de salida y de entrada en la misma pantalla.

Después de construir la red, la fuente V_i deberá establecerse al parámetro indicado al hacer doble clic sobre la fuente y luego al hacer doble clic sobre cada parámetro y al colocar los valores correctos. Cada uno de éstos deberá ser almacenado y luego deberá modificarse el desplegado de la gráfica para presentar la magnitud del voltaje de ac y la frecuencia aplicada. En

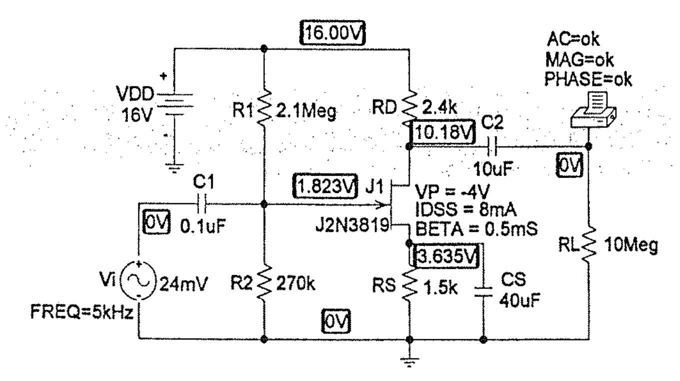


Figura 9.62 Configuración de divisor de voltaje para JFET con una fuente de ac.

este ejemplo, los parámetros de JFET se presentan en la pantalla mediante el icono de ABC. Por supuesto que BETA se calcula a partir de $I_{DSS}/|V_P|^2$. Debajo de la opción **Analysis-Probe Setup,** se selecciona la opción **Do not auto-run Probe**, y debajo de **Setup**, se selecciona **AC Sweep** y se captura la frecuencia de 5 kHz. Por último, ya que deseamos que se desplieguen los niveles de dc, se selecciona la opción **Display Results on Schematic** debajo de **Analysis**, y se habilita la opción de **Enable Voltage Display**. Los niveles resultantes de dc de la figura 9.62 muestran que V_{GS} es igual a 1.823 V − 3.635 V = −1.812 V que se compara bien con el −1.8 V calculado en el ejemplo 6.5. V_D es igual a 10.18 V comparado con el nivel calculado de 10.24 V, y V_{DS} es igual 10.18 V − 3.635 V = 6.545 V comparado con 6.64 V.

Para la solución de ac, podemos seleccionar la opción **Examine Output** (revisar salida) debajo de **Analysis** y encontrar debajo de **OPERATING POINT INFORMATION** que g_m es igual a 2.22 mS, lo cual se compara muy bien con el valor calculado a mano de 2.2 mS, y debajo de **AC ANALYSIS** encontramos que el voltaje ac de salida es de 125.8 mV que ocasiona una ganancia de 125.8 mV/24 mV = 5.24. El nivel calculado a mano es $g_m R_D$ = (2.2 mS) (2.4 kΩ) = 5.28. La forma de onda de ac para la salida puede obtenerse al aplicar primero la secuencia **Analysis-Probe Setup-Automatically run Probe after simulation** y luego regresar a **Setup** debajo de **Analysis**, con lo que se habilita **Transient** y se inhabilita **AC Sweep**, y se hace doble clic sobre **Transient** para obtener el cuadro de diálogo de transitorio. Para la frecuencia de 5 kHz, el periodo es de 200 μs. Con un incremento de la gráfica (**Print Step**) de 2 μs se obtendrán 100 puntos graficados por cada ciclo. El tiempo final (**Final Time**) será de 5 × 200 μs = 1 ms para mostrar cinco ciclos. El retraso (**No-Print Delay**) será de 0 s y el límite superior del incremento (**Step Ceiling**) de 2 μs. Luego, haciendo clic en el icono de **Trace** y al seleccionar **V(J1:d)** se desplegará la forma de onda de salida de la figura 9.63. Con la secuencia **Plot-Add Plot-Trace-Add-V(Vi+),** se presentarán ambas formas de onda. Para mover **SEL ≫** hacia la forma de onda inferior se aproxima el apuntador a la izquierda de la forma de onda inferior y se hace clic en el lado izquierdo del ratón. Luego al hacer clic sobre el icono de **Toggle cursor** aparecerá una línea horizontal en el nivel de dc del voltaje de salida en 10.184 V. Mediante un clic en el lado izquierdo del ratón se presentará un conjunto de líneas de intersección. Al seleccionar el icono de **Cursor Peak**, la intersección automáticamente irá al valor pico de la forma de onda (**A1** en el cuadro de diálogo). La diferencia que aparece el cuadro de diálogo es 125.496 mV, que se compara muy bien con el valor desplegado en el archivo de salida. La diferencia se debe simplemente al número de puntos elegidos para la gráfica; con un número mayor de puntos se lograría acercar más los dos niveles.

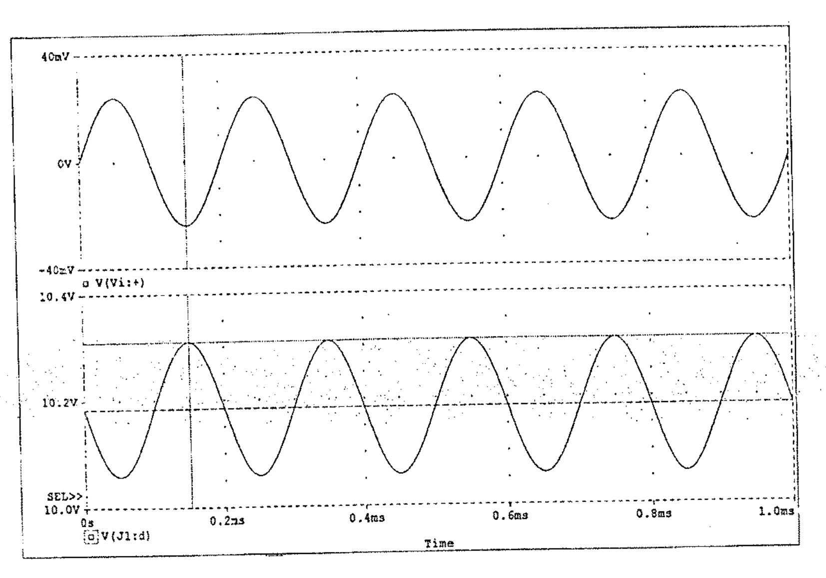


Figura 9.63 Voltajes de drenaje y de compuerta para la configuración de divisor de voltaje del JFET de la figura 9.62.

Electronics Workbench

Ahora se determinará la ganancia de ac de la red de autopolarización de JFET de la figura 9.64 mediante el uso de Electronics Workbench. El procedimiento completo para construir la red y obtener las lecturas deseadas ya se describió para las redes ac de BJT en el capítulo 8. Esta red en particular aparecerá nuevamente en el capítulo 11 como la figura 11.39 cuando pongamos atención en la respuesta de frecuencia de un amplificador JFET con carga. En el capítulo 11 se proporciona un análisis detallado, que incluye la determinación de los niveles de dc, el valor de g_m y la ganancia con carga. La corriente de drenaje del ejemplo 11.10 es 2 mA, que provoca un voltaje de drenaje de 10.6 V y un voltaje de fuente de 2 V que se comparan muy bien con los 10.497 V y 2.009 V de la figura 9.64. Cuando se añade a la red una carga como R_L, aparecerá en paralelo con R_D de la red, lo que modificará la ecuación de la ganancia a $-g_m R_D \parallel R_L$. Para el ejemplo 11.10, g_m es 2 mS que ocasiona una ganancia general de $-(2 \text{ mS})(2.2 \text{ k}\Omega \| 4.7 \text{ k}\Omega) = -2.997$. Los medidores de la figura 9.64 proporcionan valores efectivos de los voltajes de ac, lo que da por resultado una ganancia de $-2.047 \text{ mV}/699.651\ \mu\text{V} = -2.926$, que se ajusta bien con la solución calculada. Recuerde de la discusión de las redes ac del BJT que el voltaje que aparece con una fuente de voltaje de ac es el valor pico como lo indica la figura 9.64. El motivo de que el voltaje en la compuerta no sea $0.7071\ (1 \text{ mV}) = 707.1\ \mu\text{V}$ es la caída a través de la impedancia interna de la fuente (**Rsig**) y el capacitor de aislamiento (**CG**).

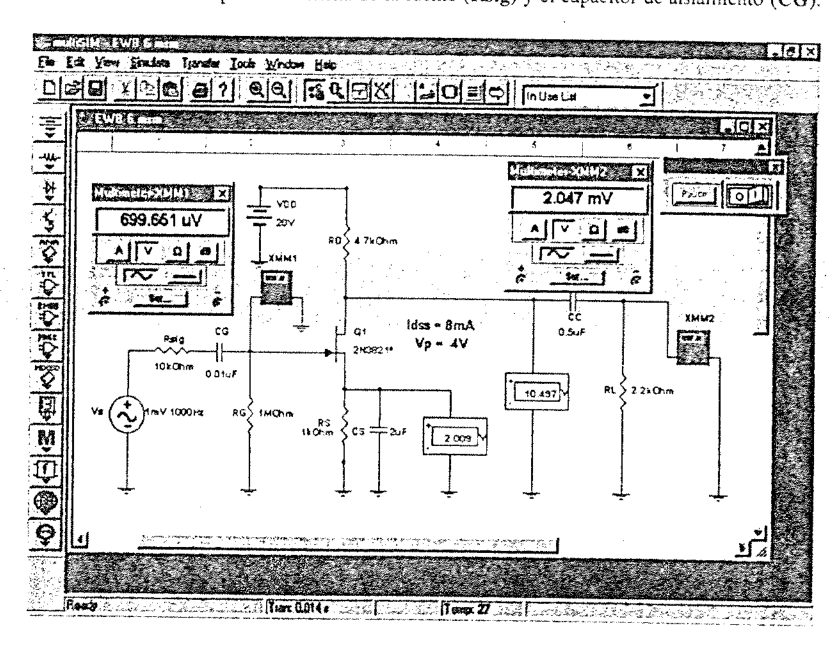


Figura 9.64 Red de autopolarización de JFET mediante el empleo de Electronics Workbench.

PROBLEMAS

§ 9.2 Modelo de pequeña señal para el FET

1. Calcule g_{m0} para un JFET que cuente con los parámetros de dispositivo $I_{DSS} = 15$ mA y $V_P = -5$ V.
2. Determine el voltaje de estrechamiento de un JFET con $g_{m0} = 10$ mS e $I_{DSS} = 12$ mA.
3. Para un JFET que cuente con los parámetros de dispositivo $g_{m0} = 5$ mS y $V_P = -3.5$ V, ¿cuál es la corriente del dispositivo cuando $V_{GS} = 0$ V?
4. Calcule el valor de g_m para un JFET ($I_{DSS} = 12$ mA, $V_P = -3$ V) en un punto de polarización de $V_{GS} = -1$ V.
5. Para un JFET con $g_m = 6$ mS en $V_{GS_Q} = -1$ V, ¿cuál es el valor de I_{DSS} si $V_P = -2.5$ V?
6. Un JFET ($I_{DSS} = 10$ mA, $V_P = -5$ V) se polariza en $I_D = I_{DSS}/4$. ¿Cuál es el valor de g_m en ese punto de polarización?
7. Determine el valor de g_m para un JFET ($I_{DSS} = 8$ mA, $V_P = -5$ V) cuando se polariza en $V_{GS_Q} = V_P/4$.
8. Una hoja de especificaciones proporciona la siguiente información (en la sección de corriente de drenaje-fuente)

$$y_{fs} = 4.5 \text{ mS}, \qquad y_{os} = 25\ \mu\text{S}$$

   En la corriente de drenaje-fuente listada, determine:
   (a) g_m.
   (b) r_d.
9. Para un JFET que tiene los valores especificados de $y_{fs} = 4.5$ mS y $y_{os} = 25\ \mu$S, determine la impedancia de salida del dispositivo, Z_o(FET), y la ganancia ideal de voltaje del dispositivo, A_v(FET).
10. Si un JFET que cuenta con el valor de $r_d = 100$ kΩ tiene una ganancia de voltaje ideal de A_v(FET) $= -200$, ¿cuál es el valor de g_m?
11. Mediante las características de transferencia de la figura 9.65:
   (a) ¿Cuál es el valor de g_{m0}?
   (b) Determine g_m cuando $V_{GS} = -1.5$ V de forma gráfica.
   (c) ¿Cuál es el valor de g_m cuando $V_{GS_Q} = -1.5$ V mediante la ecuación 9.6? Compare con la solución del inciso (*b*).
   (d) Determine gráficamente g_m cuando $V_{GS} = -2.5$ V.
   (e) ¿Cuál es el valor de g_m cuando $V_{GS_Q} = -2.5$ V mediante la ecuación (9.6)? Compare con la solución del inciso (*d*).

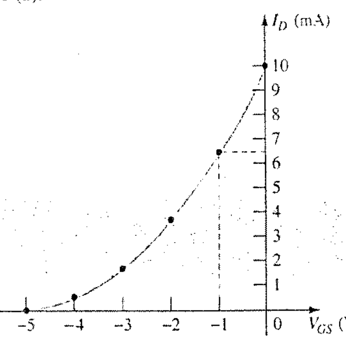


Figura 9.65 Característica de transferencia de JFET para el problema 11.

12. Mediante las características del drenaje de la figura 9.66:
   (a) ¿Cuál es el valor de r_d cuando $V_{GS} = 0$ V?
   (b) ¿Cuál es el valor de g_{m0} cuando $V_{DS} = 10$ V?

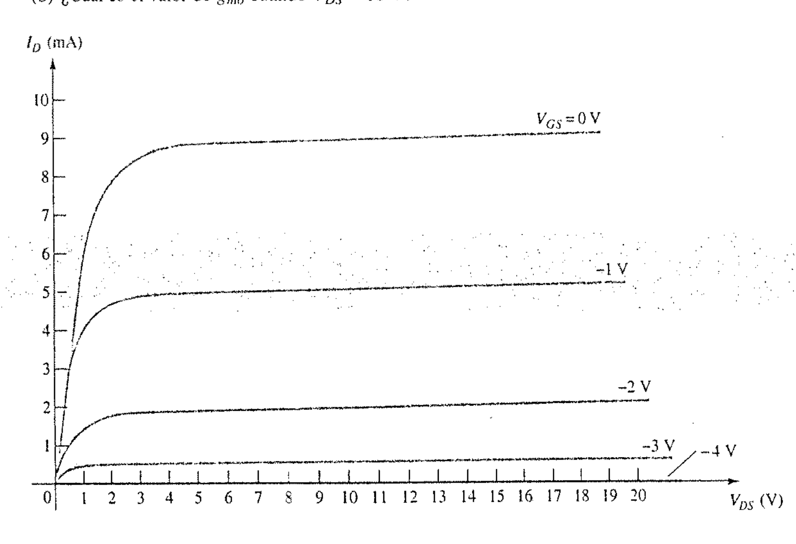


Figura 9.66 Característica de drenaje del JFET para el problema 12.

13. Para un JFET 2N4220 de canal-n (y_{fs}(mínima) = 750 μS, y_{os}(máxima) = 10 μS):
   (a) ¿Cuál es el valor de g_m?
   (b) ¿Cuál es el valor de r_d?
14. (a) Grafique g_m en función de V_{GS} para un JFET de canal-n con I_{DSS} = 8 mA y V_P = −6 V.
   (b) Grafique g_m en función de I_D para el mismo JFET de canal-n del inciso (a).
15. Dibuje el modelo equivalente de ac para un JFET si y_{fs} = 5.6 mS y y_{os} = 15 μS.
16. Dibuje el modelo equivalente de ac para un JFET si I_{DSS} = 10 mA, V_P = −4 V, V_{GS_Q} = −2 V y y_{os} = 25 μS.

§ 9.3 Configuración de polarización fija para el JFET

17. Determine Z_i, Z_o y A_v para la red de la figura 9.67 si I_{DSS} = 10 mA, V_P = −4 V y r_d = 40 kΩ.
18. Determine Z_i, Z_o y A_v para la red de la figura 9.67 si I_{DSS} = 12 mA, V_P = −6 V y r_{os} = 40 μS.

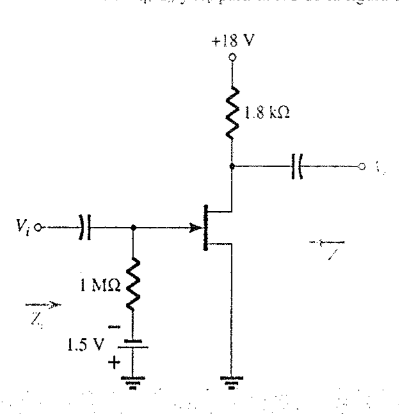


Figura 9.67 Amplificador de polarización fija para los problemas 17 y 18.

§ 9.4 Configuración de autopolarización para el JFET

19. Determine Z_i, Z_o y A_v para la red de la figura 9.68 si y_{fs} = 3000 μS y y_{os} = 50 μS.
20. Determine Z_i, Z_o y A_v para la red de la figura 9.69 si I_{DSS} = 6 mA, V_P = −6 V y y_{os} = 40 μS.
21. Determine Z_i, Z_o y A_v para la red de la figura 9.68 si se elimina el capacitor de 20 μF y los parámetros de la red son los mismos del problema 19. Compare los resultados con los del problema 19.
22. Repita el problema 19 si y_{os} es igual a 10 μS. Compare los resultados con los del problema 19.

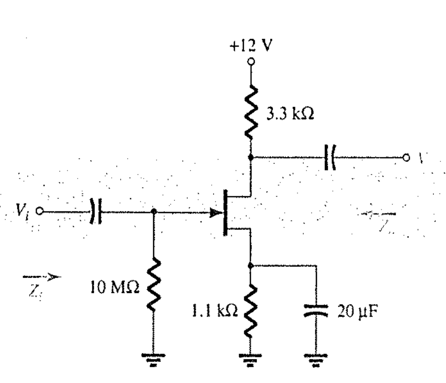


Figura 9.68 Problemas 19, 21, 22 y 46.

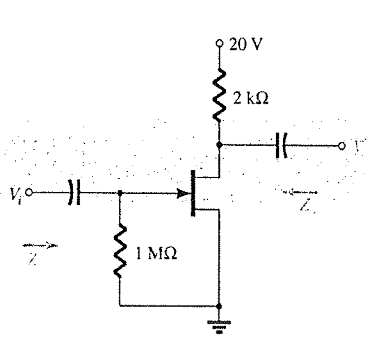


Figura 9.69 Configuración de autopolarización para los problemas 20 y 47.

§ 9.5 Configuración de divisor de voltaje para el JFET

23. Determine Z_i, Z_o y V_o para la red de la figura 9.70 si V_i = 20 mV.

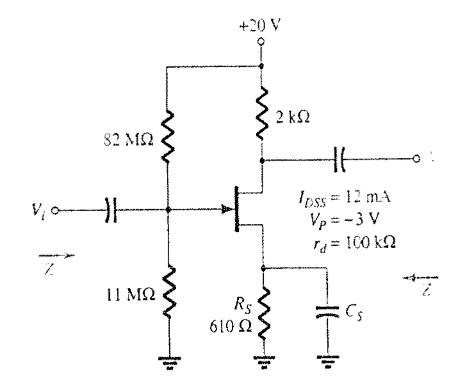
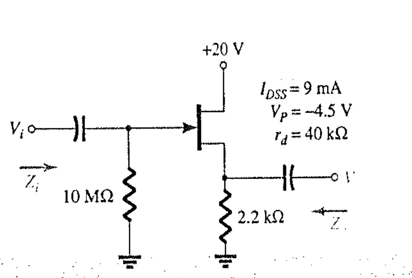


Figura 9.70 Problemas 23-26 y 48.

24. Determine Z_i, Z_o y V_o para la red de la figura 9.70 si V_i = 20 mV, y el capacitor C_S se elimina.
25. Repita el problema 23 si r_d = 20 kΩ y compare resultados.
26. Repita el problema 24 si r_d = 20 kΩ y compare resultados.

§ 9.6 Configuración fuente-seguidor para el JFET

27. Determine Z_i, Z_o y A_v para la red de la figura 9.71.
28. Repita el problema 27 si r_d = 20 kΩ.
29. Determine Z_i, Z_o y A_v para la red de la figura 9.72.



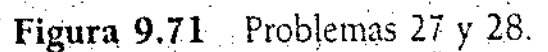


Figura 9.71 Problemas 27 y 28.

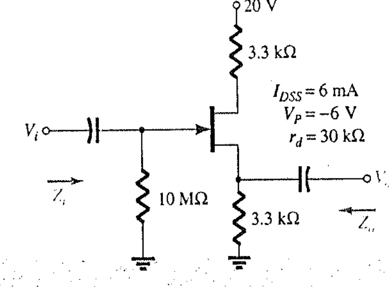


Figura 9.72 Problema 29.

§ 9.7 Configuración de compuerta común para el JFET

30. Determine Z_i, Z_o y V_o para la red de la figura 9.73 si V_i = 0.1 mV.
31. Repita el problema 30 si r_d = 25 kΩ.
32. Determine Z_i, Z_o y A_v para la red de la figura 9.74 si r_d = 33 kΩ.

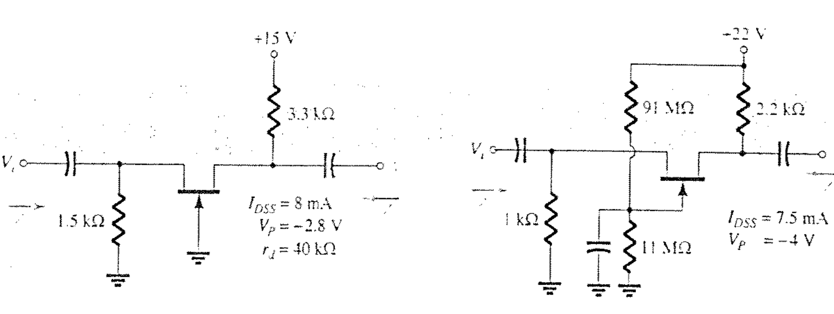


Figura 9.73 Problemas 30, 31 y 49.

Figura 9.74 Problema 32.

§ 9.8 MOSFETs de tipo decremental

33. Determine V_o para la red de la figura 9.75 si y_{os} = 20 μS.

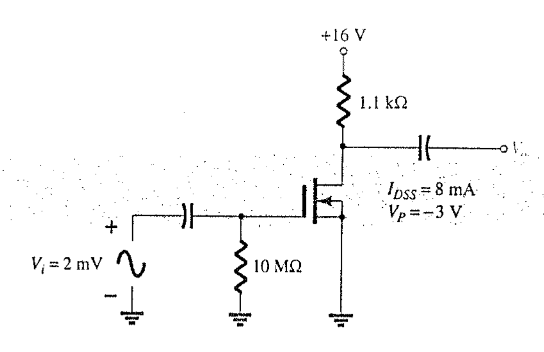


Figura 9.75 Problema 33.

34. Determine Z_i, Z_o y A_v para la red de la figura 9.76 si r_d = 60 kΩ.

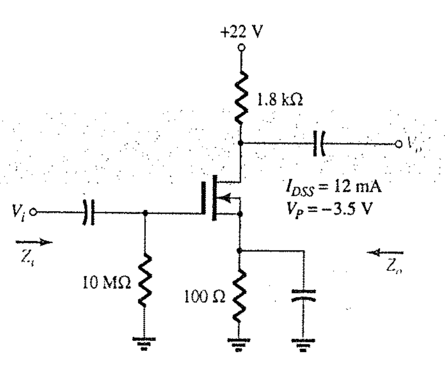


Figura 9.76 Problemas 34, 35 y 50.

35. Repita el problema 34 si r_d = 25 kΩ.

36. Determine V_o para la red de la figura 9.77 si V_i = 4 mV.

37. Determine Z_i, Z_o y A_v para la red de la figura 9.78.

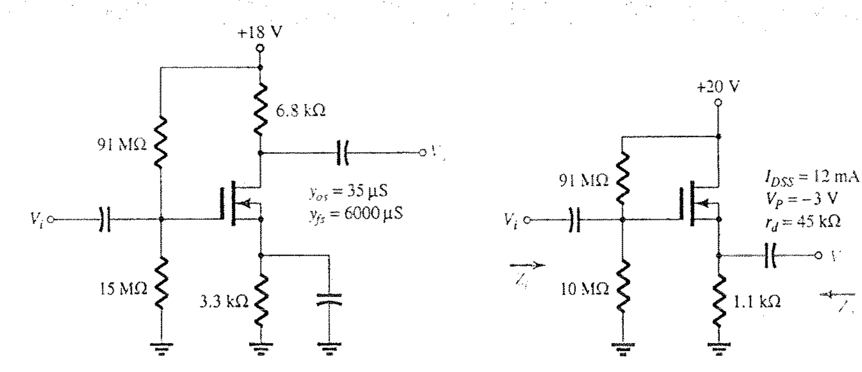


Figura 9.77 Problema 36.

Figura 9.78 Problema 37.

§ 9.10 Configuración de retroalimentación en drenaje para el E-MOSFET

38. Determine g_m para un MOSFET si $V_{GS(Th)}$ = 3 V y se encuentra polarizado en V_{GS_Q} = 8 V. Suponga $k = 0.3 \times 10^{-3}$.

39. Determine Z_i, Z_o y A_v para el amplificador de la figura 9.79 si $k = 0.3 \times 10^{-3}$.

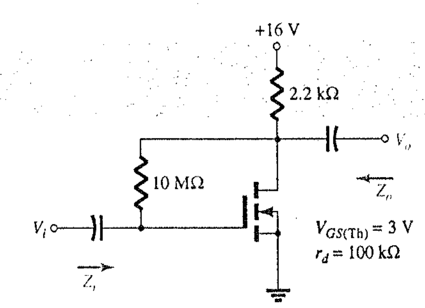


Figura 9.79 Problemas 39, 40 y 51.

40. Repita el problema 39 si k desciende a 0.2×10^{-3}. Compare los resultados.

41. Determine V_o para la red de la figura 9.80 si V_i = 20 mV.

42. Determine V_o para la red de la figura 9.80 si V_i = 4 mV, $V_{GS(Th)}$ = 4 V e $I_{D(\text{encendido})}$ = 4 mA, con $V_{GS(\text{encendido})}$ = 7 V y y_{os} = 20 μS.

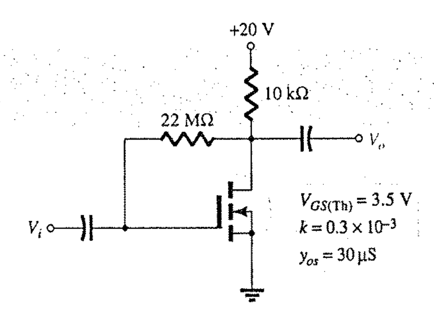


Figura 9.80 Problema 41 y 42.

§ 9.11 Configuración de divisor de voltaje para E-MOSFET

43. Determine el voltaje de salida para la red de la figura 9.81 si $V_i = 0.8$ mV y $r_d = 40$ kΩ.

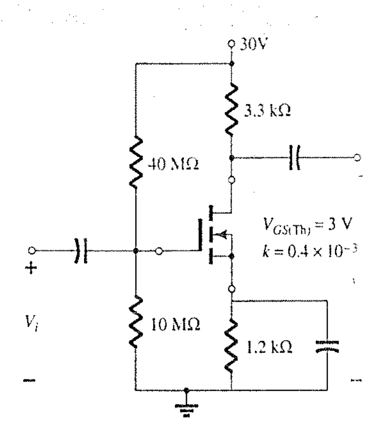


Figura 9.81 Problema 43.

§ 9.12 Diseño de redes de amplificador a FET

44. Diseño de la red de polarización fija de la figura 9.82 para obtener una ganancia de 8.

45. Diseño de la red de autopolarización de la figura 9.83 para obtener una ganancia de 10. El dispositivo deberá encontrarse polarizado en $V_{GS_Q} = \frac{1}{3}V_P$.

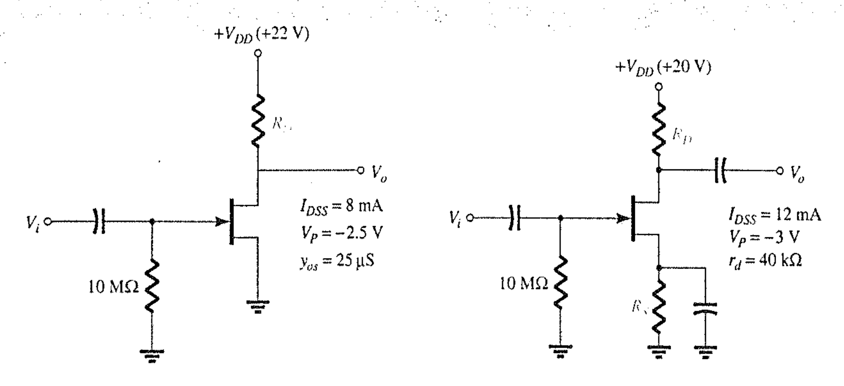


Figura 9.82 Problema 44.

Figura 9.83 Problema 45.

§ 9.17 Análisis por computadora

46. Mediante el uso de PSpice para Windows, determine la ganancia de voltaje para la red de la figura 9.68.

47. Mediante el uso de Electronics Workbench, determine la ganancia de voltaje para la red de la figura 9.69.

48. Mediante el uso de PSpice para Windows, determine la ganancia de voltaje para la red de la figura 9.70.

49. Mediante el uso de Electronics Workbench, determine la ganancia de voltaje para la red de la figura 9.73.

50. Mediante el uso de PSpice para Windows, determine la ganancia de voltaje para la red de la figura 9.76.

51. Mediante el uso de PSpice para Windows, determine la ganancia de voltaje para la red de la figura 9.79.

CAPÍTULO 10

Aplicación de sistemas: efectos de R_s y R_L

10.1 INTRODUCCIÓN

En años recientes, la aparición de una amplia variedad de redes y sistemas encapsulados ha generado un interés creciente en la aplicación de sistemas para el diseño y el análisis. Esta aplicación se centra fundamentalmente en las características de las terminales de un encapsulado, y las maneja como un bloque de construcción para la formación del encapsulado completo. El contenido de este capítulo es un primer paso para el desarrollo de cierta familiaridad con este enfoque. Las técnicas presentadas serán utilizadas en los capítulos restantes y ampliadas según se requiera. Es comprensible la tendencia hacia los sistemas encapsulados cuando se consideran los grandes avances en el diseño y fabricación de circuitos integrados (CIs). Los pequeños encapsulados de CI contienen diseños estables, confiables, autocomprobables y sofisticados, que serían muy voluminosos si se construyeran mediante componentes discretos (individuales). La aplicación de sistemas no es difícil de aplicar, una vez que se comprendan las definiciones básicas de los distintos parámetros y se demuestre claramente la forma en la que éstos se utilizan. En las siguientes secciones, se desarrolla la aplicación de sistemas con un ritmo intencionalmente lento que incorporará ejemplos numerosos para resaltar cada tema importante. Si el contenido de este capítulo es clara y correctamente comprendido, se logrará alcanzar un primer nivel en el entendimiento del análisis de sistemas.

10.2 SISTEMAS DE DOS PUERTOS

La siguiente descripción puede aplicarse a cualquier sistema de dos puertos, no sólo a aquellos que contienen BJTs y FETs, aunque el énfasis en este capítulo es sobre estos dos dispositivos activos. El hincapié que se hizo en capítulos anteriores sobre la determinación de parámetros de dos puertos para distintas configuraciones será muy útil en el análisis siguiente. De hecho, muchos de los resultados obtenidos en los dos últimos capítulos se utilizarán en el siguiente análisis.

En la figura 10.1, se identifican los principales parámetros de un sistema de dos puertos. Observe en particular la ausencia de una carga y de una resistencia de fuente. El impacto de estos elementos importantes se considera a detalle en una sección posterior. Por el momento conceda que los niveles de impedancia y las ganancias de la figura 10.1 se encuentran determinados por las condiciones sin carga (ausencia de R_L) y sin resistencia de fuente (R_s).

Si echamos un "vistazo tipo Thévenin" a las terminales de salida vemos con V_i en cero que

$$\boxed{Z_{Th} = Z_o = R_o} \qquad (10.1)$$

Figura 10.1 Sistema de dos puertos.

E_{Th} es el voltaje de circuito abierto entre las terminales de salida y se identifica como V_o. Sin embargo,

$$A_{v_{NL}} = \frac{V_o}{V_i}$$

y

$$V_o = A_{v_{NL}} V_i$$

por lo que

$$\boxed{E_{Th} = A_{v_{NL}} V_i} \qquad (10.2)$$

Observe el uso de la notación de subíndice adicional "NL" para identificar una ganancia de voltaje sin carga (del inglés *no-load*).

Al sustituir el circuito equivalente de Thévenin entre las terminales de salida, se obtendrá la configuración de salida de la figura 10.2. Para el circuito de entrada los parámetros V_i e I_i se relacionan mediante $Z_i = R_i$, lo que permite el uso de R_i para representar el circuito de entrada. Debido a que nuestro interés principal son los amplificadores a BJT y FET, tanto Z_o como Z_i se pueden representar mediante elementos resistivos.

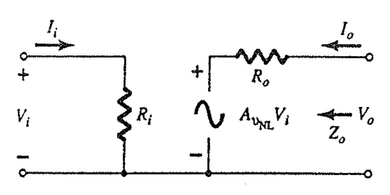
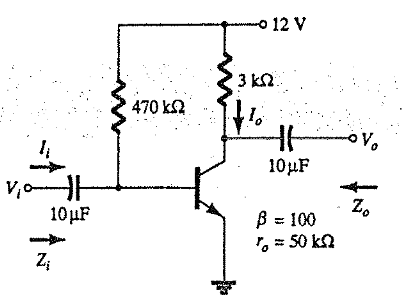


Figura 10.2 Sustitución de los elementos internos del sistema de dos puertos de la figura 10.1.

Antes de continuar, verifiquemos los resultados de la figura 10.2 mediante el cálculo de Z_o y $A_{v_{NL}}$ de la forma acostumbrada. Para encontrar Z_o, se hace V_i cero, lo que da por resultado que $A_{v_{NL}} V_i = 0$, lo que permite un corto circuito equivalente para la fuente. El resultado es una impedancia de salida igual a R_o, como se definió originalmente. La ausencia de una carga provoca que $I_o = 0$ y que la caída de voltaje a través de la impedancia R_o sea de 0 V. El voltaje de salida a circuito abierto es por tanto $A_{v_{NL}} V_i$ como debiera ser. Antes de ver un ejemplo, tenga presente el hecho de que A_i no aparece en el modelo de dos puertos de la figura 10.2 y, de hecho, rara vez es parte del análisis de sistemas de dos puertos de dispositivos activos. Esto no significa que la cantidad raramente se calcule, pero se calcula de forma más frecuente a partir de la expresión $A_i = -A_v(Z_i/R_L)$, donde R_L es la carga definida para el análisis de interés.

EJEMPLO 10.1 Para la red de transistor con polarización fija de la figura 10.3 (ejemplo 8.1), dibuje el equivalente de dos puertos de la figura 10.2.



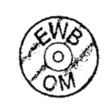


Figura 10.3 Ejemplo 10.1

Solución

Del ejemplo 8.1,

$$Z_i = 1.069\ \text{k}\Omega$$
$$Z_o = 3\ \text{k}\Omega$$
$$A_{v_{NL}} = -280.11$$

Mediante el uso de la información anterior, es posible dibujar el equivalente de dos puertos de la figura 10.4. Observe en particular el signo negativo asociado con la fuente de voltaje controlada, lo que revela una polaridad opuesta para la fuente controlada de la indicada en la figura; éste también revela un desplazamiento de 180° en la fase entre el voltaje de entrada y el de salida.

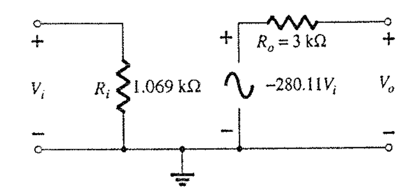


Figura 10.4 Equivalente de dos puertos para los parámetros especificados en el ejemplo 10.1.

En el ejemplo 10.1, se incluyó $R_C = 3$ kΩ en la definición de la ganancia de voltaje sin carga, aunque éste no es necesariamente el caso (R_C podría definirse como el resistor de carga en el capítulo 8), el análisis de este capítulo asumirá que todos los resistores de polarización son parte de la ganancia sin carga y que un sistema con carga requerirá de una carga adicional R_L conectada a las terminales de salida.

En la figura 10.5 se presenta un segundo formato de la figura 10.2, el cual es en particular común para los op-amps (amplificadores operacionales). Sólo cambia la apariencia general del modelo.

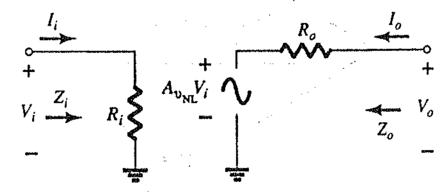


Figura 10.5 Notación para amplificador operacional (op-amp).

10.3 EFECTO DE UNA IMPEDANCIA DE CARGA (R_L)

En esta sección se analiza el efecto de una carga aplicada mediante el modelo de dos puertos de la figura 10.2. Es posible aplicar el modelo a cualquier amplificador controlado por corriente o por voltaje. Como se estableció antes, $A_{v_{NL}}$ es la ganancia del sistema sin una carga aplicada. R_i y R_o son las impedancias de entrada y de salida del amplificador como lo define la configuración. De manera ideal, los parámetros del modelo no son afectados por cargas cambiantes o resistencias de fuente (como normalmente sucede para el caso de los op-amps que

se describirán en el capítulo 14). Sin embargo, para ciertas configuraciones de amplificadores a transistor, R_i puede ser muy sensible a la carga aplicada, mientras que para otras, R_o puede ser sensible a la resistencia de la fuente. En todo caso, una vez que se definen $A_{v_{NL}}$, R_i y R_o para una configuración particular, se pueden utilizar las ecuaciones que estamos por deducir.

La aplicación de una carga al sistema de dos puertos de la figura 10.2 dará por resultado la configuración de la figura 10.6. Al aplicar la regla de divisor de voltaje al circuito de salida se obtiene

$$V_o = \frac{R_L A_{v_{NL}} V_i}{R_L + R_o}$$

y

$$A_v = \frac{V_o}{V_i} = \frac{R_L}{R_L + R_o} A_{v_{NL}} \tag{10.3}$$

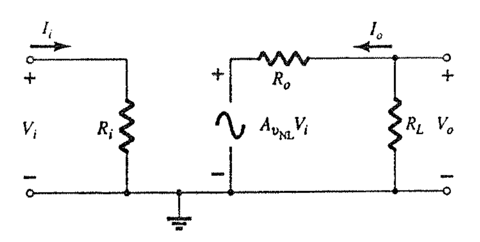


Figura 10.6 Aplicación de una carga al sistema de dos puertos de la figura 10.2.

Debido a que la relación $R_L/(R_L + R_o)$ siempre será menor a 1:

La ganancia de voltaje con carga de un amplificador siempre será menor que la del nivel sin carga.

Observe, además, que la fórmula para la ganancia de voltaje no incluye la impedancia de entrada o la ganancia de corriente.

A pesar de que el nivel de R_i puede cambiar con la configuración, el voltaje aplicado y la corriente de entrada siempre se encontrarán relacionados mediante

$$I_i = \frac{V_i}{Z_i} = \frac{V_i}{R_i} \tag{10.4}$$

Si definimos la corriente de salida como la corriente a través de la carga tenemos

$$I_o = -\frac{V_o}{R_L} \tag{10.5}$$

con el signo negativo debido a la dirección de I_o en la figura 10.6.

Por tanto, la ganancia de corriente es determinada mediante

$$A_i = \frac{I_o}{I_i} = \frac{-V_o/R_L}{V_i/Z_i} = -\frac{V_o}{V_i}\frac{Z_i}{R_L}$$

y

$$A_i = -A_v \frac{Z_i}{R_L} \tag{10.6}$$

para la situación sin carga. Por tanto, en general, la ganancia de corriente puede obtenerse a partir de la ganancia de voltaje y de los parámetros de impedancia Z_i y R_L. El siguiente ejemplo demuestra la utilidad y validez de las ecuaciones 10.3 a la 10.6.

EJEMPLO 10.2

En la figura 10.7, se aplica una carga al amplificador a transistor con polarización fija del ejemplo 10.1 (figura 10.3).

(a) Determine la ganancia de voltaje y de corriente mediante la aproximación de sistemas de dos puertos definida por el modelo de la figura 10.4.
(b) Determine la ganancia de voltaje y de corriente mediante el modelo r_e y compare los resultados.

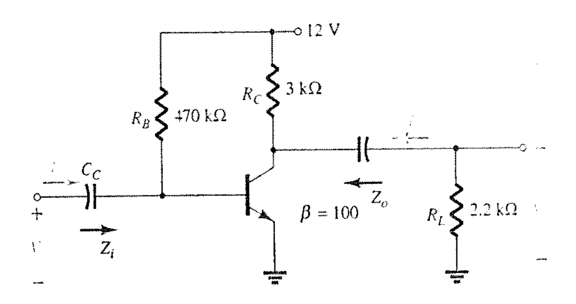


Figura 10.7 Ejemplo 10.2

Solución

(a) Recuerde del ejemplo 10.1 que

$$Z_i = 1.071\ \text{k}\Omega \quad (\text{con } r_e = 10.71\ \Omega \text{ y } \beta = 100)$$
$$Z_o = 3\ \text{k}\Omega$$
$$A_{v_{NL}} = -280.11$$

Al aplicar la ecuación 10.3 tenemos

$$\begin{aligned} A_v &= \frac{R_L}{R_L + R_o} A_{v_{NL}} \\ &= \frac{2.2\ \text{k}\Omega}{2.2\ \text{k}\Omega + 3\ \text{k}\Omega}(-280.11) \\ &= (0.423)(-280.11) \\ &= \mathbf{-118.5} \end{aligned}$$

Para la ganancia de corriente,

$$A_i = -A_v \frac{Z_i}{R_L}$$

En este caso, Z_i no se ve afectado por la carga aplicada y

$$A_i = -(-118.5)\frac{1.071\ \text{k}\Omega}{2.2\ \text{k}\Omega} = \mathbf{57.69}$$

(b) Al sustituir el modelo r_e se obtendrá la red de la figura 10.8. Observe en particular que la carga aplicada se encuentra en paralelo con el resistor del colector R_C con lo que se define una resistencia en paralelo neta

$$R_L' = R_C \| R_L = 3\ \text{k}\Omega \| 2.2\ \text{k}\Omega = 1.269\ \text{k}\Omega$$

El voltaje de salida

$$V_o = -\beta I_B R_L'$$

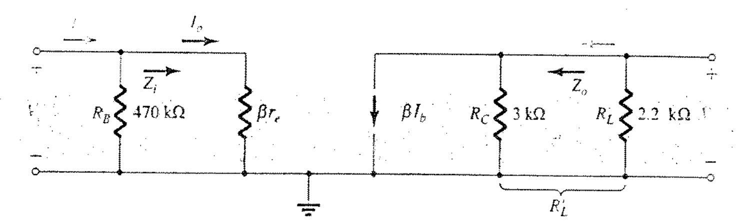


Figura 10.8 Sustitución del modelo r_e en la red equivalente de ac de la figura 10.7.

con
$$I_b = \frac{V_i}{\beta r_e}$$

y
$$V_o = -\beta \frac{V_i}{\beta r_e} R'_L$$

de tal forma que
$$\boxed{A_v = \frac{V_o}{V_i} = -\frac{R'_L}{r_e} = -\frac{R_C \| R_L}{r_e}} \tag{10.7}$$

Al sustituir valores se obtiene
$$A_v = -\frac{1.269\ \text{k}\Omega}{10.71\ \Omega} = \mathbf{-118.5}$$

como se obtuvo anteriormente. Para la ganancia de corriente, mediante la regla de divisor de corriente,

$$I_b = \frac{(470\ \text{k}\Omega)I_i}{470\ \text{k}\Omega + 1.071\ \text{k}\Omega} = 0.9977 I_i \cong I_i$$

e
$$I_o = \frac{3\ \text{k}\Omega(\beta I_b)}{3\ \text{k}\Omega + 2.2\ \text{k}\Omega}$$
$$= 0.5769\beta I_b$$

de forma que
$$A_i = \frac{I_o}{I_i} = \frac{0.5769\beta I_b}{I_i} = \frac{0.5769\beta I_i}{I_i}$$
$$= 0.5769(100) = \mathbf{57.69}$$

como se obtuvo mediante la ecuación 10.6.

En el ejemplo 10.2 se demostraron dos técnicas para resolver un mismo problema. A pesar de que es posible resolver cualquier red mediante el método de r_e, la ventaja de la aproximación de sistemas es que una vez que se conocen los parámetros de dos puertos de un sistema, se puede determinar directamente el efecto de una carga cambiante mediante la ecuación 10.3. No hay necesidad de retornar al modelo equivalente de ac y analizar de nuevo la red completa. Las ventajas de la aproximación de sistemas son similares a las asociadas con la aplicación del teorema de Thévenin: permiten concentrarse en los efectos de la carga sin tener que reanalizar la red completa. Por supuesto que si la red de la figura 10.7 se presentara para analizarse sin los parámetros de la situación sin carga, la decisión del enfoque que llevará a los resultados de la forma más directa y eficiente sería una cuestión aleatoria. Sin embargo, hay que tener presente que la aproximación de "paquete" es la tendencia en desarrollo actual. Al adquirir un "sistema" se proporcionan los parámetros de dos puertos, y al igual que con cualquier otra tendencia, el usuario debe conocer la forma de utilizar los datos proporcionados.

La recta de carga de ac

Para un sistema como el que se presenta en la figura 10.9a, se dibuja la recta de carga de dc sobre las características de salida como se observa en la figura 10.9b. La resistencia de carga no contribuye con la recta de carga de dc debido a que se encuentra aislada de la red de polarización gracias al capacitor de acoplamiento (C_C). Para el análisis de ac, los capacitores de acoplamiento se reemplazan por un corto circuito equivalente que colocarán a los resistores de carga y del colector en un arreglo en paralelo definido por
$$R'_L = R_C \| R_L$$

El efecto sobre la recta de carga se muestra en la figura 10.9b junto con los niveles para determinar las nuevas intersecciones con los ejes. Es de particular importancia observar que las rectas de carga de ac y de dc atraviesan por el mismo punto Q, lo cual es una condición que debe satisfacerse para asegurar una solución común para la red bajo condiciones de dc y/o ac.

Para la situación sin carga, la aplicación de una señal senoidal relativamente pequeña a la base del transistor podría ocasionar que la corriente de base tenga una excursión de un nivel de I_{B_2} al nivel I_{B_4} como se indica en la figura 10.9b. El voltaje de salida resultante v_{ce} tendría entonces la excursión que aparece en la misma figura. La aplicación de la misma señal para una situación con carga daría por resultado la misma excursión en el nivel I_B, como se observa en la figura 10.9b. Sin embargo, como resultado de la mayor pendiente de la recta de carga de ac, se tiene una menor excursión del voltaje de salida (v_{ce}) y una caída en la ganancia

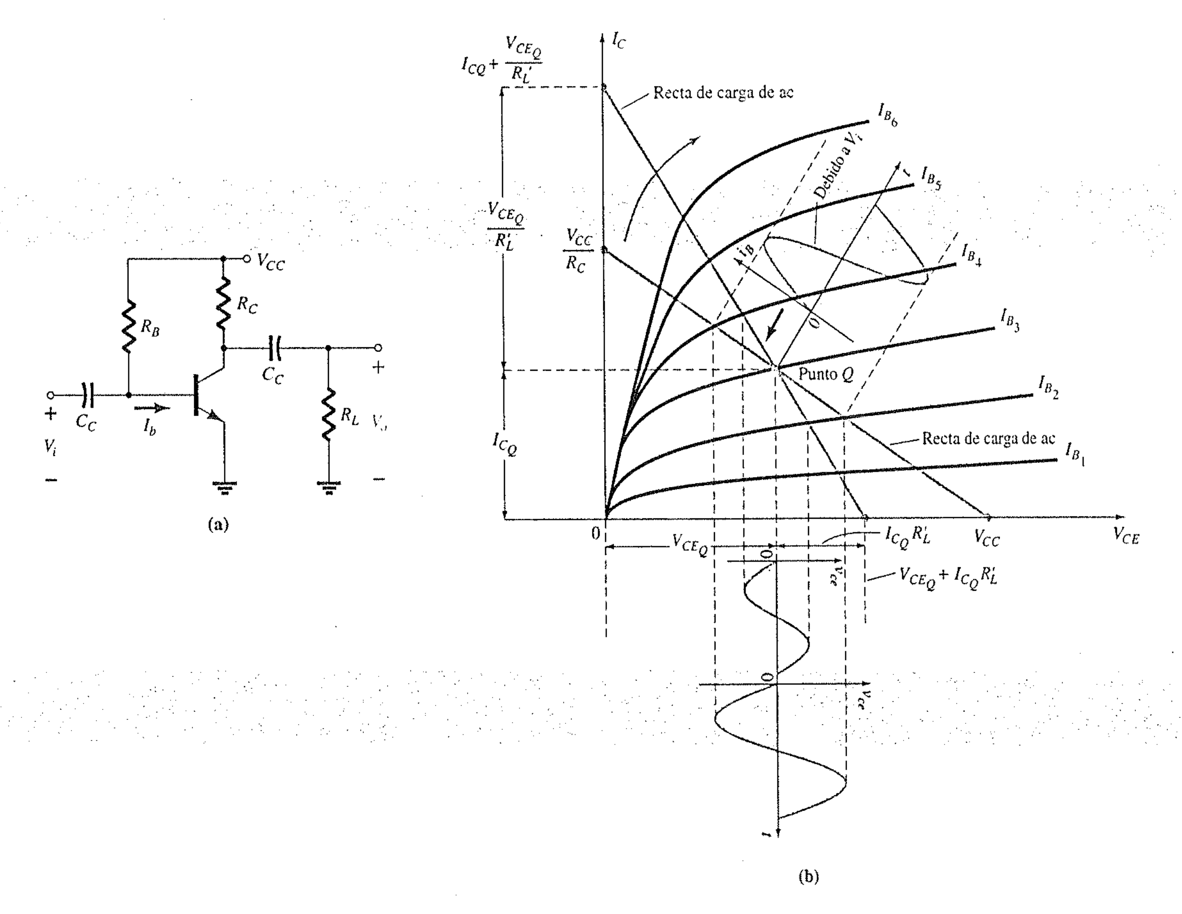


Figura 10.9 Demostración de las diferencias entre las rectas de carga de ac y de dc.

del sistema como lo demostró el análisis numérico anterior. Resulta obvio a partir de la intersección de la recta de carga de ac con el eje vertical que a un menor nivel de R_L', mayor será la pendiente y menor la ganancia de voltaje de ac. Debido a que R_L' es menor para niveles bajos de R_L, debe estar claro que:

Para un diseño específico, mientras más pequeño sea el nivel de R_L, menor será el nivel de la ganancia de voltaje de ac.

10.4 EFECTO DE LA IMPEDANCIA DE LA FUENTE (R_s)

Ahora pondremos nuestra atención en la sección de entrada del sistema de dos puertos y en el efecto de una resistencia de fuente interna sobre la ganancia de un amplificador. En la figura 10.10, se aplica una fuente con una resistencia interna al sistema básico de dos puertos. Las definiciones de Z_i y $A_{v_{NL}}$ son tales que:

Los parámetros Z_i y $A_{v_{NL}}$ de un sistema de dos puertos no se ven afectadas por la resistencia interna de la fuente aplicada.

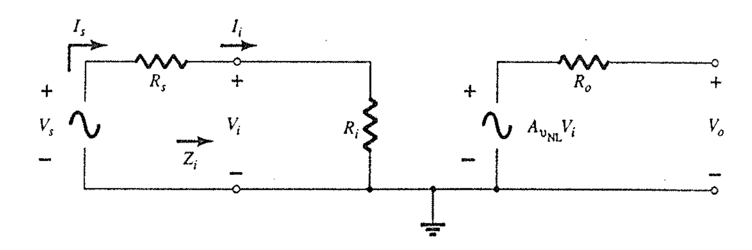


Figura 10.10 Incorporación de los efectos de la resistencia de fuente R_s.

Sin embargo:

La impedancia de salida puede verse afectada por la magnitud de R_s.

Recuerde la ecuación 8.110 para el modelo equivalente híbrido completo. La fracción de la señal aplicada que alcanza las terminales de entrada del amplificador de la figura 10.10 está determinada por la regla de divisor de voltaje. Es decir,

$$V_i = \frac{R_iV_s}{R_i + R_s} \qquad (10.8)$$

La ecuación 10.8 muestra con claridad que a medida que crece la magnitud de R_s, el voltaje en las terminales de entrada del amplificador se hace más pequeño. Por lo tanto:

Para un amplificador particular, mientras mayor sea la resistencia interna de una fuente de señal, menor será la ganancia general del sistema.

Para el sistema de dos puertos de la figura 10.10,

$$V_o = A_{v_{NL}}V_i$$

y

$$V_i = \frac{R_iV_s}{R_i + R_s}$$

de forma que

$$V_o = A_{v_{NL}}\frac{R_i}{R_i + R_s}V_s$$

y

$$A_{v_s} = \frac{V_o}{V_s} = \frac{R_i}{R_i + R_s}A_{v_{NL}} \qquad (10.9)$$

Evidentemente, el resultado sustenta la declaración anterior con respecto a la reducción de la ganancia ante el incremento de R_s. Utilizando la ecuación 10.9, si $R_s = 0\ \Omega$ (fuente de voltaje ideal), $A_{v_s} = A_{v_{NL}}$, el cual es el máximo valor posible.

La corriente de la fuente:

$$I_s = I_i = \frac{V_s}{R_s + R_i} \qquad (10.10)$$

EJEMPLO 10.3

En la figura 10.11 se aplica una fuente con una resistencia interna al amplificador a transistor con polarización fija del ejemplo 10.1 (figura 10.3).

(a) Determine la ganancia de voltaje $A_{v_s} = V_o/V_s$. ¿Qué porcentaje de la señal aplicada se presenta en las terminales de entrada del amplificador?

(b) Determine la ganancia de voltaje $A_{v_s} = V_o/V_s$ mediante el modelo r_e.

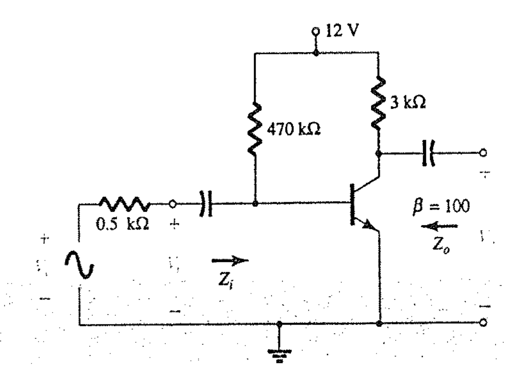


Figura 10.11 Ejemplo 10.3.

Solución

(a) El equivalente de dos puertos para la red se muestra en la figura 10.12.

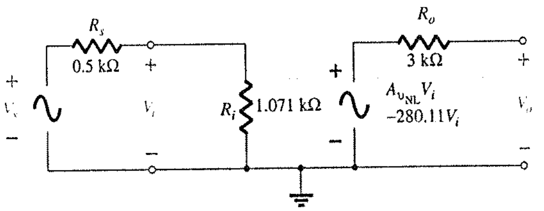


Figura 10.12 Sustitución de la red equivalente de dos puertos en el amplificador a transistor con polarización fija de la figura 10.11.

$$\text{Ecuación (10.9):}\quad A_{v_s} = \frac{V_o}{V_s} = \frac{R_i}{R_i + R_s}A_{v_{NL}} = \frac{1.071\text{ k}\Omega}{1.071\text{ k}\Omega + 0.5\text{ k}\Omega}(-280.11)$$
$$= (0.6817)(-280.11)$$
$$= \mathbf{-190.96}$$

$$\text{Ecuación (10.8):}\quad V_i = \frac{R_iV_s}{R_i + R_s} = \frac{(1.071\text{ k}\Omega)V_s}{1.071\text{ k}\Omega + 0.5\text{ k}\Omega} = 0.6817V_s$$

o **68.2%** de la señal disponible alcanza el amplificador y 31.8% se perdió a través de la resistencia interna de la fuente.

(b) Al sustituir el modelo r_e se obtendrá el circuito equivalente de la figura 10.13. Al resolver para V_o se tiene

$$V_o = -(100I_b)3\text{ k}\Omega$$

con $$Z_i \cong \beta r_e \text{ e } I_b \cong I_i = \frac{V_s}{R_s + \beta r_e} = \frac{V_s}{1.571\text{ k}\Omega}$$

y $$V_o = -100\left(\frac{V_s}{1.571\text{ k}\Omega}\right)3\text{ k}\Omega$$

de forma que $$A_{v_s} = \frac{V_o}{V_s} = -\frac{(100)(3\text{ k}\Omega)}{1.57\text{ k}\Omega}$$

$$= \mathbf{-190.96}$$

de igual forma que antes.

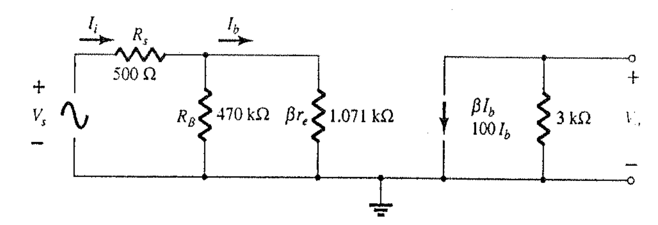


Figura 10.13 Sustitución del circuito equivalente r_e en el amplificador a transistor con polarización fija de la figura 10.11.

A lo largo del análisis anterior, observe que no se incluyó R_s en la definición de Z_i para el sistema de dos puertos. Por supuesto que la resistencia que la fuente "ve" es ahora $R_s + Z_i$, pero R_s permanece siendo una cantidad asociada únicamente con la fuente aplicada.

Observe de nuevo en el ejemplo 10.3 que se obtuvieron los mismos resultados con la aplicación de sistemas y usando el modelo r_e. Ciertamente, si los parámetros de dos puertos se encuentran disponibles, éstos deberán aplicarse. Si no es así, el método para la solución dependerá de una cuestión de preferencia.

10.5 EFECTO COMBINADO DE R_s Y R_L

Hasta el momento se han demostrado los efectos de R_s y R_L sobre una base individual, la siguiente cuestión natural que surge es acerca de la forma en que la presencia de ambos factores afectará la ganancia total. En la figura 10.14 se aplican una fuente con una resistencia interna R_s y una carga R_L a un sistema de dos puertos para el que se especifican los parámetros Z_i, $A_{v_{NL}}$ y Z_o. Por el momento asumiremos que tanto Z_i como Z_o no son afectadas por R_L y R_s, respectivamente.

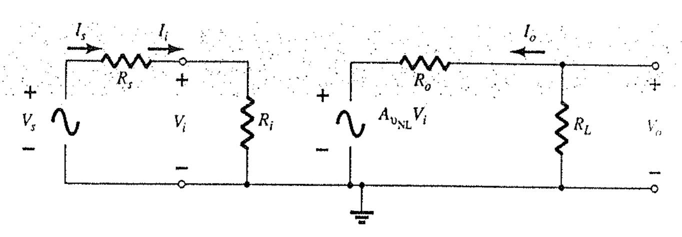


Figura 10.14 Consideración de los efectos de R_s y R_L sobre la ganancia de un amplificador.

En la sección de entrada tenemos que

$$\text{Ecuación (10.8):}\quad V_i = \frac{R_i V_s}{R_i + R_s}$$

o $$\boxed{\frac{V_i}{V_s} = \frac{R_i}{R_i + R_s}} \tag{10.11}$$

en la sección de salida,

$$V_o = \frac{R_L A_{v_{NL}} V_i}{R_L + R_o}$$

o $$\boxed{A_v = \frac{V_o}{V_i} = \frac{R_L A_{v_{NL}}}{R_L + R_o}} \tag{10.12}$$

Para la ganancia total $A_{v_s} = V_o/V_s$, pueden efectuarse los siguientes pasos matemáticos:

$$A_{v_s} = \frac{V_o}{V_s} = \frac{V_o}{V_i}\frac{V_i}{V_s} \tag{10.13}$$

y al sustituir las ecuaciones 10.11 y 10.12 se obtiene

$$A_{v_s} = \frac{R_L A_{v_{NL}}}{R_L + R_o}\frac{R_i}{R_i + R_s}$$

y

$$\boxed{A_{v_s} = \frac{V_o}{V_s} = \frac{R_i}{R_i + R_s}\frac{R_L}{R_L + R_o}A_{v_{NL}}} \tag{10.14}$$

Debido a que $I_i = V_i/R_i$, de la forma anterior,

$$\boxed{A_i = -A_v\frac{R_i}{R_L}} \tag{10.15}$$

o mediante el empleo de $I_s = V_s/(R_s + R_i)$,

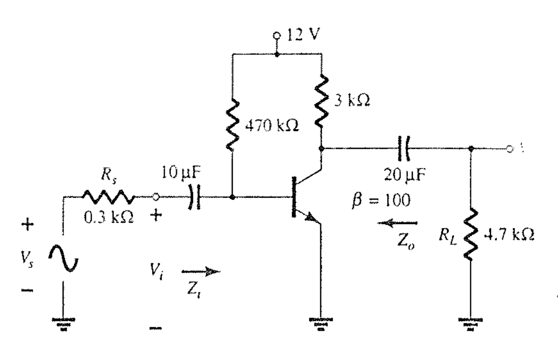
$$\boxed{A_{i_s} = -A_{v_s}\frac{R_s + R_i}{R_L}} \tag{10.16}$$

Sin embargo, debido a que $I_i = I_s$, las ecuaciones 10.15 y 10.16 generarán el mismo resultado. La ecuación 10.14 muestra con claridad que tanto la resistencia de la fuente como de la carga reducirán la ganancia total del sistema. De hecho:

Mientras mayor sea la resistencia de la fuente y/o menor sea la resistencia de la carga, menor será la ganancia total de un amplificador.

Los factores de reducción de la ecuación 10.14 forman un producto que debe ser considerado con cuidado en cualquier procedimiento de diseño. No es suficiente asegurar que R_s sea relativamente pequeña si se ignora el impacto de la magnitud de R_L. Por ejemplo, en la ecuación 10.14, si el primer factor es 0.9 y el segundo factor es 0.2, el producto de los dos resultados en una reducción general de factor será igual a (0.9)(0.2) = 0.18, el cual se encuentra cercano al factor más bajo. El efecto de un nivel excelente de 0.9 fue completamente cancelado por el segundo multiplicador significativamente menor. Si ambos fueran niveles de 0.9, el resultado neto sería (0.9)(0.9) = 0.81, el cual sigue siendo muy alto. Incluso si el primero fuera 0.9 y el segundo 0.7, el resultado neto de 0.63 todavía sería bastante bueno. Por tanto y en general, para una ganancia total adecuada deberán evaluarse los efectos de R_L y R_s tanto de forma individual como en su producto.

EJEMPLO 10.4 Para el amplificador de una etapa de la figura 10.15, que cuenta con $R_L = 4.7\ k\Omega$ y $R_s = 0.3\ k\Omega$, determine:
(a) A_{v_s}.
(b) $A_v = V_o/V_i$.
(c) A_i.
Los parámetros de dos puertos para la configuración fija son $Z_i = 1.071\ k\Omega$, $Z_o = 3\ k\Omega$ y $A_{v_{NL}} = -280.11$.



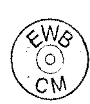


Figura 10.15 Ejemplo 10.4.

Solución

(a) Ecuación (10.14): $A_{v_s} = \frac{V_o}{V_s} = \frac{R_i}{R_i + R_s}\frac{R_L}{R_L + R_o}A_{v_{NL}}$

$$= \left(\frac{1.071\ k\Omega}{1.071\ k\Omega + 0.3\ k\Omega}\right)\left(\frac{4.7\ k\Omega}{4.7\ k\Omega + 3\ k\Omega}\right)(-280.11)$$
$$= (0.7812)(0.6104)(-280.11)$$
$$= (0.4768)(-280.11)$$
$$= \mathbf{-133.57}$$

(b) $A_v = \frac{V_o}{V_i} = \frac{R_L A_{v_{NL}}}{R_L + R_o} = \frac{(4.7\ k\Omega)(-280.11)}{4.7\ k\Omega + 3\ k\Omega}$

$$= (0.6104)(-280.11) = \mathbf{-170.98}$$

(c) $A_i = -A_v\frac{R_i}{R_L} = -(-170.98)\left(\frac{1.071\ k\Omega}{4.7\ k\Omega}\right)$

$$= \mathbf{38.96}$$

o $A_{i_s} = -A_{v_s}\frac{R_s + R_i}{R_L} = -(-133.57)\left(\frac{0.3\ k\Omega + 1.071\ k\Omega}{4.7\ k\Omega}\right)$

$$= \mathbf{38.96}$$

como antes.

10.6 REDES BJT DE EMISOR COMÚN

La configuración de polarización fija se ha empleado a lo largo del análisis de las primeras secciones del capítulo con el objetivo de mostrar claramente los efectos de R_s y R_L. En esta sección, se analizan distintas configuraciones de emisor común (CE) con una resistencia de carga y de fuente. No se efectuará un análisis detallado para cada configuración debido a que siguen un camino muy similar al demostrado en las últimas secciones.

Polarización Fija

Para la configuración de polarización fija que se analizó a detalle en recientes secciones, el modelo del sistema con una resistencia de carga y de fuente será como el presentado en la figura 10.16. En general,

$$V_o = \frac{R_L}{R_L + R_o}A_{v_{NL}}V_i$$

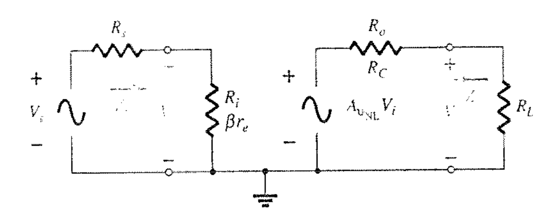


Figura 10.16 Configuración de polarización fija con R_s y R_L.

Al sustituir la ecuación 8.6, $A_{v_{NL}} = -R_C/r_e$ y $R_o = R_C$,

$$V_o = -\frac{R_L(-R_C/r_e)V_i}{R_L + R_C}$$

y

$$A_v = \frac{V_o}{V_i} = -\frac{R_L R_C}{R_L + R_C}\frac{1}{r_e}$$

pero

$$R_L \| R_C = \frac{R_L R_C}{R_L + R_C}$$

y

$$\boxed{A_v = -\frac{R_L \| R_C}{r_e}} \qquad (10.17)$$

Si se sustituye el modelo r_e para el transistor en configuración de polarización fija, se obtendría la red de la figura 10.17, lo que muestra claramente que R_C y R_L se encuentran en paralelo.

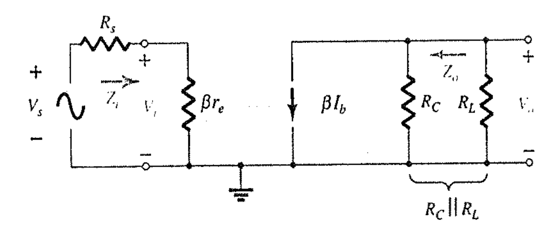


Figura 10.17 Configuración de polarización fija con la sustitución del modelo r_e.

Para la ganancia de voltaje A_v de la figura 10.16,

$$V_i = \frac{Z_i V_s}{Z_i + R_s}$$

y

$$\frac{V_i}{V_s} = \frac{Z_i}{Z_i + R_s}$$

con

$$A_{v_s} = \frac{V_o}{V_s} = \frac{V_i}{V_s}\frac{V_o}{V_i}$$

de forma que

$$A_{v_s} = \frac{Z_i}{Z_i + R_s} A_v \qquad (10.18)$$

Debido a que la carga se encuentra conectada con la terminal del colector para la configuración de emisor común,

$$Z_i = \beta r_e \qquad (10.19)$$

y

$$Z_o = R_C \qquad (10.20)$$

como se obtuvo anteriormente.

Polarización por divisor de voltaje

Para la configuración de polarización por divisor de voltaje con carga de la figura 10.18, la carga se encuentra conectada nuevamente con la terminal del colector y Z_i permanece como

$$Z_i \cong R' \| \beta r_e \qquad (R' = R_1 \| R_2) \qquad (10.21)$$

y para la impedancia de salida del sistema

$$Z_o = R_C \qquad (10.22)$$

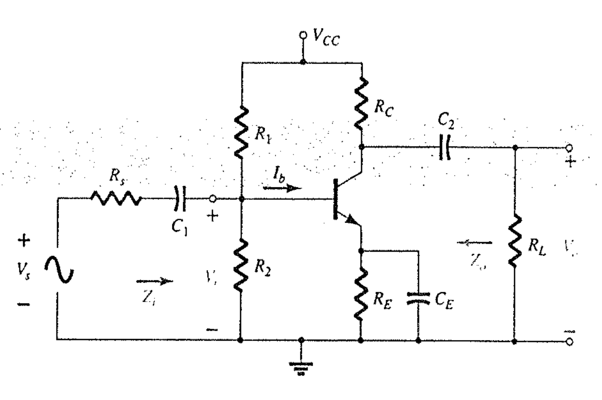


Figura 10.18 Configuración de polarización por divisor de voltaje con R_s y R_L.

En el modelo de ac de pequeña señal, de nuevo R_C y R_L se encuentran en paralelo y

$$A_v = -\frac{R_C \| R_L}{r_e} \qquad (10.23)$$

con

$$A_{v_s} = \frac{Z_i}{Z_i + R_s} A_v \qquad (10.24)$$

Mathcad

Ahora se utilizará Mathcad para efectuar un análisis completo de la configuración de divisor de voltaje con carga de la figura 10.19. Una vez que todos los parámetros se definen y que las

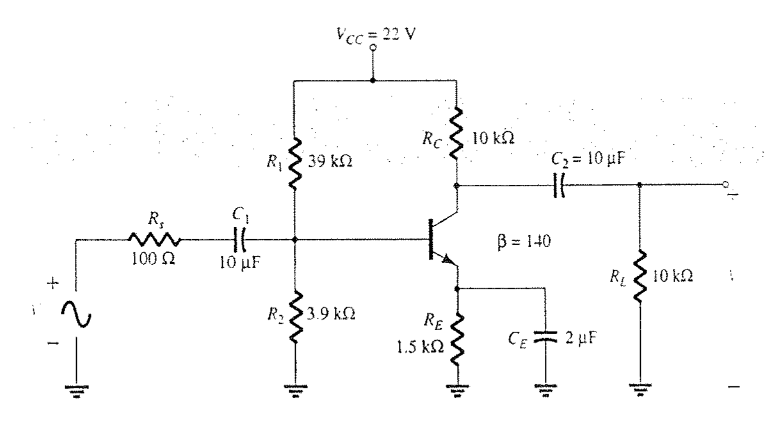


Figura 10.19 Configuración por divisor de voltaje de BJT con carga que se analizará mediante Mathcad.

ecuaciones se capturan como se muestra en la figura 10.20, es posible obtener un análisis completo (dc y ac) para cualquier combinación de elementos en muy poco tiempo (básicamente de forma instantánea). Solamente es necesario capturar una nueva magnitud para cualquier parámetro o combinación de parámetros, y los nuevos resultados aparecerán de forma inmediata. Compare este proceso con el tiempo y esfuerzo que se requiere con el uso de una calculadora si se modificara un parámetro como R_1, tendría que repetirse la secuencia completa de cálculos. El valor de un paquete de software como Mathcad deberá ser obvio ahora.

Los resultados que aparecen en la figura 10.20, muestran que Z_i se encuentra muy cercana a 2 kΩ, Z_o es igual a 10 kΩ y A_v está cercano a 164, con una carga que coincide con el valor de R_C. En el ejemplo 4.7, los niveles de I_B e I_C son 6.05 μA u 0.85 mA, respectivamente, los cuales son muy cercanos con los resultados que aparecen en la figura 10.20. Observe la pequeña caída de la ganancia debido a R_s dado que su valor es aproximadamente de 1/20 de la impedancia de entrada.

R1 := 39·10³ R2 := 3.9·10³ RC := 10·10³ RE := 1.5·10³

VCC := 22 beta := 140 VBE := 0.7 RL := 10·10³ RS := 100

$$RTh := \frac{R1\cdot(R2)}{(R1+R2)} \qquad ETh := \frac{R2\cdot(VCC)}{(R1+R2)}$$

$$IB := \frac{ETh-(VBE)}{(RTh+(beta+1)\cdot RE)} \qquad IB = 6.045\cdot 10^{-6}$$

$$IE := (beta+1)\cdot IB \qquad IE = 8.524\cdot 10^{-4}$$

$$re := \frac{26\cdot(10^{-3})}{IE} \qquad re = 30.503$$

$$Zi := RTh\cdot beta\cdot\frac{re}{RTh+beta\cdot re} \qquad Zi = 1.937\cdot 10^{3}$$

$$Zo := RC \qquad Zo = 1\cdot 10^{4}$$

$$Av := -\frac{RC\cdot\frac{(RL)}{((RC+RL))}}{re} \qquad Av = -163.919$$

$$Avs := \left[\frac{Zi}{(Zi+RS)}\right]\cdot Av \qquad Avs = -155.872$$

Figura 10.20 Análisis de Mathcad de la figura 10.19.

Polarización en emisor para emisor común sin desvío

Para la configuración de polarización en emisor para emisor común sin desvío de la figura 10.21, Z_i permanece independiente de la carga aplicada y

$$Z_i \cong R_B \| \beta R_E \qquad (10.25)$$

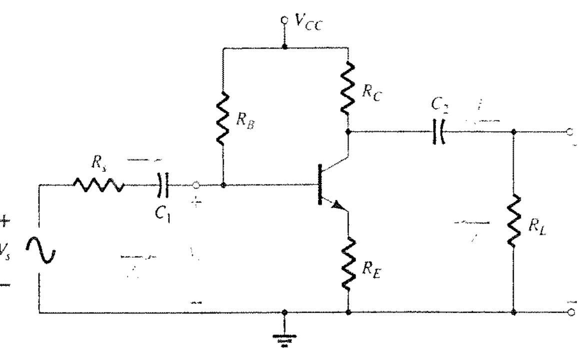


Figura 10.21 Configuración de polarización en emisor para emisor común sin desvío con R_s y R_L.

Para la impedancia de salida,

$$Z_o = R_C \qquad (10.26)$$

Para la ganancia de voltaje, la resistencia R_C nuevamente quedará en paralelo con R_L y

$$A_v = \frac{V_o}{V_i} = -\frac{R_C \| R_L}{R_E} \qquad (10.27)$$

con

$$A_{v_s} = \frac{V_o}{V_s} = \frac{Z_i}{Z_i + R_s} A_v \qquad (10.28)$$

y

$$A_i = \frac{I_o}{I_i} = -A_v \frac{Z_i}{R_L} \qquad (10.29)$$

pero tenga presente que $I_i = I_s = V_s/(R_s + Z_i) = V_i/Z_i$.

Retroalimentación en colector

Para seguir con la conexión de la carga a la terminal del colector, la siguiente configuración que se analizará es la configuración de retroalimentación en colector de la figura 10.22. En el modelo de ac de pequeña señal del sistema, R_C y R_L se encontrarán nuevamente en paralelo y

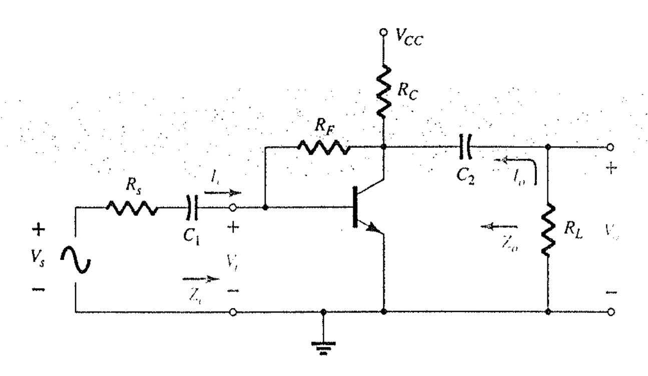


Figura 10.22 Configuración de retroalimentación en colector con R_s y R_L.

$$A_v = -\frac{R_C \| R_L}{r_e} \qquad (10.30)$$

con

$$A_{v_s} = \frac{Z_i}{Z_i + R_s} A_v \qquad (10.31)$$

La impedancia de salida

$$Z_o \cong R_C \| R_F \qquad (10.32)$$

y

$$Z_i = \beta r_e \| \frac{R_F}{|A_v|} \qquad (10.33)$$

El hecho de que A_v [ecuación 10.30] sea una función de R_L modificará el nivel de Z_i a partir del valor sin carga. Por esto, si el modelo sin carga se encuentra disponible, deberá modificarse el nivel de Z_i como se demuestra en el siguiente ejemplo.

EJEMPLO 10.5

El amplificador con polarización por retroalimentación en colector de la figura 10.23 posee los siguientes parámetros de sistema sin carga: $A_{v_{NL}} = -238.94$, $Z_o = R_C \| R_F = 2.66\ \text{k}\Omega$ y $Z_i = 0.553\ \text{k}\Omega$, con $r_e = 11.3\ \Omega$ y $\beta = 200$. Mediante la aproximación de sistemas determine:
(a) A_v.
(b) A_{v_s}.
(c) A_i.

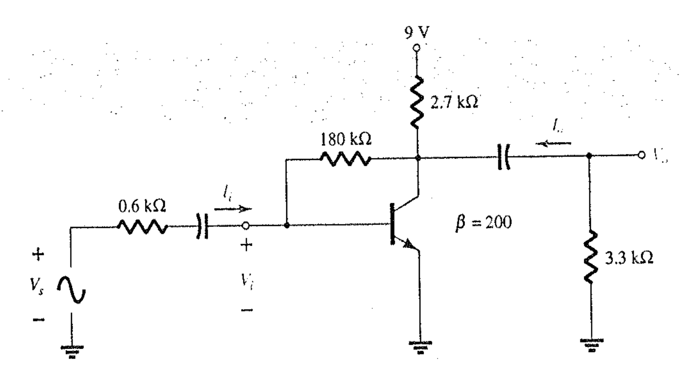


Figura 10.23 Ejemplo 10.5.

Solución

(a) Para el sistema de dos puertos:

$$A_v = -\frac{R_C \| R_L}{r_e} = -\frac{2.7\ \text{k}\Omega \| 3.3\ \text{k}\Omega}{11.3\ \Omega}$$
$$= -\frac{1.485\ \text{k}\Omega}{11.3\ \Omega} = \mathbf{-131.42}$$

con

$$Z_i = \beta r_e \| \frac{R_F}{|A_v|} = (200)(11.3\ \Omega) \| \frac{180\ \text{k}\Omega}{131.42}$$
$$= 2.26\ \text{k}\Omega \| 1.37\ \text{k}\Omega$$
$$= 0.853\ \text{k}\Omega$$

La aproximación de sistemas dará por resultado la configuración de la figura 10.24 con el valor de Z_i como si estuviera controlado por R_L y la ganancia de voltaje. Ahora es posible aplicar la ecuación de la ganancia de dos puertos (con ligera diferencia en A_v debido a la aproximación $\beta I_b \gg I_{R_E}$ de la sección 8.7):

$$A_v = \frac{R_L A_{v_{NL}}}{R_L + R_o} = \frac{(3.3\text{ k}\Omega)(-238.94)}{3.3\text{ k}\Omega + 2.66\text{ k}\Omega} = \mathbf{-132.3}$$

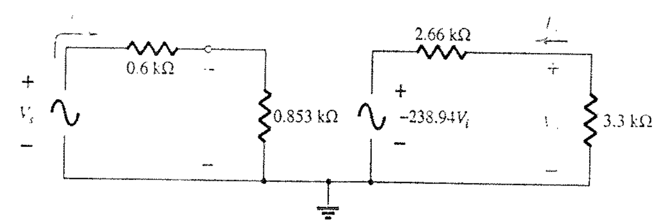


Figura 10.24 El circuito equivalente de ac para la red de la figura 10.23.

(b) $$A_{v_s} = \frac{Z_i}{Z_i + R_s} A_v = \frac{0.853\text{ k}\Omega}{0.853\text{ k}\Omega + 0.6\text{ k}\Omega}(-132.3)$$
$$= \mathbf{-77.67}$$

(c) $$A_i = -A_v \frac{Z_i}{R_L} = -(-132.3)\left(\frac{0.853\text{ k}\Omega}{3.3\text{ k}\Omega}\right) = \frac{(132.3)(0.853\text{ k}\Omega)}{3.3\text{ k}\Omega}$$
$$= \mathbf{34.2}$$

o $$A_i = -A_{v_s} \frac{Z_i + R_s}{R_L} = -(-77.67)\left(\frac{0.853\text{ k}\Omega + 0.6\text{ k}\Omega}{3.3\text{ k}\Omega}\right)$$
$$= \mathbf{34.2}$$

10.7 REDES EMISOR-SEGUIDOR DE BJT

Los parámetros de impedancia de entrada y de salida del modelo de dos puertos para la red emisor-seguidor son sensibles a la carga aplicada y a la resistencia de la fuente. Para la configuración emisor-seguidor de la figura 10.25, el modelo de ac de pequeña señal sería como el mostrado en la figura 10.26. Para la sección de entrada de la figura 10.26, la resistencia R_B se desprecia debido a que, por lo general, es mucho mayor que la resistencia de la fuente por lo que un circuito equivalente de Thévenin para la configuración de la figura 10.27 daría por resultado solamente R_s y V_s como se señala en la figura 10.26. Por supuesto, si los niveles actuales se han de determinar como I_i en el diagrama original, también se deberá incluir el efecto R_B.

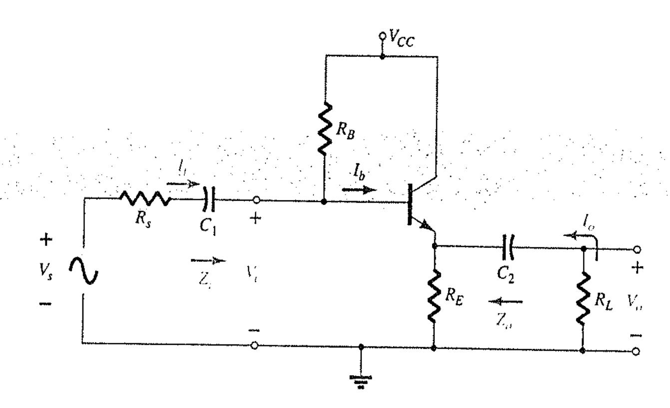


Figura 10.25 Configuración emisor-seguidor con R_s y R_L.

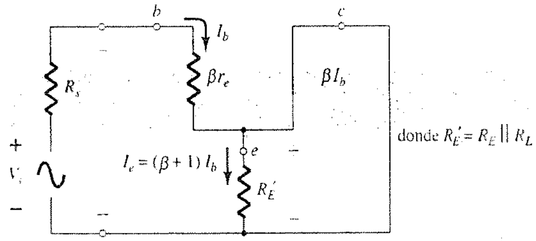


Figura 10.26 Configuración emisor-seguidor de la figura 10.25 posterior a la sustitución del circuito equivalente r_e.

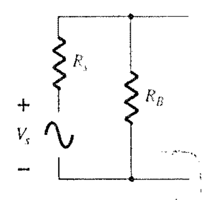


Figura 10.27 Determinación del circuito equivalente de Thévenin para el circuito de entrada de la figura 10.25.

Al aplicar la ley de voltaje de Kirchhoff al circuito de entrada de la figura 10.26, se obtendrá

$$V_s - I_b R_s - I_b \beta r_e - (\beta + 1) I_b R_E' = 0$$

y $$V_s - I_b(R_s + \beta r_e + (\beta + 1) R_E') = 0$$

por lo que $$I_b = \frac{V_s}{R_s + \beta r_e + (\beta + 1) R_E'}$$

Al establecer I_e, se obtiene

$$I_e = (\beta + 1) I_b = \frac{(\beta + 1) V_s}{R_s + \beta r_e + (\beta + 1) R_E'}$$

e $$I_e = \frac{V_s}{[(R_s + \beta r_e)/(\beta + 1)] + R_E'}$$

Al utilizar $\beta + 1 \cong \beta$ se llega a

$$\boxed{I_e = \frac{V_s}{(R_s/\beta + r_e) + R_E'}} \qquad (10.34)$$

Al dibujar la red que "ajusta" la ecuación 10.34 se obtendrá la configuración de la figura 10.28a. En la figura 10.28b, se separaron R_E y la resistencia de carga R_L para permitir una definición de Z_o e I_o.

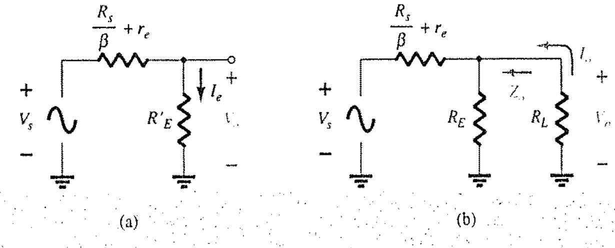


Figura 10.28 Redes resultantes de la aplicación de la ley de voltaje de Kirchhoff al circuito de entrada de la figura 10.26.

Luego, la ganancia de voltaje puede obtenerse de forma directa a partir de la figura 10.28a mediante la regla del divisor de voltaje:

$$V_o = \frac{R_E' V_s}{R_E' + (R_s/\beta + r_e)}$$

o $$A_{v_s} = \frac{V_o}{V_s} = \frac{R_E'}{R_E' + (R_s/\beta + r_e)}$$

y $$A_{v_s} = \frac{V_o}{V_s} = \frac{R_E \| R_L}{R_E \| R_L + R_s/\beta + r_e} \quad (10.35)$$

Al establecer $V_s = 0$ y resolver para Z_o se obtiene

$$Z_o = R_E \| \left(\frac{R_s}{\beta} + r_e\right) \quad (10.36)$$

Para la impedancia de entrada,

$$Z_b = \beta(r_e + R'_E)$$

y

$$Z_i = R_B \| Z_b$$

o

$$Z_i = R_B \| \beta(r_e + R_E \| R_L) \quad (10.37)$$

Para las condiciones sin carga, la ecuación de la ganancia es

$$A_{v_{NL}} \cong \frac{R_E}{R_E + r_e}$$

mientras que para las condiciones con carga,

$$A_v \cong \frac{V_o}{V_i} = \frac{R_E \| R_L}{R_E \| R_L + r_e} \quad (10.38)$$

EJEMPLO 10.6 Para la configuración emisor-seguidor con carga de la figura 10.29, que cuenta con una resistencia de fuente y los siguientes parámetros de dos puertos sin carga: Z_i = 155.83 kΩ, Z_o = 21.6 Ω y $A_{v_{NL}}$ = 0.993 con r_e = 21.74 Ω y β = 65, determine:

(a) Los nuevos valores de Z_i y Z_o según los determina la carga y R_s, respectivamente.
(b) A_v mediante el uso de la aproximación de sistemas.
(c) A_{v_s} mediante el uso de la aproximación de sistemas.
(d) $A_i = I_o/I_i$.

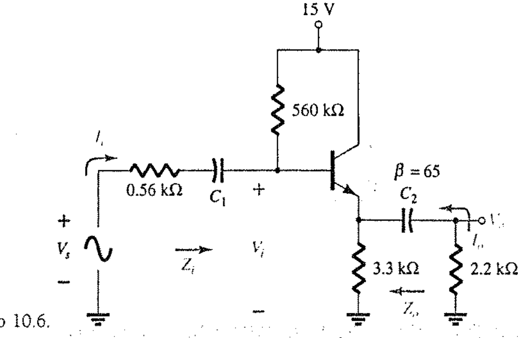


Figura 10.29 Ejemplo 10.6.

Solución

Ecuación (10.37): $Z_i = R_B \| \beta(r_e + R_E \| R_L)$

$$= 560\text{ k}\Omega \| 65(21.74\ \Omega + \underbrace{3.3\text{ k}\Omega \| 2.2\text{ k}\Omega}_{1.32\text{ k}\Omega})$$
$$= 560\text{ k}\Omega \| 87.21\text{ k}\Omega$$
$$= \mathbf{75.46\ k\Omega}$$

comparado con 155.83 kΩ (sin carga).

$$Z_o = R_E \| \left(\frac{R_s}{\beta} + r_e\right)$$
$$= 3.3\text{ k}\Omega \| \left(\frac{0.56\text{ k}\Omega}{65} + 21.74\ \Omega\right)$$
$$= 3.3\text{ k}\Omega \| 30.36\ \Omega$$
$$= \mathbf{30.08\ \Omega}$$

contra 21.6 (sin R_s).

(b) Al sustituir la red equivalente de dos puertos se obtendrá la red equivalente de ac de pequeña señal de la figura 10.30.

$$V_o = \frac{R_L A_{v_{NL}} V_i}{R_L + R_o} = \frac{(2.2\text{ k}\Omega)(0.993)V_i}{2.2\text{ k}\Omega + 30.08\ \Omega}$$
$$\cong 0.98 V_i$$

con $A_v = \dfrac{V_o}{V_i} \cong \mathbf{0.98}$

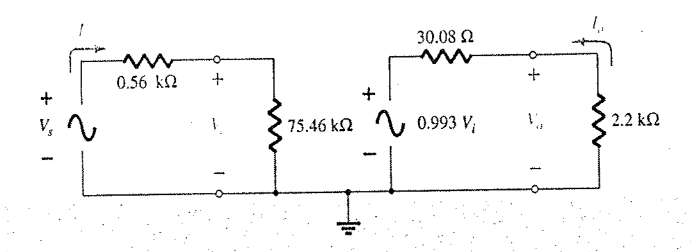


Figura 10.30 Circuito equivalente de ac de pequeña señal para la red de la figura 10.29.

(c) $V_i = \dfrac{Z_i V_s}{Z_i + R_s} = \dfrac{(75.46\text{ k}\Omega)V_s}{75.46\text{ k}\Omega + 0.56\text{ k}\Omega} = 0.993 V_s$

de forma que $A_{v_s} = \dfrac{V_o}{V_s} = \dfrac{V_o}{V_i}\dfrac{V_i}{V_s} = (0.98)(0.993) = \mathbf{0.973}$

(d) $A_i = \dfrac{I_o}{I_i} = -A_v \dfrac{Z_i}{R_L}$

$$= -(0.98)\left(\frac{75.46\text{ k}\Omega}{2.2\text{ k}\Omega}\right)$$
$$= \mathbf{-33.61}$$

10.8 REDES BJT DE BASE COMÚN

En la figura 10.31 se presenta un amplificador de base común con una carga aplicada y una resistencia de fuente. El hecho de que la carga se encuentre conectada entre las terminales del colector y de la base, la aíslan del circuito de entrada, y Z_i permanece básicamente siendo la misma para las condiciones con carga y sin carga. El aislamiento que existe entre los circuitos de entrada y de salida también mantiene a Z_o en un nivel fijo incluso aunque el nivel de R_s pueda cambiar. La ganancia de voltaje ahora se encuentra determinada por

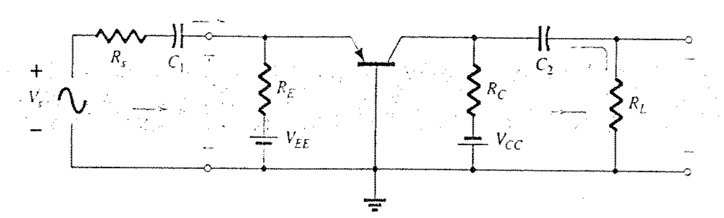


Figura 10.31 Configuración de base común con R_s y R_L.

$$A_v \cong \frac{R_C \| R_L}{r_e} \qquad (10.39)$$

y la ganancia de corriente:

$$A_i \cong -1 \qquad (10.40)$$

EJEMPLO 10.7

Para el amplificador de base común de la figura 10.32, los parámetros de dos puertos sin carga son (mediante $\alpha \cong 1$) $Z_i \cong r_e = 20\ \Omega$, $A_{v_{NL}} = 250$ y $Z_o = 5\ \text{k}\Omega$. Por medio del modelo equivalente de dos puertos, determine:

(a) A_v.
(b) A_{v_s}.
(c) A_i.

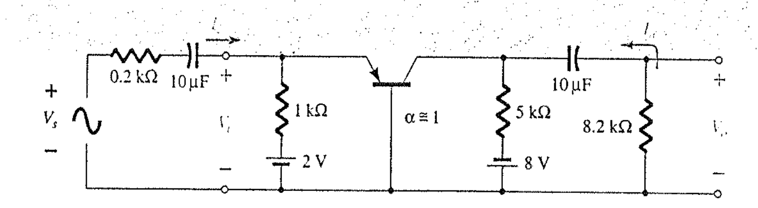


Figura 10.32 Ejemplo 10.7.

Solución

(a) La red equivalente de ac de pequeña señal se muestra en la figura 10.33.

$$V_o = \frac{R_L A_{v_{NL}} V_i}{R_L + R_o} = \frac{(8.2\ \text{k}\Omega)(250)V_i}{8.2\ \text{k}\Omega + 5\ \text{k}\Omega} = 155.3V_i$$

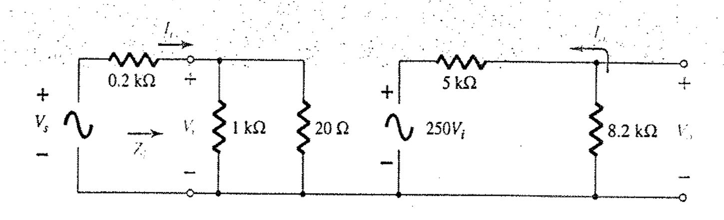


Figura 10.33 Circuito equivalente de ac de pequeña señal para la red de la figura 10.32.

y

$$A_v = \frac{V_o}{V_i} = 155.3$$

o

$$A_v \cong \frac{R_C \| R_L}{r_e} = \frac{5\ \text{k}\Omega \| 8.2\ \text{k}\Omega}{20\ \Omega} = \frac{3.106\ \text{k}\Omega}{20\ \Omega}$$
$$= 155.3$$

(b)
$$A_{v_s} = \frac{V_o}{V_s} = \frac{V_i}{V_s}\frac{V_o}{V_i}$$
$$= \frac{R_i}{R_i + R_s} A_v = \left(\frac{20\ \Omega}{20\ \Omega + 200\ \Omega}\right)(155.3)$$
$$= 14.12$$

Observe la ganancia relativamente baja como consecuencia de una impedancia de la fuente mucho mayor que la impedancia de entrada del amplificador.

(c)
$$A_i = -A_v \frac{Z_i}{R_L} = -(155.3)\left(\frac{20\ \Omega}{8.2\ \text{k}\Omega}\right)$$
$$= -0.379$$

la cual es significativamente menor a 1 debido a la división de la corriente de salida entre R_C y R_L.

10.9 REDES FET

Como se observó en el capítulo 9, el aislamiento que existe entre la compuerta y el drenaje o la fuente de un amplificador a FET asegura que los cambios en R_L no afecten el nivel de Z_i y que los cambios en $R_{señal}$ no afecten R_o. Por lo tanto, en esencia:

El modelo de dos puertos sin carga de la figura 10.2 para un amplificador FET no es afectado por la carga aplicada ni por la resistencia de la fuente.

Resistencia de fuente con desvío

Para el amplificador de la figura 10.34, la carga aplicada aparecerá en paralelo con R_D en el modelo de pequeña señal, lo que da por resultado la siguiente ecuación para la ganancia con carga:

$$A_v = -g_m(R_D \| R_L) \qquad (10.41)$$

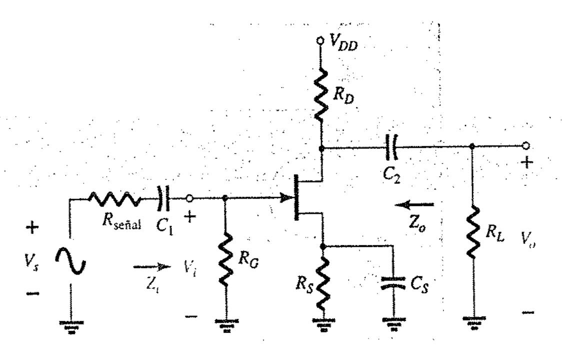


Figura 10.34 Amplificador JFET con $R_{señal}$ y R_L.

Los niveles de impedancia permanecen en

$$\boxed{Z_i = R_G} \qquad (10.42)$$

$$\boxed{Z_o = R_D} \qquad (10.43)$$

Resistencia de fuente sin desvío

Para el amplificador a FET de la figura 10.35, la carga aparecerá nuevamente en paralelo con R_D y la ganancia con carga será

$$\boxed{A_v = \frac{V_o}{V_i} = -\frac{g_m(R_D \| R_L)}{1 + g_m R_S}} \qquad (10.44)$$

con

$$\boxed{Z_i = R_G} \qquad (10.45)$$

y

$$\boxed{Z_o = R_D} \qquad (10.46)$$

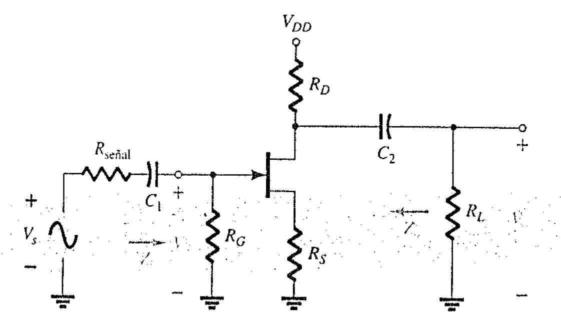


Figura 10.35 Amplificador JFET con R_s sin desvío.

EJEMPLO 10.8 Para el amplificador FET de la figura 10.36, los parámetros de dos puertos sin carga son $A_{v_{NL}} = -3.18$, $Z_i = R_1 \| R_2 = 239\text{ k}\Omega$ y $Z_o = 2.4\text{ k}\Omega$, con $g_m = 2.2\text{ mS}$.

(a) Mediante el uso de los parámetros anteriores de dos puertos, determine A_v y A_{v_s}.

(b) Mediante el uso de la ecuación 10.44, calcule la ganancia con carga y compare con el resultado del inciso (*a*).

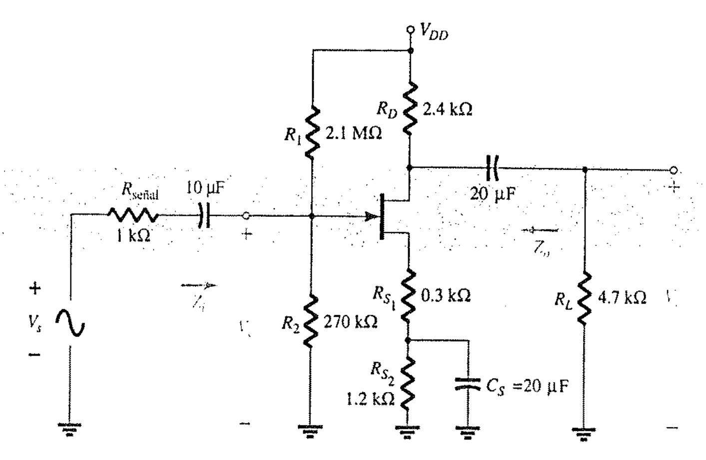


Figura 10.36 Ejemplo 10.8.

Solución

(a) La red equivalente de ac de pequeña señal se muestra en la figura 10.37, y

$$A_v = \frac{V_o}{V_i} = \frac{R_L A_{v_{NL}}}{R_L + R_o} = \frac{(4.7\text{ k}\Omega)(-3.18)}{4.7\text{ k}\Omega + 2.4\text{ k}\Omega}$$
$$= \mathbf{-2.105}$$
$$A_{v_s} = \frac{V_o}{V_s} = \frac{V_i}{V_s}\frac{V_o}{V_i} = \frac{R_i}{R_i + R_{\text{señal}}} A_v$$
$$= \frac{(239\text{ k}\Omega)(-2.105)}{239\text{ k}\Omega + 1\text{ k}\Omega}$$
$$= \mathbf{-2.096} \cong A_v$$

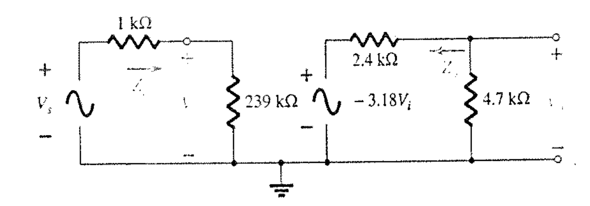
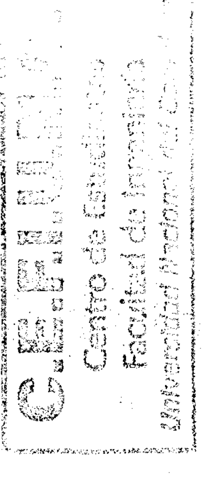


Figura 10.37 Circuito equivalente de ac de pequeña señal para la red de la figura 10.36.

(b) Ecuación (10.44):
$$A_v = \frac{-g_m(R_D \| R_L)}{1 + g_m R_{S_1}}$$
$$= \frac{-(2.2\text{ mS})(2.4\text{ k}\Omega \| 4.7\text{ k}\Omega)}{1 + (2.2\text{ mS})(0.3\text{ k}\Omega)} = \frac{-3.498}{1.66}$$
$$= \mathbf{-2.105}\text{ como arriba}$$



Fuente-seguidor

Para la configuración fuente-seguidor de la figura 10.38, el nivel de Z_i es independiente de la magnitud de R_L y se encuentra determinada por

$$\boxed{Z_i = R_G} \qquad (10.47)$$

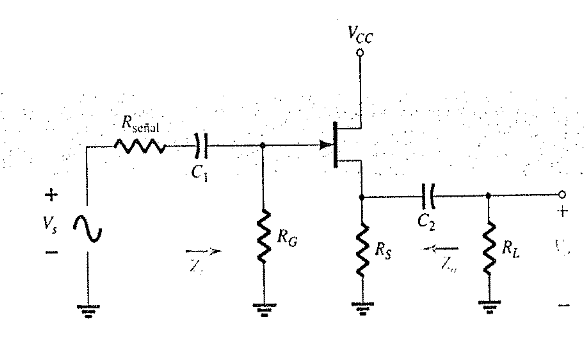


Figura 10.38 Configuración fuente-seguidor con $R_{\text{señal}}$ y R_L.

La ganancia de voltaje con carga posee el mismo formato que la ganancia sin carga, y reemplaza R_S por la combinación en paralelo de R_S y R_L.

$$A_v = \frac{V_o}{V_i} = \frac{g_m(R_S\|R_L)}{1 + g_m(R_S\|R_L)} \tag{10.48}$$

El nivel de la impedancia de salida está determinado como en el capítulo 9:

$$Z_o = R_S\|\frac{1}{g_m} \tag{10.49}$$

lo que revela una insensibilidad a la magnitud de la resistencia de fuente $R_{señal}$.

Compuerta común

Incluso aunque la configuración de compuerta común de la figura 10.39 es un tanto diferente de la descrita anteriormente con respecto a la ubicación de R_L y $R_{señal}$, los circuitos de entrada y de salida permanecen aislados y

$$Z_i = \frac{R_S}{1 + g_m R_S} \tag{10.50}$$

$$Z_o = R_D \tag{10.51}$$

La ganancia de voltaje con carga está dada por

$$A_v = g_m(R_D\|R_L) \tag{10.52}$$

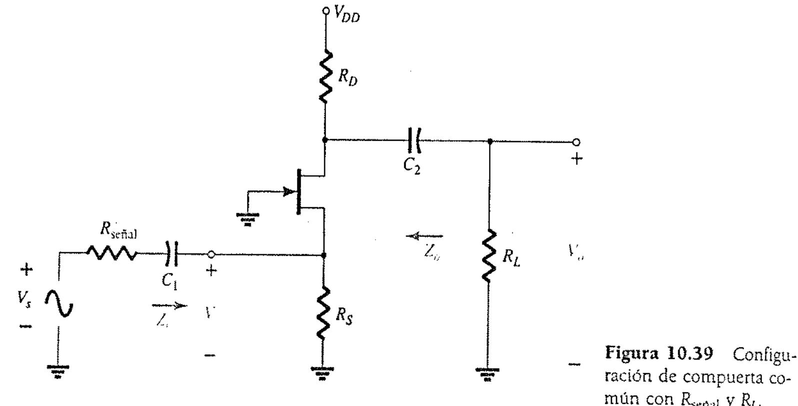


Figura 10.39 Configuración de compuerta común con $R_{señal}$ y R_L.

10.10 TABLA DE RESUMEN

Una vez que los amplificadores a BJT y JFET con carga y sin carga (capítulos 8 y 9) se han examinado con cierto detalle, se proporciona en la tabla 10.1 una revisión de las ecuaciones desarrolladas. A pesar de que todas las ecuaciones son para la situación con carga, la eliminación de R_L dará por resultado las ecuaciones para el amplificador sin carga. Lo mismo sucede para el caso del efecto de R_s (para BJTs) y $R_{señal}$ (para JFETs) sobre Z_o. En cada caso, para una referencia rápida también se proporciona la relación de la fase entre los voltajes de entrada y de salida. Una revisión de las ecuaciones mostrará que el aislamiento proporcionado por el JFET entre la compuerta y el canal mediante la capa de SiO_2, da por resultado una serie de ecuaciones menos complejas que las encontradas para las configuraciones de BJT. El vínculo que proporciona I_b entre los circuitos de entrada y de salida para el amplificador a transistor BJT agrega un toque de complejidad para algunas ecuaciones.

TABLA 10.1 Resumen de las configuraciones de transistor (A_v, Z_i y Z_o)

Configuración	$A_v = V_o/V_i$	Z_i	Z_o
V_{CC}, R_B, R_C, R_s, V_i, V_o, Z_o, R_L, V_s, Z_i	$\frac{-(R_L\|R_C)}{r_e}$	$R_B\|\beta r_e$	R_C
	$\frac{-h_{fe}}{h_{ie}}(R_L\|R_C)$	$R_B\|h_{ie}$	R_C
	Incluyendo r_o: $\frac{(R_L\|R_C\|r_o)}{r_e}$	$R_B\|\beta r_e$	$R_C\|r_o$
V_{CC}, R_1, R_C, R_s, V_i, V_o, Z_o, R_L, R_2, R_E, C_E, V_s, Z_i	$\frac{-(R_L\|R_C)}{r_e}$	$R_1\|R_2\|\beta r_e$	R_C
	$\frac{-h_{fe}}{h_{ie}}(R_L\|R_C)$	$R_1\|R_2\|h_{ie}$	R_C
	Incluyendo r_o: $\frac{-(R_L\|R_C\|r_o)}{r_e}$	$R_1\|R_2\|\beta r_e$	$R_C\|r_o$
V_{CC}, R_1, R_C, R_s, V_i, R_2, R_E, Z_o, R_L, V_o, V_s, Z_i	$\cong 1$	$R'_E = R_L\|R_E$; $R_1\|R_2\|\beta(r_e + R'_E)$	$R'_s = R_s\|R_1\|R_2$; $R_E\|\left(\frac{R'_s}{\beta} + r_e\right)$
	$\cong 1$	$R_1\|R_2\|(h_{ie} + h_{fe}R'_E)$	$R_E\|\left(\frac{R'_s + h_{ie}}{h_{fe}}\right)$
	Incluyendo r_o: $\cong 1$	$R_1\|R_2\|\beta(r_e + R'_E)$	$R_E\|\left(\frac{R'_s}{\beta} + r_e\right)$
R_s, V_i, R_E, V_{EE}, V_{CC}, R_C, Z_o, R_L, V_o, V_s, Z_i	$\cong \frac{-(R_L\|R_C)}{r_e}$	$R_E\|r_e$	R_C
	$\cong \frac{-h_{fb}}{h_{ib}}(R_L\|R_C)$	$R_E\|h_{ib}$	R_C
	Incluyendo r_o: $\cong \frac{-(R_L\|R_C\|r_o)}{r_e}$	$R_E\|r_e$	$R_C\|r_o$

(continúa)

TABLA 10.1 Resumen de las configuraciones de transistor (A_v, Z_i, Z_o) (Continuación)

Configuración	$A_v = V_o/V_i$	Z_i	Z_o
	$\frac{-(R_L \| R_C)}{R_E}$ $\frac{-(R_L \| R_C)}{R_E}$ Incluyendo r_o: $\frac{-(R_L \| R_C)}{R_E}$	$R_1 \| R_2 \| \beta(r_e + R_E)$ $R_1 \| R_2 \| (h_{ie} + h_{fe}R_E)$ $R_1 \| R_2 \| \beta(r_e + R_e)$	R_C R_C $\cong R_C$
	$\frac{-(R_L \| R_C)}{R_{E_1}}$ $\frac{-(R_L \| R_C)}{R_{E_1}}$ Incluyendo r_o: $\frac{-(R_L \| R_C)}{R_{E_1}}$	$R_B \| \beta(r_e + R_{E_1})$ $R_B \| (h_{ie} + h_{fe}R_{E_1})$ $R_B \| \beta(r_e + R_E)$	R_C R_C $\cong R_C$
	$\frac{-(R_L \| R_C)}{r_e}$ $\frac{-h_{fe}}{h_{ie}}(R_L \| R_C)$ Incluyendo r_o: $\frac{-(R_L \| R_C \| r_o)}{r_e}$	$\beta r_e \| \frac{R_F}{\lvert A_v \rvert}$ $h_{ie} \| \frac{R_F}{\lvert A_v \rvert}$ $\beta r_e \| \frac{R_F}{\lvert A_v \rvert}$	R_C R_C $R_C \| R_F \| r_o$
	$\frac{-(R_L \| R_C)}{R_E}$ $\frac{-(R_L \| R_C)}{R_E}$ Incluyendo r_o: $\cong \frac{-(R_L \| R_C)}{R_E}$	$\beta R_E \| \frac{R_F}{\lvert A_v \rvert}$ $h_{fe}R_E \| \frac{R_F}{\lvert A_v \rvert}$ $\cong \beta R_E \| \frac{R_F}{\lvert A_v \rvert}$	$\cong R_C \| R_F$ $\cong R_C \| R_F$ $\cong R_C \| R_F$

TABLA 10.1 (Continuación)

Configuración	$A_v = V_o/V_i$	Z_i	Z_o
	$-g_m(R_D \| R_L)$ Incluyendo r_d: $-g_m(R_D \| R_L \| r_d)$	R_G R_G	R_D $R_D \| r_d$
	$\frac{-g_m(R_D \| R_L)}{1 + g_m R_S}$ Incluyendo r_d: $\frac{-g_m(R_D \| R_L)}{1 + g_m R_S + \frac{R_D + R_S}{r_d}}$	R_G R_G	$\frac{R_D}{1 + g_m R_S}$ $\cong \frac{R_D}{1 + g_m R_S}$
	$-g_m(R_D \| R_L)$ Incluyendo r_d: $-g_m(R_D \| R_L \| r_d)$	$R_1 \| R_2$ $R_1 \| R_2$	R_D $R_D \| r_d$
	$\frac{g_m(R_S \| R_L)}{1 + g_m(R_S \| R_L)}$ Incluyendo r_d: $= \frac{g_m r_d(R_S \| R_L)}{r_d + R_D + g_m r_d(R_S \| R_L)}$	R_G R_G	$R_S \| 1/g_m$ $\frac{R_S}{1 + \frac{g_m r_d R_S}{r_d + R_D}}$
	$g_m(R_D \| R_L)$ Incluyendo r_d: $\cong g_m(R_D \| R_L)$	$\frac{R_S}{1 + g_m R_S}$ $Z_i = \frac{R_S}{1 + \frac{g_m r_d R_S}{r_d + R_D \| R_L}}$	R_D $R_D \| r_d$

10.11 SISTEMAS EN CASCADA

La aproximación de sistemas de dos puertos es particularmente útil para sistemas en cascada como el que aparece en la figura 10.40, donde A_{v_1}, A_{v_2}, A_{v_3}, etcétera, son las ganancias de voltaje para cada etapa *bajo condiciones con carga*. Es decir, A_{v_1}, es determinada con impedancia de entrada de A_{v_2} que actúa como carga sobre A_{v_1}. Para A_{v_2}, A_{v_1} determinará la potencia de la señal y la impedancia de la fuente en la entrada de A_{v_2}. Entonces, la ganancia total del sistema se encuentra determinada por el producto de las ganancias individuales como sigue:

$$\boxed{A_{v_T} = A_{v_1} \cdot A_{v_2} \cdot A_{v_3} \cdots} \tag{10.53}$$

y la ganancia total de corriente según

$$\boxed{A_{i_T} = -A_{v_T}\frac{Z_{i_1}}{R_L}} \tag{10.54}$$

Sin importar lo refinado que sea el diseño del sistema, la aplicación de una carga sobre un sistema de dos puertos afectará la ganancia de voltaje, por tanto, no existe la posibilidad de que A_{v_1}, A_{v_2}, etcétera, de la figura 10.40 sean simplemente los valores de la situación sin carga, es decir, deberá considerarse la carga de cada etapa subsiguiente. Los parámetros sin carga pueden emplearse para determinar las ganancias con carga de la figura 10.40; sin embargo, la ecuación 10.53 requiere los valores con carga.

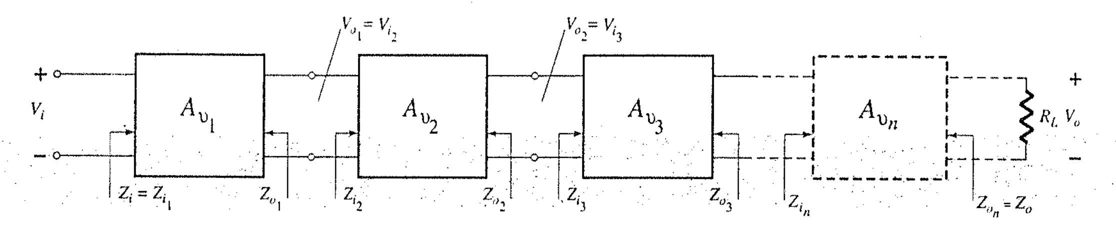


Figura 10.40 Sistema en cascada.

EJEMPLO 10.9

El sistema de dos etapas de la figura 10.41, utiliza una configuración de transistor emisor-seguidor antes de una configuración de base común con el objetivo de asegurar que el máximo porcentaje de la señal aplicada se presente en las terminales de entrada del amplificador de base común. En la figura 10.41, se proporcionan los valores sin carga para cada sistema, con la excepción de Z_i y Z_o, para el emisor-seguidor que son los valores con carga. Para la configuración de la figura 10.41, determine:

(a) La ganancia con carga para cada etapa.
(b) La ganancia total para el sistema, A_v y A_{v_s}.
(c) La ganancia total de corriente para el sistema.
(d) La ganancia total para el sistema si se elimina la configuración emisor-seguidor.

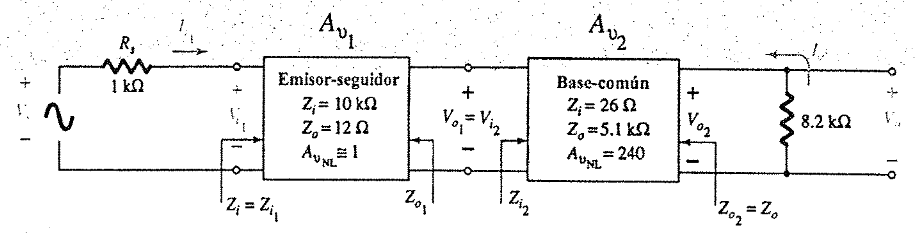


Figura 10.41 Ejemplo 10.9.

Solución

(a) Para la configuración emisor-seguidor, la ganancia con carga es

$$V_{o_1} = \frac{Z_{i_2} A_{v_{NL}} V_{i_1}}{Z_{i_2} + Z_{o_1}} = \frac{(26\ \Omega)(1)V_{i_1}}{26\ \Omega + 12\ \Omega} = 0.684 V_{i_1}$$

y $$A_{v_1} = \frac{V_{o_1}}{V_{i_1}} = \mathbf{0.684}$$

Para la configuración de base común,

$$V_{o_2} = \frac{R_L A_{v_{NL}} V_{i_2}}{R_L + R_{o_2}} = \frac{(8.2\ \text{k}\Omega)(240)V_{i_2}}{8.2\ \text{k}\Omega + 5.1\ \text{k}\Omega} = 147.97 V_{i_2}$$

y $$A_{v_L} = \frac{V_{o_2}}{V_{i_2}} = \mathbf{147.97}$$

(b) $$A_{v_T} = A_{v_1}A_{v_2} = (0.684)(147.97) = \mathbf{101.20}$$

$$A_{v_s} = \frac{Z_{i_1}}{Z_{i_1} + R_s}A_{v_T} = \frac{(10\ \text{k}\Omega)(101.20)}{10\ \text{k}\Omega + 1\ \text{k}\Omega} = \mathbf{92}$$

(c) $$A_{i_T} = -A_{v_T}\frac{Z_{i_1}}{R_L} = -(101.20)\left(\frac{10\ \text{k}\Omega}{8.2\ \text{k}\Omega}\right) = \mathbf{-123.41}$$

(d) $$V_{i_{CB}} = \frac{Z_{i_{CB}} V_s}{Z_{i_{CB}} + R_s} = \frac{(26\ \Omega)V_s}{26\ \Omega + 1\ \text{k}\Omega} = 0.025 V_s$$

y $\frac{V_i}{V_s} = 0.025$ con $\frac{V_o}{V_i} = 147.97$ de lo anterior

y $$A_{v_s} = \frac{V_i}{V_s}\frac{V_o}{V_i} = (0.025)(147.97) = \mathbf{3.7}$$

Por lo tanto, en total, la ganancia es cerca de 25 veces mayor con la configuración emisor-seguidor lo que lleva a la señal a las etapas de amplificación. Sin embargo, observe que también es importante que la impedancia de salida de la primera etapa se encuentre relativamente cercana a la impedancia de entrada de la segunda etapa, o de lo contrario, la señal podría "perderse" nuevamente por la acción del divisor de voltaje.

10.12 RESUMEN

Conclusiones y conceptos importantes

1. Las cantidades $A_{v_{NL}}$ y $A_{i_{NL}}$ son las ganancias de un sistema de dos puertos **sin carga aplicada.** Ninguna de éstas se ve afectada por la carga aplicada o por la resistencia de la fuente.
2. La ganancia de voltaje con carga de un amplificador **es siempre menor** que la del nivel sin carga.

3. Una de las ventajas distintivas de la aproximación de sistemas es que una vez que se conocen los parámetros de dos puertos de un sistema, es posible determinar de forma rápida **el efecto de un cambio en la carga.** No es necesario volver a analizar la red entera.
4. Los elementos que se encontraban aislados por los capacitores para el análisis de dc, **aparecerán en el análisis de ac** debido al equivalente de circuito cerrado para los elementos capacitivos.
5. **Mientras mayor sea la resistencia interna** de la fuente aplicada, **menor** será la ganancia general del sistema.
6. El **amplificador BJT de base común** y el **amplificador JFET de compuerta común** poseen formas de onda de salida que se encuentran **en fase** con la señal aplicada.
7. Para todos los sistemas de **emisor común** y de **fuente común**, la **señal de salida** en el colector y drenaje, respectivamente, se encontrará **180° fuera de fase** con respecto a la señal aplicada.
8. Las salidas tomadas a partir del **emisor en un amplificador BJT de emisor común** o de la **fuente en un amplificador JFET de fuente común** se encuentran **en fase** con la señal aplicada.
9. La ganancia total de un sistema en cascada se encuentra determinada por el **producto de las ganancias de cada etapa**. La ganancia de cada etapa, sin embargo, debe deteminarse **bajo condiciones sin carga.**
10. Debido a que la ganancia total es el producto de las ganancias individuales de un sistema en cascada, el **eslabón más débil** puede tener un importante impacto sobre la ganancia total.

Ecuaciones

Efecto de la impedancia de carga:

$$A_v = \frac{V_o}{V_i} = \frac{R_L}{R_L + R_o} A_{v_{NL}}$$

$$A_i = \frac{I_o}{I_i} = -A_v \frac{Z_i}{R_L}$$

Efecto de la impedancia de fuente:

$$V_i = \frac{R_i V_s}{R_i + R_s}$$

$$A_{v_s} = \frac{V_o}{V_s} = \frac{R_i}{R_i + R_s} A_{v_{NL}}$$

$$I_s = \frac{V_s}{R_s + R_i}$$

Efecto combinado de las impedancias de fuente y de carga:

$$A_v = \frac{V_o}{V_i} = \frac{R_L}{R_L + R_o} A_{v_{NL}}$$

$$A_{v_s} = \frac{V_o}{V_s} = \frac{R_i}{R_i + R_s} \cdot \frac{R_L}{R_L + R_o} A_{v_{NL}}$$

$$A_i = \frac{I_o}{I_i} = -A_v \frac{R_i}{R_L}$$

$$A_{i_s} = \frac{I_o}{I_s} = -A_{v_s} \frac{R_s + R_i}{R_L}$$

Consulte la tabla 10.1 para una lista extensa de ecuaciones.

10.13 ANÁLISIS POR COMPUTADORA

PSpice para Windows

CONFIGURACIÓN DE TRANSISTOR BJT CON DIVISOR DE VOLTAJE CON CARGA

El análisis por computadora de esta sección incluye una evaluación mediante PSpice para Windows de la respuesta de un amplificador a BJT y a FET con carga y con una resistencia de fuente. La red BJT de la figura 10.42 utiliza la misma configuración sin carga revisada en el análisis de PSpice del capítulo 8, donde la ganancia sin carga fue de 369 (ejemplo 8.2, r_e = 18.44 Ω). Para el transistor, todos los parámetros enumerados debajo de **Model Editor** se eliminaron excepto I_s y beta, los cuales se establecieron en 2E-15 A y 90, respectivamente. De esta forma, los resultados serán lo más cercano posibles a las soluciones efectuadas a mano sin recurrir a los equivalentes de fuente controlada. Observe la colocación de la opción **VPRINT1** para identificar la pérdida de voltaje a través de la resistencia de la fuente y para observar si existe alguna pérdida de ganancia a través del capacitor. Se seleccionó la opción **Do not auto-run Probe** y debajo de **Analysis Setup**, se estableció **AC Sweep** en una frecuencia fija de 10 kHz. Además, se seleccionó **Display Results on Schematic** debajo de **Analysis** y **Voltage Display** se habilitó.

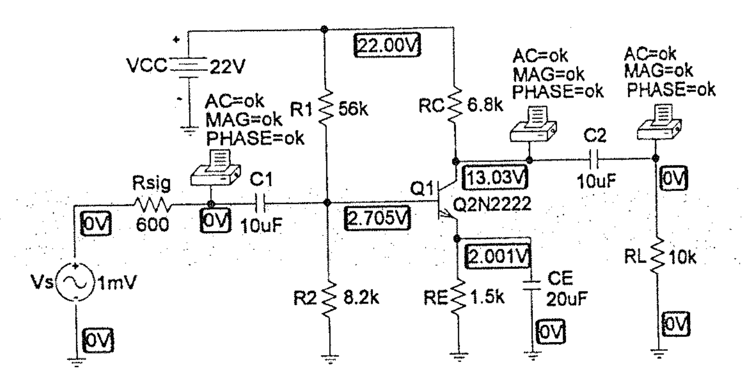


Figura 10.42 Configuración de transistor BJT con carga y con divisor de voltaje.

Al ejecutar el análisis, **Analysis**, se obtienen los niveles de dc que aparecen en la figura 10.42. Observe en especial los niveles de cero volts en la parte izquierda de C_1 y en la parte derecha de C_2. Además, observe que V_{BE} es esencialmente 0.7 V y que los niveles de dc de cada terminal del transistor son muy cercanos a los calculados en el ejemplo 8.2 (mediante el método aproximado). Al revisar el archivo de salida posterior a la selección de **Analysis-Examine Output** se obtendrá el listado de la información de la figura 10.43. Los nodos se definen en la **Schematics Netlist,** y nuestra selección de opciones para esta corrida se presenta en **BJT MODEL PARAMETERS** (aunque los últimos tres parámetros son valores implícitos). La solución de polarización de pequeña señal (**SMALL-SIGNAL BIAS SOLUTION**) solamente confirma los niveles impresos en el diagrama y la información del punto de operación (**Operating Point Information**) muestra que la beta (para dc y ac) es igual a 90, V_{BE} es igual a 0.7 V, I_C es igual a 1.32 mA e I_B es igual a 14.7 μA (además de una multitud de otros niveles). El análisis en ac, **AC ANALYSIS,** revela que el voltaje al otro lado de $R_{señal}$ es cercano a 0.7 mV, lo que da por resultado una caída de cerca de 0.3 mV (30 % de pérdida en el voltaje de la señal) de la señal aplicada a través de $R_{señal}$. Los niveles restantes de ac son iguales, lo que muestra que el capacitor se comporta efectivamente como un corto circuito para la señal de ac. La ganancia con carga de la fuente a la salida es de 144.9 y la ganancia de la base del transistor a la salida es de 144.9 mV/0.7 mV = 207. Ambos niveles son significativamente menores que el nivel de 369 para la situación sin carga. Si volvemos a la red y se modifica R_L a 10 MΩ, el voltaje de salida se elevará a 243.3 mV, lo que da por resultado una ganancia de 243.3 mV/0.7 mV = 347.57, lo cual es muy cercano a la solución calculada a mano y aproximada de 369.

```
****     CIRCUIT DESCRIPTION

******************************************************************************
* Schematics Netlist *



V_Vs          $N_0001 0  AC 1mV
+SIN 0V 1mV 10kHz 0 0 0
R_Rsig          $N_0001 $N_0002  600

.PRINT          AC
+ VM([$N_0002])
+ VP([$N_0002])
C_C1          $N_0002 $N_0003  10uF
V_VCC          $N_0004 0 22V
R_R1          $N_0004 $N_0003  56k
R_R2          $N_0003 0  8.2k
R_RC          $N_0004 $N_0005  6.8k
R_RE          $N_0006 0  1.5k
C_CE          $N_0006 0  20uF
R_RL          $N_0007 0  10k
C_C2          $N_0005 $N_0007  10uF

.PRINT          AC
+ VM([$N_0005])
+ VP([$N_0005])

.PRINT          AC
+ VM([$N_0007])
+ VP([$N_0007])
Q_Q1          $N_0005 $N_0003 $N_0006 Q2N2222-X


****     BJT MODEL PARAMETERS

******************************************************************************



          Q2N2222-X
          NPN
     IS    2.000000E-15
     BF   90
     NF    1
     BR    1
     NR    1

****     SMALL SIGNAL BIAS SOLUTION        TEMPERATURE =   27.000 DEG C

******************************************************************************



NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE


($N_0001)    0.0000                  ($N_0002)    0.0000

($N_0003)    2.7051                  ($N_0004)   22.0000

($N_0005)   13.0280                  ($N_0006)    2.0012

($N_0007)    0.0000

   VOLTAGE SOURCE CURRENTS
   NAME          CURRENT

   V_Vs          0.000E+00
   V_VCC        -1.664E-03

   TOTAL POWER DISSIPATION   3.66E-02  WATTS

****     OPERATING POINT INFORMATION       TEMPERATURE =   27.000 DEG C

******************************************************************************



**** BIPOLAR JUNCTION TRANSISTORS


NAME          Q_Q1
MODEL         Q2N2222-X
IB            1.47E-05
IC            1.32E-03
VBE           7.04E-01
VBC          -1.03E+01
VCE           1.10E+01
BETADC        9.00E+01
GM            5.10E-02
RPI           1.76E+03
RX            0.00E+00
RO            1.00E+12
CBE           0.00E+00
CBC           0.00E+00
CJS           0.00E+00
BETAAC        9.00E+01
CBX           0.00E+00
FT            8.12E+17

****     AC ANALYSIS                       TEMPERATURE =   27.000 DEG C

******************************************************************************

  FREQ        VM($N_0002) VP($N_0002)

  1.000E+04   7.025E-04   -5.801E-01

  FREQ        VM($N_0005) VP($N_0005)

  1.000E+04   1.449E-01   -1.782E-02

  FREQ        VM($N_0007) VP($N_0007)

  1.000E+04   1.449E-01   -1.782E-02
```

Figura 10.43 Archivo de salida para la red de la figura 10.42.

Por curiosidad, calculamos la ganancia de voltaje con carga para compararla con la solución de PSpice de 144.9.

$$r_e = 18.44\ \Omega$$

y

$$Z_i \cong R_1 \| R_2 \| \beta r_e$$

$$= 56\ \text{k}\Omega \| 8.2\ \text{k}\Omega \| (90)(18.44\ \Omega)$$

$$\cong 1.35\ \text{k}\Omega$$

$$V_i = \frac{Z_i V_s}{Z_i + R_s} = \frac{(1.35\ \text{k}\Omega)V_s}{1.35\ \text{k}\Omega + 0.6\ \text{k}\Omega} = 0.69 V_s$$

y

$$\frac{V_i}{V_s} = 0.69$$

$$A_v = \frac{V_o}{V_i} = \frac{R_L A_{v_{NL}}}{R_L + R_o} = \frac{(10\ \text{k}\Omega)(-350.4)}{10\ \text{k}\Omega + 6.8\ \text{k}\Omega}$$

$$= -208.57$$

con

$$A_{v_s} = \frac{V_i}{V_s}\frac{V_o}{V_i} = (0.69)(-208.57)$$

$$\cong \mathbf{-144}$$

lo cual es una excelente comparación con la solución por computadora.

CONFIGURACIÓN DE TRANSISTOR JFET EN AUTOPOLARIZACIÓN CON CARGA

La red de la figura 10.44 es una versión con carga de la red analizada en el capítulo 9, donde se obtuvo una ganancia sin carga de 13.3. En el cuadro de diálogo **Model Editor** se estableció la **Beta** en 0.625 mA/V^2 y **Vto** = –4 V. Los parámetros restantes se dejaron sin modificar para permitir una comparación cercana con la solución del capítulo 9, y también porque éstos tienen un menor efecto sobre la respuesta que para el caso de un transistor BJT.

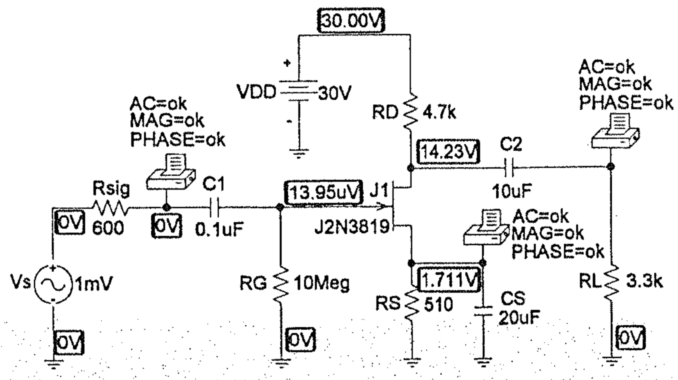


Figura 10.44 Configuración de transistor JFET con autopolarización y con carga.

Observe de nuevo la efectividad de los capacitores para bloquear los voltajes de dc. Además, advierta el pequeño voltaje en la compuerta, lo que indica que la impedancia de entrada al dispositivo en realidad no es infinita (aunque para todo propósito práctico es un supuesto adecuado). Nuevamente la frecuencia se estableció en 10 kHz y se ejecutó el análisis sin la opción **Probe**. La secuencia **Analysis-Examine Output** da por resultado el listado de la figura 10.45. La opción **Schematics Netlist** proporciona un listado de los nodos asignados, y el **OPERATING POINT INFORMATION** muestra que la corriente del drenaje es de 3.36 mA,

```
****     CIRCUIT DESCRIPTION
******************************************************************************

* Schematics Netlist *

V_Vs          $N_0001 0  AC 1mV
+SIN 0V 1mV 10kHz 0 0 0
R_Rsig          $N_0001 $N_0002  600

.PRINT          AC
+ VM([$N_0002])
+ VP([$N_0002])
C_C1          $N_0002 $N_0003  0.1uF
R_RG          $N_0003 0  10Meg
C_C2          $N_0004 $N_0005  10uF

.PRINT          AC
+ VM([$N_0006])
+ VP([$N_0006])

.PRINT          AC
+ VM([$N_0005])
+ VP([$N_0005])
V_VDD          $N_0007 0 30V
R_RD          $N_0007 $N_0004  4.7k
R_RS          $N_0006 0  510
C_CS          $N_0006 0  20uF
J_J1          $N_0004 $N_0003 $N_0006 J2N3819-X1
R_RL          $N_0005 0  3.3k

****     Junction FET MODEL PARAMETERS
******************************************************************************

              J2N3819-X1
              NJF
         VTO  -4
        BETA  625.000000E-06
      LAMBDA    2.250000E-03
          IS   33.570000E-15
         ISR  322.400000E-15
       ALPHA  311.700000E-06
          VK  243.6
          RD    1
          RS    1
         CGD    1.600000E-12
         CGS    2.414000E-12
           M     .3622
       VTOTC   -2.500000E-03
      BETATCE   -.5
          KF    9.882000E-18

****     SMALL SIGNAL BIAS SOLUTION      TEMPERATURE =   27.000 DEG C
******************************************************************************
NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE     NODE   VOLTAGE

($N_0001)    0.0000                ($N_0002)    0.0000

($N_0003) 13.95E-06                ($N_0004)   14.2280

($N_0005)    0.0000                ($N_0006)    1.7114

($N_0007)   30.0000

    VOLTAGE SOURCE CURRENTS
    NAME          CURRENT

    V_Vs          0.000E+00
    V_VDD        -3.356E-03

    TOTAL POWER DISSIPATION   1.01E-01  WATTS
****     OPERATING POINT INFORMATION      TEMPERATURE =   27.000 DEG C
******************************************************************************
**** JFETS

NAME          J_J1
MODEL         J2N3819-X1
ID            3.36E-03
VGS          -1.71E+00
VDS           1.25E+01
GM            2.94E-03
GDS           7.34E-06
CGS           1.68E-12
CGD           5.97E-13
****     AC ANALYSIS                      TEMPERATURE =   27.000 DEG C
******************************************************************************
  FREQ        VM($N_0002) VP($N_0002)

  1.000E+04   9.999E-04  -1.213E-02

  FREQ        VM($N_0006) VP($N_0006)

  1.000E+04   2.297E-06  -8.979E+01

  FREQ        VM($N_0005) VP($N_0005)

  1.000E+04   5.597E-03  -1.799E+02
```

Figura 10.45 Archivo de salida para la red de la figura 10.44.

que V_{GS} es igual a −1.71 V y que g_m es 2.94 mS. La opción AC ANALYSIS revela que existe una caída despreciable a través de cualquier capacitor a esta frecuencia, por lo que la equivalencia de corto circuito se puede asumir. El voltaje de salida es de 5.597 mV lo que da como resultado una ganancia con carga de 5.597 en comparación con la ganancia sin carga de 13.3. También observe que la caída a través de $R_{señal}$ es despreciable debido a la alta impedancia de entrada del dispositivo.

Al emplear el valor de g_m calculado a mano con anterioridad, la ecuación para la ganancia con carga dará por resultado una ganancia de 5.62 como se muestra a continuación, la cual es una excelente comparación con la solución por computadora.

$$
\begin{aligned}
A_v &= -g_m(R_D \| R_L) \\
&= -(2.90 \text{ mS})(4.7 \text{ k}\Omega \| 3.3 \text{ k}\Omega) \\
&= -5.62
\end{aligned}
$$

Los resultados obtenidos arriba han respaldado claramente el análisis y las ecuaciones presentadas en este capítulo para un amplificador con carga.

Electronics Workbench

Ahora se verificarán los resultados obtenidos en el ejemplo 10.6 mediante Electronics Workbench. Los elementos de la red se capturan como lo muestra la figura 10.46 empleando los procedimientos presentados en capítulos anteriores. El valor de beta se estableció en el listado implícito, "por default" que aparece para el transistor *npn* y por medio de la opción de texto se captura el valor beta = 65 sobre la figura.

La operación de dc se verifica mediante la introducción de un medidor de dc sobre la terminal del emisor. Recuerde que para la respuesta de ac, el medidor de ac responderá con el valor efectivo de la señal de ac. El resultado es 0.708 V en la entrada de la señal pico de 1 V aplicada. La salida de 0.691 V da por resultado una ganancia de 691 mV/708 mV = 0.975 comparada con 0.973 del ejemplo 10.6. La ganancia de corriente es −315 μA/9.727 μA = −32.38 comparados con los −33.61 del ejemplo 10.6.

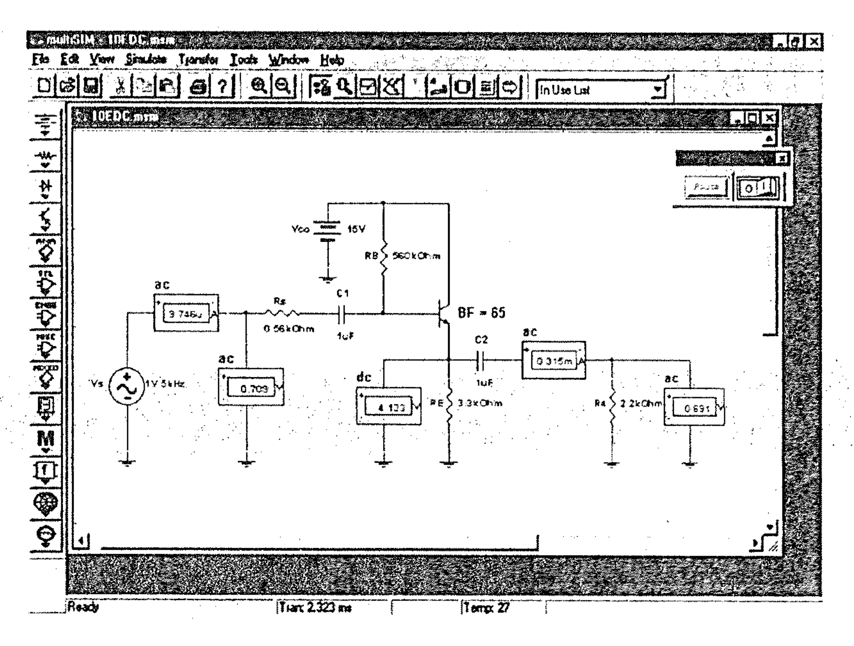


Figura 10.46 Circuito del ejemplo 10.6 mediante Electronics Workbench.

PROBLEMAS

§ 10.3 Efecto de una impedancia de carga (R_L)

1. Para la configuración de polarización fija de la figura 10.47:
   (a) Determine $A_{v_{NL}}$, Z_i y Z_o.
   (b) Dibuje el modelo de dos puertos de la figura 10.2 con los parámetros determinados en el inciso (*a*) colocados en su lugar.
   (c) Calcule la ganancia A_v mediante el modelo del inciso (*b*) y la ecuación 10.3.
   (d) Determine la ganancia de corriente mediante la ecuación 10.6.
   (e) Determine A_v, Z_i y Z_o utilizando el modelo r_e y compare con la solución de arriba.

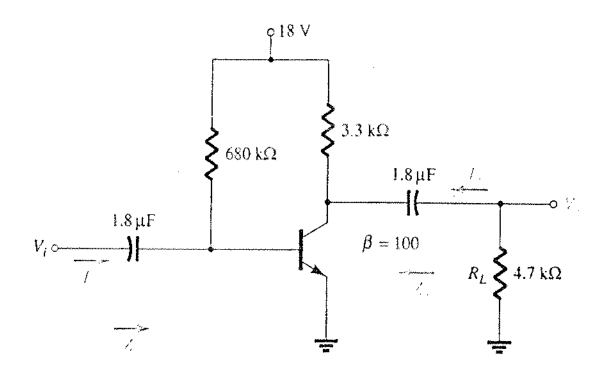


Figura 10.47 Problemas 1, 2 y 3.

* 2. (a) Dibuje las rectas de carga de dc y ac para la red de la figura 10.47 sobre las características de la figura 10.48.
   (b) Determine el valor pico a pico de I_C y V_{CE} a partir de la gráfica si V_i posee un valor pico de 10 mV. Determine la ganancia de voltaje $A_v = V_o/V_i$ y compare con la solución obtenida en el problema 1.

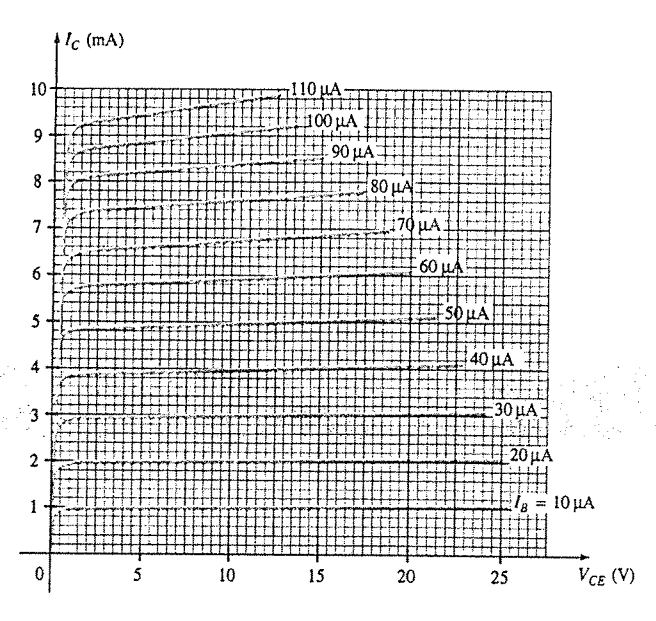


Figura 10.48 Problemas 2 y 7.

3. (a) Determine la ganancia de voltaje A_v para la red de la figura 10.47 cuando R_L = 4.7, 2.2 y 0.5 kΩ. ¿Cuál es el efecto sobre la ganancia de voltaje de disminuir los niveles de R_L?
   (b) ¿Cómo cambiarán Z_i, Z_o y $A_{v_{NL}}$ ante la disminución de valores de R_L?

§ 10.4 Efecto de una impedancia de la fuente (R_s)

* 4. Para la red de la figura 10.49:
   (a) Determine $A_{v_{NL}}$, Z_i y Z_o.
   (b) Dibuje el modelo de dos puertos de la figura 10.2 con los parámetros determinados en el inciso (*a*) colocados en su lugar.
   (c) Determine A_v mediante el resultado del inciso (*b*).
   (d) Determine A_{v_s}.
   (e) Determine A_{v_s} mediante el modelo r_e y compare con los resultados obtenidos en el inciso (*d*).
   (f) Modifique R_s a 1 kΩ y determine A_v. ¿Cómo cambia A_v con el nivel de R_s?
   (g) Modifique R_s a 1 kΩ y determine A_{v_s}. ¿Cómo cambia A_{v_s} con el nivel de R_s?
   (h) Modifique R_s a 1 kΩ y determine $A_{v_{NL}}$, Z_i y Z_o. ¿Cómo cambian éstos con el cambio en R_s?

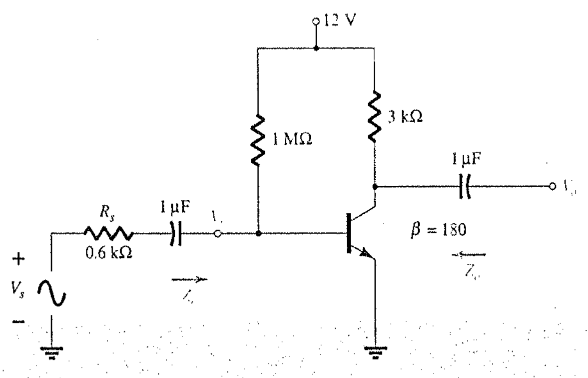


Figura 10.49 Problema 4.

§ 10.5 Efecto combinado de R_s y R_L

* 5. Para la red de la figura 10.50:
   (a) Determine $A_{v_{NL}}$, Z_i y Z_o.
   (b) Dibuje el modelo de dos puertos de la figura 10.2 con los parámetros determinados en el inciso (*a*) colocados en su lugar.
   (c) Determine A_v y A_{v_s}.
   (d) Calcule A_i.
   (e) Modifique R_L a 5.6 kΩ y calcule A_{v_s}. ¿Cuál es el efecto del crecimiento de los niveles de R_L sobre la ganancia?
   (f) Cambie R_s a 0.5 kΩ (con R_L en 2.7 kΩ) y comente sobre el efecto de reducir R_s sobre A_{v_s}.
   (g) Cambie R_L a 5.6 kΩ y R_s a 0.5 kΩ y determine los nuevos niveles de Z_i y de Z_o. ¿Cómo son afectados los parámetros de la impedancia por el cambio de nivel de R_L y R_s?

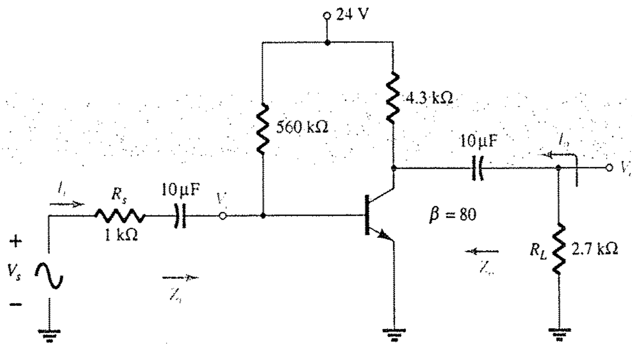


Figura 10.50 Problemas 5, 17 y 21.

§ 10.6 Redes BJT de emisor común

6. Para la configuración de divisor de voltaje de la figura 10.51:
   (a) Determine $A_{v_{NL}}$, Z_i y Z_o.
   (b) Dibuje el modelo de dos puertos de la figura 10.2 con los parámetros determinados en el inciso (*a*) colocados en su lugar.
   (c) Calcule la ganancia A_v utilizando el modelo del inciso (*b*).
   (d) Determine la ganancia de corriente A_i.
   (e) Determine A_v, Z_i y Z_o mediante el modelo r_e y compare las soluciones.

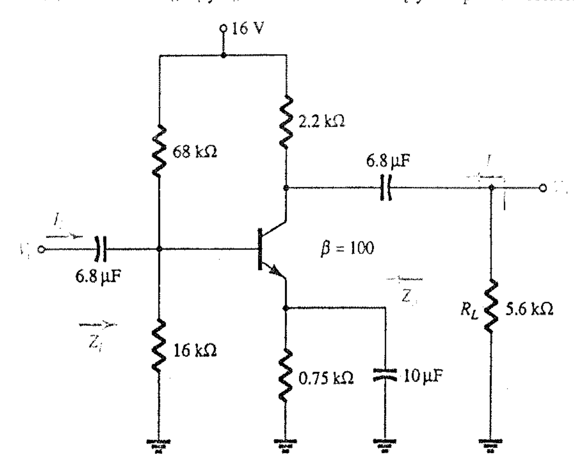


Figura 10.51 Problemas 6, 7 y 8.

*7. (a) Dibuje las rectas de carga de dc y ac para la red de la figura 10.51 sobre las características de la figura 10.48.
   (b) Determine el valor pico a pico de I_c y V_{ce} a partir de la gráfica si V_i posee un valor pico de 10 mV. Determine la ganancia de voltaje $A_v = V_o/V_i$ y compare con la solución obtenida en el problema 6.

8. (a) Determine la ganancia de voltaje A_v para la red de la figura 10.51 cuando R_L = 4.7, 2.2 y 0.5 kΩ. ¿Cuál es el efecto sobre la ganancia de voltaje de disminuir los niveles de R_L?
   (b) ¿Cómo cambiarán Z_i, Z_o y $A_{v_{NL}}$ ante la disminución de valores de R_L?

9. Para la red de emisor estabilizado de la figura 10.52:
   (a) Determine $A_{v_{NL}}$, Z_i y Z_o.
   (b) Dibuje el modelo de dos puertos de la figura 10.2 con los parámetros determinados en el inciso (*a*).
   (c) Determine A_v y A_{v_s}.
   (d) Modifique R_s a 1 kΩ. ¿Cuál es la diferencia sobre $A_{v_{NL}}$, Z_i y Z_o?
   (e) Modifique R_s a 1 kΩ y determine A_v y A_{v_s}. ¿Cuál es el efecto del crecimiento de nivel de R_s sobre A_v y A_{v_s}?

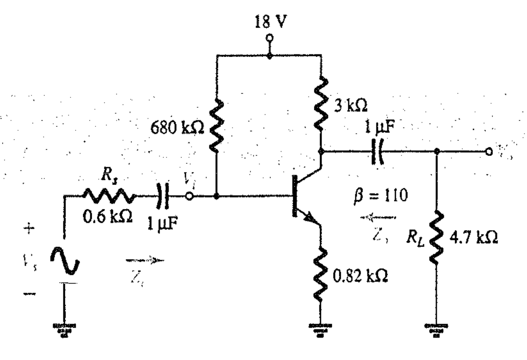


Figura 10.52 Problema 9.

§ 10.7 Redes emisor-seguidor de BJT

*10. Para la red de la figura 10.53:
   (a) Determine $A_{v_{NL}}$, Z_i y Z_o.
   (b) Dibuje el modelo de dos puertos de la figura 10.2 con los parámetros determinados en el inciso (*a*).
   (c) Determine A_v y A_{v_s}.
   (d) Modifique R_s a 1 kΩ y determine A_v y A_{v_s}. ¿Cuál es el efecto del crecimiento de niveles de R_s sobre las ganancias de voltaje?
   (e) Cambie R_s a 1 kΩ y determine $A_{v_{NL}}$, Z_i y Z_o. ¿Cuál es el efecto del crecimiento de niveles de R_s sobre los parámetros?
   (f) Cambie R_L a 5.6 kΩ y determine A_v y A_{v_s}. ¿Cuál es el efecto del crecimiento de niveles de R_L sobre las ganancias de voltaje? Mantenga R_s en su nivel original de 0.6 kΩ.

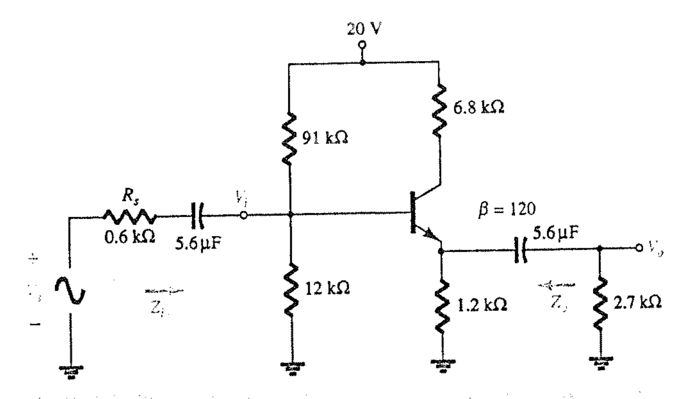


Figura 10.53 Problemas 10 y 18.

§ 10.8 Redes BJT de base común

*11. Para la red de base común de la figura 10.54:
   (a) Determine Z_i, Z_o y $A_{v_{NL}}$.
   (b) Dibuje el modelo de dos puertos de la figura 10.2 con los parámetros determinados en el inciso (*a*) colocados en su lugar.
   (c) Determine A_v y A_{v_s}.
   (d) Determine A_v y A_{v_s} utilizando el modelo r_e y compare con los resultados del inciso (*c*).
   (e) Modifique R_s a 0.5 kΩ y R_L a 2.2 kΩ y determine A_v y A_{v_s}. ¿Cuál es el efecto del crecimiento en los niveles de R_s y R_L sobre las ganancias de voltaje?
   (f) Determine Z_o si R_s se modifica a 0.5 kΩ con todos los demás parámetros como se muestran en la figura 10.54. ¿Cómo se afecta Z_o ante el cambio en los niveles de R_s?
   (g) Determine Z_i si R_L se reduce a 2.2 kΩ. ¿Cuál es el efecto del cambio en los niveles de R_L sobre la impedancia de entrada?

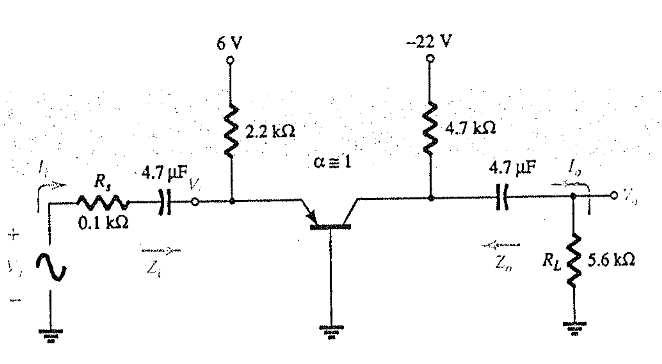


Figura 10.54 Problemas 11, 19 y 22.

§ 10.9 Redes FET

12. Para la red de autopolarización de la figura 10.55:

(a) Determine $A_{v_{NL}}$, Z_i y Z_o.

(b) Dibuje el modelo de dos puertos de la figura 10.2 con los parámetros determinados en el inciso (*a*) colocados en su lugar.

(c) Determine A_v y A_{v_s}.

(d) Modifique R_L a 6.8 kΩ y $R_{señal}$ a 1 kΩ y calcule los nuevos niveles de A_v y A_{v_s}. ¿Cómo se afectan las ganancias de voltaje por cambios en $R_{señal}$ y R_L?

(e) Para los mismos cambios del inciso (*d*), determine Z_i y Z_o. ¿Cuál fue el impacto sobre ambas impedancias?

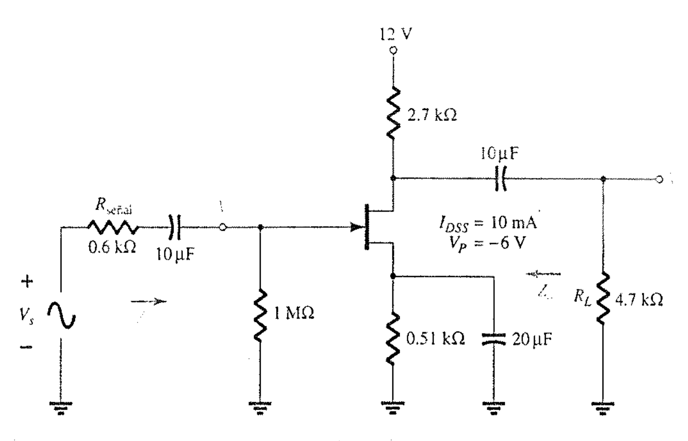


Figura 10.55 Problema 12 y 20.

13. Para la red fuente-seguidor de la figura 10.56:

(a) Determine $A_{v_{NL}}$, Z_i y Z_o.

(b) Dibuje el modelo de dos puertos de la figura 10.2 con los parámetros determinados en el inciso (*a*) colocados en su lugar.

(c) Determine A_v y A_{v_s}.

(d) Modifique R_L a 4.7 kΩ y calcule A_v y A_{v_s}. ¿Cuál fue el efecto de niveles crecientes de R_L sobre ambas ganancias?

(e) Modifique $R_{señal}$ a 1 kΩ (con R_L en 2.2 kΩ) y calcule A_v y A_{v_s}. ¿Cuál fue el efecto de niveles crecientes de $R_{señal}$ sobre ambas ganancias de voltaje?

(f) Modifique R_L a 4.7 kΩ y $R_{señal}$ a 1 kΩ y calcule Z_i y Z_o. ¿Cuál fue el efecto sobre ambos parámetros?

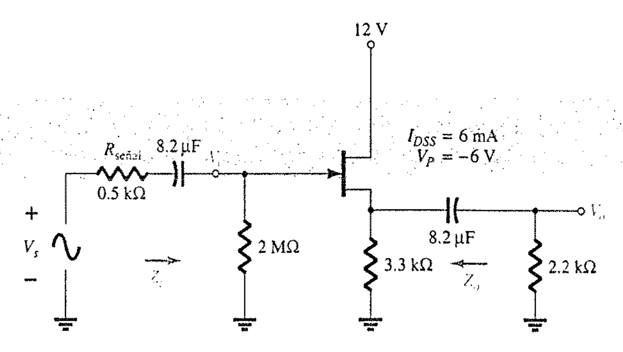


Figura 10.56 Problema 13.

***14.** Para la configuración de compuerta común de la figura 10.57:

(a) Determine $A_{v_{NL}}$, Z_i y Z_o.

(b) Dibuje el modelo de dos puertos de la figura 10.2 con los parámetros determinados en el inciso (*a*) colocados en su lugar.

(c) Determine A_v y A_{v_s}.

(d) Modifique R_L a 2.2 kΩ y calcule A_v y A_{v_s}. ¿Cuál fue el efecto de modificar R_L sobre las ganancias de voltaje?

(e) Modifique $R_{señal}$ a 0.5 kΩ (con R_L en 4.7 kΩ) y calcule A_v y A_{v_s}. ¿Cuál fue el efecto de modificar de $R_{señal}$ sobre las ganancias de voltaje?

(f) Modifique R_L a 2.2 kΩ y $R_{señal}$ a 0.5 kΩ y calcule Z_i y Z_o. ¿Cuál fue el efecto sobre ambos parámetros?

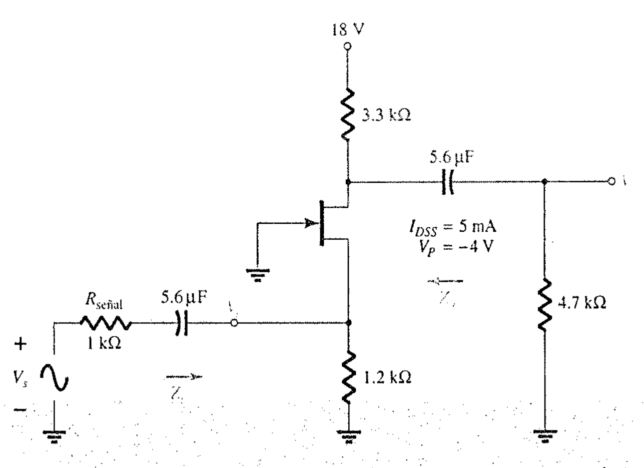


Figura 10.57 Problema 14.

§ 10.11 Sistemas en cascada

***15.** Para el sistema en cascada de la figura 10.58 con dos etapas idénticas, determine:

(a) La ganancia de voltaje con carga de cada etapa.

(b) La ganancia total del sistema, A_v y A_{v_s}.

(c) La ganancia de corriente con carga para cada etapa.

(d) La ganancia de corriente total del sistema.

(e) Cómo se afecta Z_i por la segunda etapa y por R_L.

(f) Cómo se afecta Z_o por la primera etapa y por R_s.

(g) La relación de la fase entre V_o y V_i.

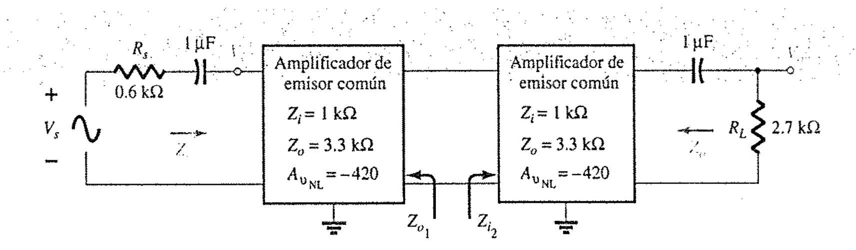


Figura 10.58 Problema 15.

* 16. Para el sistema en cascada de la figura 10.59, determine:
(a) La ganancia de voltaje con carga de cada etapa.
(b) La ganancia total del sistema, A_v y A_{v_s}.
(c) La ganancia de corriente con carga para cada etapa.
(d) La ganancia de corriente total del sistema.
(e) Cómo se afecta Z_i por la segunda etapa y por R_L.
(f) Cómo se afecta Z_o por la primera etapa y por R_s.
(g) La relación de la fase entre V_o y V_i.

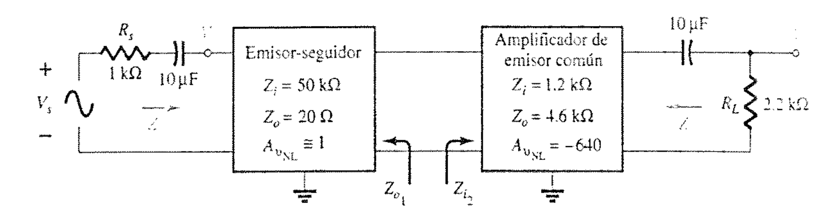


Figura 10.59 Problema 16.

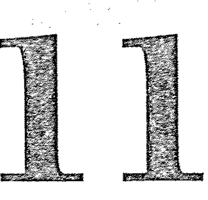
§ 10.13 Análisis por computadora

17. Mediante el uso de PSpice para Windows, determine el nivel de V_o cuando V_s = 1 mV para la red de la figura 10.50. Para los elementos capacitivos suponga una frecuencia de 1 kHz.
18. Repita el problema 17 para la red de la figura 10.53 y compare los resultados con los del problema 10.
19. Repita el problema 17 para la red de la figura 10.54 y compare con los resultados del problema 11.
20. Repita el problema 17 para la red de la figura 10.55 y compare con los resultados del problema 12.
21. Repita el problema 17 mediante Electronics Workbench.
22. Repita el problema 19 mediante Electronics Workbench.

*Observar: Los asteriscos indican problemas con mayor dificultad.

CAPÍTULO

Respuesta a la frecuencia de transistores BJT y JFET



11.1 INTRODUCCIÓN

El análisis hasta el momento se ha limitado a una frecuencia particular. Para el caso del amplificador, se trata de una frecuencia que, por lo regular, permite ignorar los efectos de los elementos capacitivos, con lo que se reduce el análisis a uno que solamente incluye elementos resistivos y fuentes independientes o controladas. Ahora, se revisarán los efectos de la frecuencia presentados por los elementos capacitivos mayores de la red en bajas frecuencias y por los elementos capacitivos menores del dispositivo activo en las altas frecuencias. Debido a que el análisis se extenderá a lo largo de un intervalo amplio de frecuencias, se define y se emplea la escala logarítmica a lo largo del análisis. Asimismo, debido a que en la industria se emplea por lo regular una escala de decibeles en las gráficas de frecuencia, se presentará el concepto de decibel con cierto detalle. Las similitudes entre los análisis de respuesta a la frecuencia tanto para los BJTs como para los FETs, permiten una cobertura de cada uno en el mismo capítulo.

11.2 LOGARITMOS

En esta disciplina, no se puede escapar a la necesidad de contar con habilidad para la función logarítmica. La graficación de una variable con límites extensos, la comparación de niveles sin cifras difíciles de manejar y la identificación de niveles de particular importancia para el proceso de diseño, revisión y análisis, son características positivas del uso de la función logarítmica.

Como un primer paso para dar claridad a la relación entre las variables de la función logarítmica, considere las siguientes ecuaciones matemáticas:

$$\boxed{a = b^x, \qquad x = \log_b a} \tag{11.1}$$

Las variables a, b y x son las mismas en cada ecuación. Si a se determina al elevar la base b a la potencia x, la misma x se obtendrá si se toma el logaritmo base b de a. Por ejemplo, si b = 10 y x = 2,

$$a = b^x = (10)^2 = 100$$

pero

$$x = \log_b a = \log_{10} 100 = 2$$

En otras palabras, si se requiere calcular la potencia de un número que da por resultado un nivel particular como el que se muestra a continuación:

$$10{,}000 = 10^x$$

el nivel de x se podría determinar mediante logaritmos. Es decir,

$$x = \log_{10} 10{,}000 = 4$$

En la industria eléctrica/electrónica y de hecho en la mayor parte de la investigación científica, la base en la ecuación logarítmica se limita a 10 y al número $e = 2.71828\ldots$

Los logaritmos que se toman con la base 10 se denominan *logaritmos comunes*, mientras que los logaritmos tomados con la base e se denominan *logaritmos naturales*. En resumen:

$$\boxed{\text{Logaritmo común:} \quad x = \log_{10} a} \tag{11.2}$$

$$\boxed{\text{Logaritmo natural:} \quad y = \log_e a} \tag{11.3}$$

Ambos se encuentran relacionados mediante

$$\boxed{\log_e a = 2.3 \log_{10} a} \tag{11.4}$$

En las calculadoras científicas actuales, el logaritmo común se denota por lo general con la tecla [log] y el logaritmo natural por la tecla [ln].

EJEMPLO 11.1

Mediante el uso de una calculadora, determine el logaritmo de los siguientes números con la base indicada.

(a) $\log_{10} 10^6$.
(b) $\log_e e^3$.
(c) $\log_{10} 10^{-2}$.
(d) $\log_e e^{-1}$.

Solución

(a) **6** (b) **3** (c) **−2** (d) **−1**

Los resultados del ejemplo 11.1 muestran con claridad que el logaritmo de un número elevado a una potencia es simplemente la potencia del número, si el número coincide con la base del logaritmo. En el siguiente ejemplo, la base y la variable x no se encuentran relacionadas por una potencia entera de la base.

EJEMPLO 11.2

Mediante el uso de la calculadora, determine el logaritmo de los siguientes números.

(a) $\log_{10} 64$.
(b) $\log_e 64$.
(c) $\log_{10} 1600$.
(d) $\log_{10} 8000$.

Solución

(a) **1.806** (b) **4.159** (c) **3.204** (d) **3.903**

Observe en los incisos (*a*) y (*b*) del ejemplo 11.2 que los logaritmos $\log_{10} a$ y $\log_e a$ en efecto se encuentran relacionados por la ecuación 11.4. Además observe, que el logaritmo de un número no se incrementa de la misma forma lineal que el número. Es decir, 8000 es 125 veces mayor que 64, pero el logaritmo de 8000 es solamente 2.16 veces mayor que la magnitud del logaritmo de 64, lo cual muestra una relación nada lineal. De hecho, la tabla 11.1 muestra de forma clara la forma en que el logaritmo de un número se incrementa sólo a medida que el exponente lo hace. Si se desea el antilogaritmo de un número, se emplean las funciones de la calculadora 10^x y e^x.

TABLA 11.1

$\log_{10} 10^0$	= 0
$\log_{10} 10$	= 1
$\log_{10} 100$	= 2
$\log_{10} 1.000$	= 3
$\log_{10} 10.000$	= 4
$\log_{10} 100.000$	= 5
$\log_{10} 1,000,000$	= 6
$\log_{10} 10.000,000$	= 7
$\log_{10} 100.000,000$	= 8
y así sucesivamente	

EJEMPLO 11.3

Mediante el uso de una calculadora, determine el antilogaritmo de las siguientes expresiones:

(a) $1.6 = \log_{10} a$.
(b) $0.04 = \log_e a$.

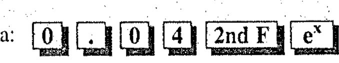
Solución

(a) $a = 10^{1.6}$

Teclas de la calculadora: [1] [.] [6] [2nd F] [10^x]

y a = **39.81**

(b) $a = e^{0.04}$

Teclas de la calculadora: 

y a = **1.0408**

Debido a que el análisis restante de este capítulo utiliza el logaritmo común, se revisarán ahora algunas propiedades de los logaritmos mediante el empleo de únicamente el logaritmo común. Sin embargo, en general, las mismas relaciones son válidas para los logaritmos de cualquier base.

$$\boxed{\log_{10} 1 = 0} \tag{11.5}$$

como lo demuestra la tabla 11.1 claramente, debido a que $10^0 = 1$,

$$\boxed{\log_{10} \frac{a}{b} = \log_{10} a - \log_{10} b} \tag{11.6}$$

la cual, para el caso especial de $a = 1$ se convierte en

$$\boxed{\log_{10} \frac{1}{b} = -\log_{10} b} \tag{11.7}$$

con lo que se demuestra que para cualquier b mayor que 1, el logaritmo de un número menor a 1 es siempre negativo.

$$\boxed{\log_{10} ab = \log_{10} a + \log_{10} b} \tag{11.8}$$

En cada caso, las ecuaciones que utilizan logaritmos naturales tendrán el mismo formato.

EJEMPLO 11.4 Mediante el uso de una calculadora, determine el logaritmo de los siguientes números:

(a) $\log_{10} 0.5$.

(b) $\log_{10} \dfrac{4000}{250}$.

(c) $\log_{10} (0.6 \times 30)$.

Solución

(a) $\mathbf{-0.3}$

(b) $\log_{10} 4000 - \log_{10} 250 = 3.602 - 2.398 = \mathbf{1.204}$

$$\text{Verificación: } \log_{10} \frac{4000}{250} = \log_{10} 16 = \mathbf{1.204}$$

(c) $\log_{10} 0.6 + \log_{10} 30 = -0.2218 + 1.477 = \mathbf{1.255}$

$$\text{Verificación: } \log_{10} (0.6 \times 30) = \log_{10} 18 = \mathbf{1.255}$$

La utilización de escalas logarítmicas puede expandir de forma importante el rango de variación de una variable particular sobre una gráfica. La mayor parte del papel para gráficas disponible es del tipo semilogarítmico o doble logarítmico (log-log). El término *semi* (que significa la mitad) indica que sólo una de las dos escalas es una escala logarítmica, mientras que el doble logarítmico indica que ambas escalas son escalas logarítmicas. En la figura 11.1 se presenta una escala semilogarítmica. Observe que la escala vertical es una escala lineal con divisiones iguales. El espaciado entre las líneas del esquema logarítmico se muestra en la gráfica.

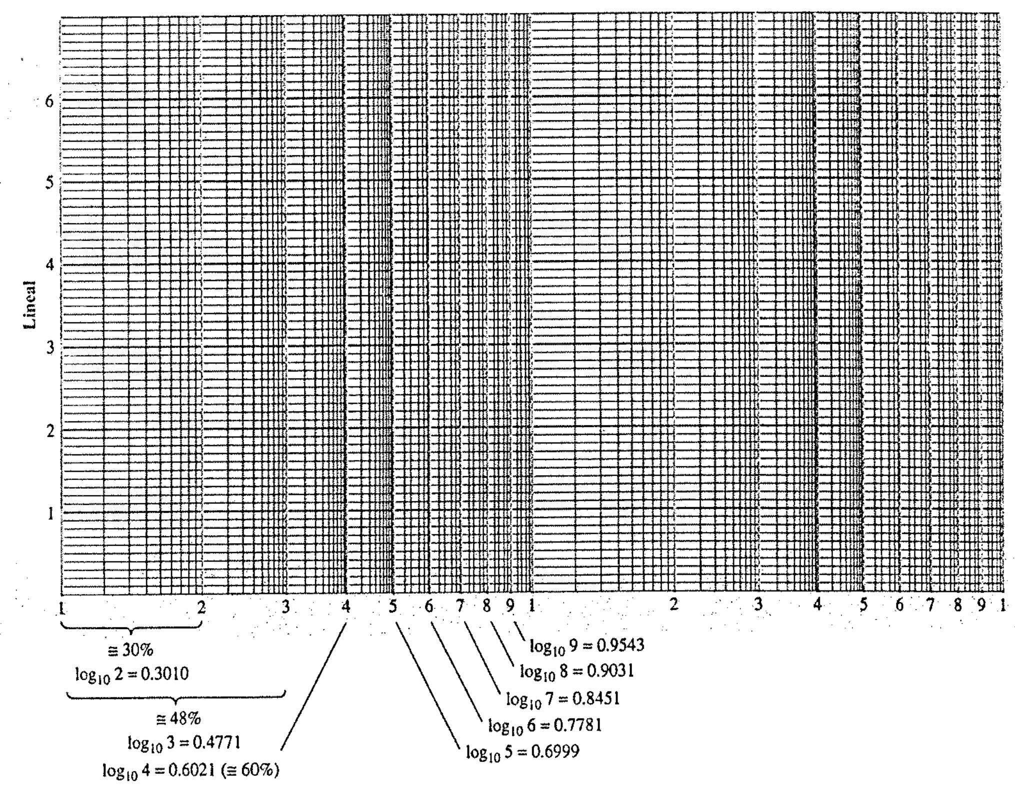


Figura 11.1 Papel para gráfica semilogarítmica.

El logaritmo de 2 en base 10 es aproximadamente 0.3. La distancia de 1 ($\log_{10} 1 = 0$) a 2 es, por tanto, 30% del intervalo. El logaritmo de 3 en base 10 es 0.4771, o casi 48% del intervalo (casi la mitad de la distancia entre los incrementos de potencia de 10 sobre la escala logarítmica). Ya que $\log_{10} 5 \cong 0.7$, éste se marca en un punto a 70% de la distancia. Observe que entre dos dígitos cualquiera existe la misma compresión de las líneas a medida que se avanza de izquierda a derecha. Es importante observar el valor numérico que se obtiene como resultado así como el espaciado, debido a que las gráficas, por lo general, sólo cuentan con las marcas que se indican en la figura 11.2 como consecuencia de la falta de espacio. Es importante darse cuenta que las barras más largas de esta figura corresponden con los valores numéricos de 0.3, 3 y 30, mientras que las siguientes barras en longitud tienen los valores de 0.5, 5 y 50 y las más cortas son para 0.7, 7 y 70.

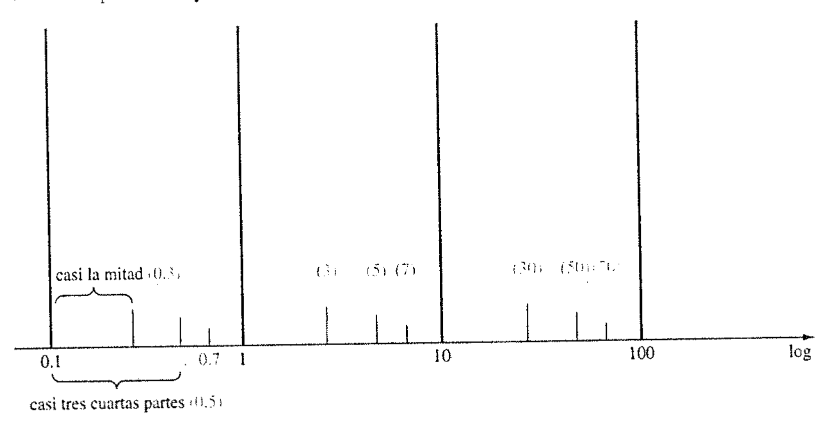


Figura 11.2 Identificación de los valores numéricos de las marcas sobre una escala logarítmica.

Hay que tener presente que la graficación de una función sobre una escala logarítmica puede cambiar la apariencia general de la forma de onda en comparación con la gráfica sobre una escala lineal. Una gráfica de una línea recta sobre una escala lineal puede desarrollar una curva sobre una escala logarítmica, y una gráfica no lineal sobre una escala lineal puede tomar la apariencia de una línea recta sobre una escala logarítmica. Lo importante es que los resultados obtenidos en cada nivel sean identificados correctamente mediante el desarrollo de una familiaridad con el espaciado de las figuras 11.1 y 11.2. Esto es particularmente cierto para algunas de las gráficas de doble logaritmo, log-log, que aparecen posteriormente en el libro.

11.3 DECIBELES

El concepto de decibel (dB) y sus cálculos asociados, cada vez tendrán más importancia en las secciones restantes de este capítulo. El antecedente que rodea al término *decibel* tiene su origen en el hecho consolidado de que los niveles de potencia y de audio se relacionan sobre una base logarítmica. Es decir, un incremento en el nivel de potencia, digamos de 4 a 16 W, no da como resultado un incremento en el nivel de audio de un factor de 16/4 = 4, sino que se incrementará por un factor de 2, como se deduce de la exponenciación de 4 de la siguiente forma: $(4)^2 = 16$. Para un cambio de 4 a 64 W, el nivel de audio se incrementará por un factor de 3 ya que $(4)^3 = 64$. En forma logarítmica, la relación puede escribirse como $\log_4 64 = 3$.

El término *bel* se derivó del apellido de Alexander Graham Bell. Para propósitos de estandarización, el bel (B) se definió mediante la siguiente ecuación que relaciona los niveles de potencia P_1 y P_2:

$$\boxed{G = \log_{10} \frac{P_2}{P_1}} \quad \text{bel} \qquad (11.9)$$

Sin embargo, se encontró que el bel era una unidad de medida demasiado grande para propósitos prácticos, por lo que se definió el decibel (dB) de tal forma que 10 decibeles = 1 bel. Por tanto,

$$G_{dB} = 10 \log_{10} \frac{P_2}{P_1} \quad \text{dB} \qquad (11.10)$$

La clasificación nominal de equipo de comunicaciones electrónicas (amplificadores, micrófonos, etcétera) por lo general se mide en decibeles. Sin embargo, la ecuación 11.10 indica claramente, que la medición en decibeles es una medida de la diferencia en magnitud entre *dos* niveles de potencia. Para una potencia terminal (salida) específica (P_2) debe existir un nivel de potencia (P_1) de referencia. El nivel de referencia aceptado por lo general es 1 mW, aunque en ocasiones se aplica el estándar de 6 mW de años anteriores. La resistencia que se asocia con el nivel de potencia de 1 mW es de 600 Ω, seleccionada debido a que ésta es la impedancia característica de las líneas de transmisión de audio. Cuando el nivel de 1 mW se utiliza como el nivel de referencia, se presenta con frecuencia el símbolo del decibel como dBm. En forma de ecuación,

$$G_{dBm} = 10 \log_{10} \frac{P_2}{1\text{ mW}}\bigg|_{600\,\Omega} \quad \text{dBm} \qquad (11.11)$$

Existe una segunda ecuación para los decibeles que con frecuencia se emplea, la cual puede describirse mejor mediante el sistema de la figura 11.3. Cuando V_i es igual a cierto valor V_1, $P_1 = V_1^2/R_i$, donde R_i es la resistencia de entrada del sistema de la figura 11.3. Si V_i se incrementa (o decrementa) a un nivel V_2, entonces $P_2 = V_2^2/R_i$. Si se sustituye en la ecuación 11.10 para determinar la diferencia resultante en decibeles entre los niveles de potencia,

$$G_{dB} = 10 \log_{10} \frac{P_2}{P_1} = 10 \log_{10} \frac{V_2^2/R_i}{V_1^2/R_i} = 10 \log_{10}\left(\frac{V_2}{V_1}\right)^2$$

y

$$G_{dB} = 20 \log_{10} \frac{V_2}{V_1} \quad \text{dB} \qquad (11.12)$$

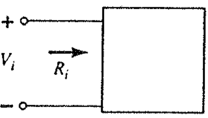


Figura 11.3 Configuración empleada en el análisis de la ecuación 11.12.

Con frecuencia, se ignora el efecto de impedancias distintas ($R_1 \neq R_2$) y se aplica la ecuación 11.12 simplemente para establecer una base de comparación entre los niveles de voltaje o de corriente. Para situaciones de este tipo, la ganancia en decibel deberá denominarse de forma más correcta como la ganancia de voltaje o de corriente en decibeles, para diferenciarla del uso común del decibel según se aplica a niveles de potencia.

Una de las ventajas de la relación logarítmica es la forma en la que se puede aplicar a etapas en cascadas. Por ejemplo, la magnitud de la ganancia total de voltaje de un sistema en cascada está dada por

$$|A_{v_T}| = |A_{v_1}||A_{v_2}||A_{v_3}|\cdots|A_{v_n}| \qquad (11.13)$$

Al aplicar la relación logarítmica adecuada se obtiene

$$G_v = 20 \log_{10} |A_{v_T}| = 20 \log_{10} |A_{v_1}| + 20 \log_{10} |A_{v_2}| + 20 \log_{10} |A_{v_3}| + \cdots + 20 \log_{10} |A_{v_n}| \quad \text{(dB)} \qquad (11.14)$$

Con palabras, la ecuación establece que la ganancia en decibel de un sistema en cascada es simplemente la suma de las ganancias en decibel de cada etapa, es decir,

$$G_{dB_T} = G_{dB_1} + G_{dB_2} + G_{dB_3} + \cdots + G_{dB_n} \quad \text{dB} \qquad (11.15)$$

En un esfuerzo por desarrollar una asociación entre los niveles dB y las ganancias de voltaje, se desarrolló la tabla 11.2. Observe primero que una ganancia de 2 da por resultado un nivel dB de +6 dB mientras que una caída de $\frac{1}{2}$ ocasiona un nivel de −6 dB. Una modificación en V_o/V_i de 1 a 10, de 10 a 100 o de 100 a 1000 ocasiona el mismo cambio de nivel de 20 dB. Cuando $V_o = V_i$, $V_o/V_i = 1$ y el nivel de dB es 0. Para una muy alta ganancia de 1000, el nivel de dB es 60, mientras que para una ganancia mucho mayor de 10,000, el nivel dB es de 80 dB, un incremento de sólo 20 dB, resultado de la relación logarítmica. La tabla 11.2 muestra claramente que las ganancias de voltaje de 50 dB o superiores deberán identificarse inmediatamente como demasiado altas.

TABLA 11.2

Ganancia de voltaje V_o/V_i	Nivel dB
0.5	−6
0.707	−3
1	0
2	6
10	20
40	32
100	40
1000	60
10,000	80
etc.	

EJEMPLO 11.5

Calcule la magnitud de la ganancia correspondiente con una ganancia de decibel de 100.

Solución

Por la ecuación 11.10,

$$G_{dB} = 10 \log_{10} \frac{P_2}{P_1} = 100 \text{ dB} \rightarrow \log_{10} \frac{P_2}{P_1} = 10$$

de forma que

$$\frac{P_2}{P_1} = \mathbf{10^{10} = 10{,}000{,}000{,}000}$$

Este ejemplo claramente demuestra el rango de valores de decibel que deben esperarse para dispositivos reales. Con certeza, un cálculo futuro que dé por resultado un nivel de decibel cercano a 100 deberá ser cuestionado de inmediato.

EJEMPLO 11.6

La potencia de entrada de un dispositivo es de 10,000 W para un voltaje de 1000 V. La potencia de salida es de 500 W, mientras que la impedancia de salida es de 20 Ω.
(a) Encuentre la ganancia de potencia en decibeles.
(b) Encuentre la ganancia de voltaje en decibeles.
(c) Explique por qué los incisos (*a*) y (*b*) coinciden o no.

Solución

(a) $$G_{dB} = 10 \log_{10} \frac{P_o}{P_i} = 10 \log_{10} \frac{500\text{ W}}{10\text{ kW}} = 10 \log_{10} \frac{1}{20} = -10 \log_{10} 20 = -10(1.301) = \mathbf{-13.01\ dB}$$

(b) $$G_v = 20 \log_{10} \frac{V_o}{V_i} = 20 \log_{10} \frac{\sqrt{PR}}{1000} = 20 \log_{10} \frac{\sqrt{(500\text{ W})(20\,\Omega)}}{1000\text{ V}} = 20 \log_{10} \frac{100}{1000} = 20 \log_{10} \frac{1}{10} = -20 \log_{10} 10 = \mathbf{-20\ dB}$$

(c) $$R_i = \frac{V_i^2}{P_i} = \frac{(1\text{ kV})^2}{10\text{ kW}} = \frac{10^6}{10^4} = \mathbf{100\ \Omega \neq R_o = 20\ \Omega}$$

EJEMPLO 11.7 Un amplificador con una salida nominal de 40 W se conecta con una bocina de 10 Ω.

(a) Calcule la potencia de entrada requerida para lograr la potencia de salida total si la ganancia de potencia es de 25 dB.

(b) Calcule el voltaje de entrada para la salida especificada si la ganancia de voltaje del amplificador es de 40 dB.

Solución

(a) Ecuación 11.10: $25 = 10 \log_{10} \dfrac{40\text{ W}}{P_i} \Rightarrow P_i = \dfrac{40\text{ W}}{\text{antilogaritmo}\,(2.5)} = \dfrac{40\text{ W}}{3.16 \times 10^2}$

$$= \frac{40\text{ W}}{316} \cong \mathbf{126.5\ mW}$$

(b) $G_v = 20 \log_{10} \dfrac{V_o}{V_i} \Rightarrow 40 = 20 \log_{10} \dfrac{V_o}{V_i}$

$$\frac{V_o}{V_i} = \text{antilogaritmo } 2 = 100$$

$$V_o = \sqrt{PR} = \sqrt{(40\text{ W})(10\text{ V})} = 20\text{ V}$$

$$V_i = \frac{V_o}{100} = \frac{20\text{ V}}{100} = 0.2\text{ V} = \mathbf{200\ mV}$$

Mathcad

Existen muchas formas para obtener el logaritmo de un número de una expresión mediante el uso de Mathcad. La forma más directa es simplemente teclear **log( )**, insertar la cantidad de interés dentro de los paréntesis y luego seleccionar el signo de igualdad. El resultado aparecerá de forma inmediata.

Otro método es mediante el empleo de la secuencia **View-Toolbars-Calculator**, y la calculadora con todas sus opciones se presentará en la pantalla. Al seleccionar **log** se presentará **log( )** con una solicitud de la cantidad que va entre paréntesis.

Por último, la secuencia **Insert-Function** dará como resultado el cuadro de diálogo para insertar una función sobre el cual es posible seleccionar **Log and Exponential** debajo de **Function Category** y **Log** debajo de **Function Name**.

Para el ejemplo 11.6, el inciso (*a*) aparecerá como se muestra en la figura 11.4. En el ejemplo 11.7, se requiere el antilogaritmo en el inciso (*b*). Tenga presente que si $x = \log_b{}^a$, entonces $a = b^x$, es posible insertar $b = 10$ y $x = 2$ en la ecuación $a = 10^2 = 100$ como se muestra en la figura 11.4. Para obtener el exponencial de un número mediante el empleo de Mathcad, simplemente utilice las teclas **Shift + ^** e inserte la potencia seguida por un signo de igual.

$$10\cdot\log\left(\frac{500}{1\cdot 10^4}\right) = -13.01$$

$$10^2 = 100$$

Figura 11.4 Ejemplo 11.6 inciso (a), mediante Mathcad.

11.4 CONSIDERACIONES GENERALES SOBRE LA FRECUENCIA

La frecuencia de la señal aplicada puede tener un marcado efecto sobre la respuesta de la red de etapa sencilla o de multietapas. El análisis hasta ahora ha sido para el espectro de frecuencias medias. Para bajas frecuencias, veremos que los capacitores de acoplamiento y de desvío

ya no se pueden reemplazar por la aproximación de corto circuito para la señal debido al incremento en la reactancia de estos elementos. Los parámetros dependientes de la frecuencia para los circuitos equivalentes de pequeña señal y los elementos capacitivos parásitos asociados con el dispositivo activo y con la red, limitarán la respuesta de alta frecuencia del sistema. El incremento en el número de etapas de un sistema en cascada también limitará las respuestas de las altas y bajas frecuencias.

Las magnitudes de las curvas de respuesta de ganancia de un sistema amplificador con acoplamiento *RC*, acoplado directamente y acoplado por transformador, se proporcionan en la figura 11.5. Observe que la escala horizontal es una escala logarítmica que permite una gráfica que se extiende desde las regiones de bajas frecuencias hasta las de altas frecuencias. Para cada gráfica, se define una región de frecuencia alta, media y baja. Además, se indican entre paréntesis las razones principales de la caída de la ganancia en baja y alta frecuencia. Para el amplificador con acoplamiento *RC*, la caída a bajas frecuencias se debe a la creciente reactancia de C_C, C_s o C_E, mientras que su frecuencia superior limitante está determinada por los elementos capacitivos parásitos de la red o por la dependencia de la ganancia a la frecuencia del dispositivo activo. Para explicar la caída de la ganancia del sistema acoplado por transformador se requiere de un conocimiento básico de la "acción de transformador" y del circuito equivalente de transformador. Por el momento, digamos que simplemente se debe al "efecto de corto" (a través de las terminales de entrada del transformador) de la reactancia inductiva de magnetización a bajas frecuencias ($X_L = 2\pi fL$). La ganancia obviamente debe ser cero cuando $f = 0$ de-

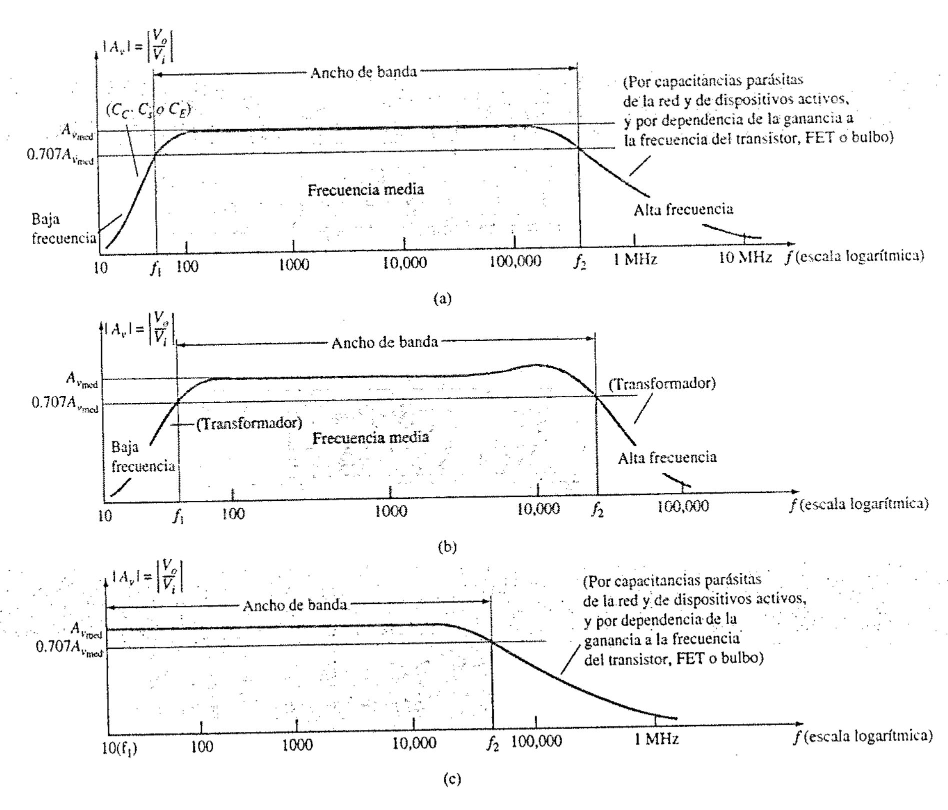


Figura 11.5 Ganancia en función de la frecuencia: (a) amplificadores con acoplamiento *RC*; (b) amplificadores acoplados por transformador; (c) amplificadores de acoplamiento directo.

bido a que en este punto ya no existe un flujo cambiante establecido a través del núcleo que induzca un secundario o voltaje de salida. Como se indica en la figura 11.5, la respuesta de alta frecuencia la controla principalmente la capacitancia parásita entre las vueltas del devanado primario y del secundario. Para el amplificador con acoplamiento directo, no existe un capacitor de acoplamiento o de desvío que ocasione una caída de la ganancia para bajas frecuencias. Como la figura lo indica, se trata de una respuesta plana hasta la frecuencia superior de corte, la cual está determinada ya sea por las capacitancias parásitas del circuito o por la dependencia de la ganancia a la frecuencia del dispositivo activo.

Para cada sistema de la figura 11.5, existe una banda de frecuencias en la que la magnitud de la ganancia es igual o relativamente cercana al valor de la banda media. Para fijar las fronteras de frecuencia a una ganancia relativamente alta, se seleccionó $0.707A_{v_{med}}$ como la ganancia para los niveles de corte. Las frecuencias correspondientes f_1 y f_2 son, por lo general, denominadas como *frecuencias de esquina, de corte, de banda, de ruptura* o *de media potencia* (*HPF* del inglés *Half-Power Frequencies*). El multiplicador 0.707 se seleccionó porque en este nivel, la potencia de salida es la mitad de la potencia de salida de la banda media, es decir, a frecuencias medias,

$$P_{o_{med}} = \frac{|V_o^2|}{R_o} = \frac{|A_{v_{med}}V_i|^2}{R_o}$$

para las frecuencias de media potencia,

$$P_{o_{HPF}} = \frac{|0.707\,A_{v_{med}}V_i|^2}{R_o} = 0.5\,\frac{|A_{v_{med}}V_i|^2}{R_o}$$

y

$$\boxed{P_{o_{HPF}} = 0.5\,P_{o_{med}}} \tag{11.16}$$

El ancho de banda (o banda de paso) de cada sistema está determinado por f_1 y f_2, es decir,

$$\boxed{\text{ancho de banda (BW)} = f_2 - f_1} \tag{11.17}$$

Para aplicaciones de comunicaciones (audio, vídeo), es más útil una gráfica en decibeles de la ganancia de voltaje en función de la frecuencia que la que aparece en la figura 11.5. Sin embargo, antes de obtener la gráfica logarítmica, la curva por lo general se normaliza como se aprecia en la figura 11.6. En esta figura, la ganancia para cada frecuencia se encuentra dividida por el valor de banda media. Obviamente, el valor de banda media es entonces de 1 como se indica. Para las frecuencias de media potencia, el nivel resultante es $0.707 = 1/\sqrt{2}$. Ahora es posible obtener una gráfica de decibel mediante la aplicación de la ecuación 11.12 de la siguiente forma:

$$\boxed{\left.\frac{A_v}{A_{v_{med}}}\right|_{dB} = 20\log_{10}\frac{A_v}{A_{v_{med}}}} \tag{11.18}$$

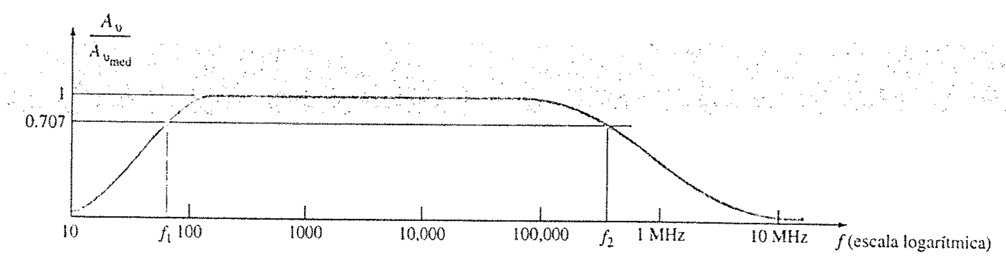


Figura 11.6 Gráfica de ganancia normalizada en función de la frecuencia.

Para frecuencias de banda media, $20\log_{10}1 = 0$ y para las frecuencias de corte, $20\log_{10}1/\sqrt{2} = -3$ dB. Ambos valores se indican de forma clara en la gráfica de decibel resultante de la figura 11.7. Mientras menor sea la relación de la fracción, más negativo será el nivel de decibel.

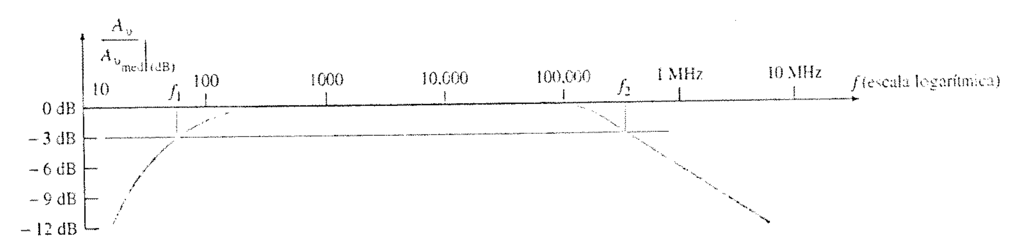


Figura 11.7 Gráfica de decibel de la ganancia normalizada en función de la gráfica de frecuencia de la figura 11.6.

Para la mayor parte del análisis que sigue, se efectuará una gráfica de decibel sólo para las regiones de baja y alta frecuencia. Por tanto, tenga en mente la figura 11.7 para permitir una visualización de la respuesta amplia del sistema.

Debe entenderse que la mayoría de los amplificadores introducen un desplazamiento de fase de 180° entre la señal de entrada y la de salida. Este hecho se amplía para indicar que este caso sólo ocurre para la región de banda media. Para bajas frecuencias, existe un desplazamiento de fase tal que V_o desfasa a V_i por un ángulo mayor. Para altas frecuencias, el desplazamiento de fase cae por debajo de 180°. La figura 11.8 es una gráfica de fase estándar para un amplificador con acoplamiento *RC*.

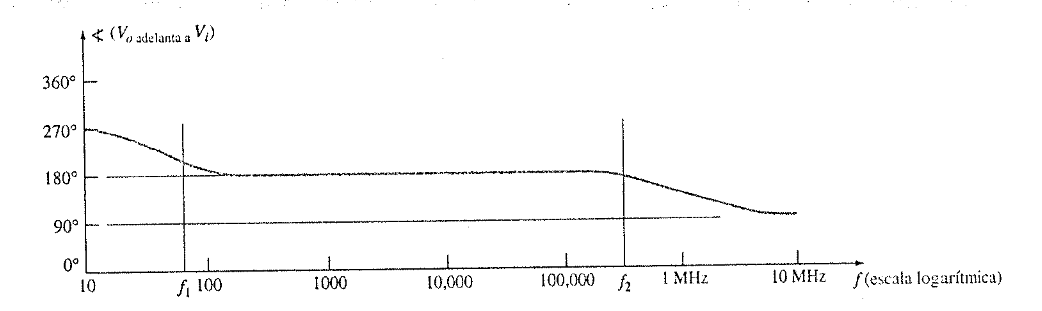


Figura 11.8 Gráfica de fase para un sistema amplificador con acoplamiento *RC*.

11.5 ANÁLISIS DE BAJA FRECUENCIA: GRÁFICA DE BODE

En la región de baja frecuencia del amplificador de una sola etapa BJT o FET, las combinaciones *R-C* formadas por los capacitores de la red C_C, C_E y C_s y por los parámetros resistivos de la red determinan las frecuencias de corte. De hecho, es posible establecer una red *R-C* similar a la de la figura 11.9 para cada elemento capacitivo y determinar la frecuencia a la que el voltaje de salida caerá a 0.707 de su valor máximo. Una vez que se determinan las frecuencias de corte ocasionadas por cada capacitor, éstas pueden compararse para establecer la que determinará la frecuencia inferior de corte para el sistema.

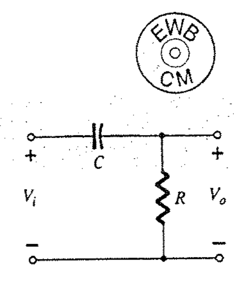


Figura 11.9 Combinación *R-C* que determina una baja frecuencia de corte.

Por tanto, el análisis inicia con la combinación *R-C* en serie de la figura 11.9 y con el desarrollo de un procedimiento que dará como resultado una gráfica de la respuesta a la frecuencia con un mínimo de tiempo y de esfuerzo. Para frecuencias muy altas,

$$X_C = \frac{1}{2\pi fC} \cong 0\ \Omega$$

y es posible sustituir el capacitor por su corto circuito equivalente como se muestra en la figura 11.10. El resultado es que $V_o \cong V_i$ para altas frecuencias. Cuando $f = 0$ Hz.

$$X_C = \frac{1}{2\pi fC} = \frac{1}{2\pi(0)C} = \infty\ \Omega$$

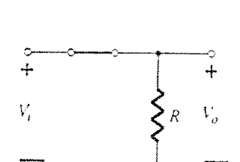


Figura 11.10 Circuito *R-C* de la figura 11.9 para frecuencias muy altas.

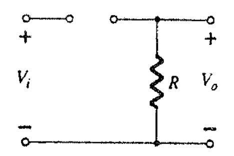


Figura 11.11 Circuito *R-C* de la figura 11.9 cuando $f = 0$ Hz.

y la aproximación de circuito abierto puede aplicarse como se ilustra en la figura 11.11, lo que da por resultado que $V_o = 0$ V.

Entre los dos extremos, la relación $A_v = V_o/V_i$ variará como se indica en la figura 11.12. A medida que la frecuencia se incrementa, la reactancia capacitiva disminuye y una mayor parte del voltaje de entrada aparecerá a través de las terminales de salida.

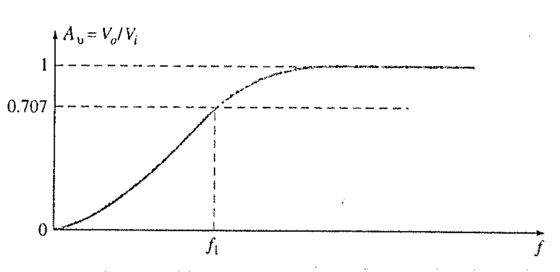


Figura 11.12 Respuesta a baja frecuencia para el circuito *R-C* de la figura 11.9.

Los voltajes de entrada y de salida se encuentran relacionados mediante la regla de divisor de voltaje de la siguiente forma:

$$\mathbf{V}_o = \frac{\mathbf{R}\mathbf{V}_i}{\mathbf{R} + \mathbf{X}_C}$$

con la magnitud de V_o determinada por

$$V_o = \frac{RV_i}{\sqrt{R^2 + X_C^2}}$$

Para el caso especial cuando $X_C = R$,

$$V_o = \frac{RV_i}{\sqrt{R^2 X_C^2}} = \frac{RV_i}{\sqrt{R^2 + R^2}} = \frac{RV_i}{\sqrt{2R^2}} = \frac{RV_i}{\sqrt{2}R} = \frac{1}{\sqrt{2}}V_i$$

y

$$|A_v| = \frac{V_o}{V_i} = \frac{1}{\sqrt{2}} = 0.707|_{X_C=R} \qquad (11.19)$$

cuyo nivel se indica en la figura 11.12. En otras palabras, para la frecuencia en la que $X_C = R$, la salida será de 70.7% de la entrada para la red de la figura 11.9.

La frecuencia en la que esto ocurre está determinada a partir de

$$X_C = \frac{1}{2\pi f_1 C} = R$$

y

$$f_1 = \frac{1}{2\pi RC} \qquad (11.20)$$

En términos de logaritmos,

$$G_v = 20 \log_{10} A_v = 20 \log_{10} \frac{1}{\sqrt{2}} = -3 \text{ dB}$$

mientras que cuando $A_v = V_o/V_i = 1$ o $V_o = V_i$ (el valor máximo).

$$G_v = 20 \log_{10} 1 = 20(0) = 0 \text{ dB}$$

En la figura 11.7, se identifica una caída de 3 dB en la ganancia para el nivel de banda media cuando $f = f_1$. En un momento se verá que una red *R-C* determinará la frecuencia de corte a baja frecuencia para un transistor a BJT y que f_1 estará determinada por la ecuación 11.20.

Si la ecuación de la ganancia se escribe como

$$A_v = \frac{V_o}{V_i} = \frac{R}{R - jX_C} = \frac{1}{1 - j(X_C/R)} = \frac{1}{1 - j(1/\omega CR)} = \frac{1}{1 - j(1/2\pi fCR)}$$

y al emplear la frecuencia definida anteriormente,

$$A_v = \frac{1}{1 - j(f_1/f)} \qquad (11.21)$$

En la forma de magnitud y de fase,

$$A_v = \frac{V_o}{V_i} = \underbrace{\frac{1}{\sqrt{1 + (f_1/f)^2}}}_{\text{magnitud de } A_v} \underbrace{\angle \tan^{-1}(f_1/f)}_{\sphericalangle \text{ fase por la cual } V_o \text{ adelanta a } V_i} \qquad (11.22)$$

Para la magnitud cuando $f = f_1$,

$$|A_v| = \frac{1}{\sqrt{1 + (1)^2}} = \frac{1}{\sqrt{2}} = 0.707 \rightarrow -3 \text{ dB}$$

En la forma logarítmica, la ganancia en dB es

$$A_{v(\text{dB})} = 20 \log_{10} \frac{1}{\sqrt{1 + (f_1/f)^2}} \qquad (11.23)$$

$$A_{v(\text{dB})} = -20 \log_{10}\left[1 + \left(\frac{f_1}{f}\right)^2\right]^{1/2}$$

$$= -(\tfrac{1}{2})(20) \log_{10}\left[1 + \left(\frac{f_1}{f}\right)^2\right]$$

$$= -10 \log_{10}\left[1 + \left(\frac{f_1}{f}\right)^2\right]$$

Para frecuencias donde $f \ll f_1$ o $(f_1/f)^2 \gg 1$, la ecuación anterior se puede aproximar mediante

$$A_{v(\text{dB})} = -10 \log_{10}\left(\frac{f_1}{f}\right)^2$$

y por último,

$$A_{v(\text{dB})} = -20 \log_{10} \frac{f_1}{f} \Bigg|_{f \ll f_1} \qquad (11.24)$$

Si se ignora por un instante la condición $f << f_1$, una gráfica de la ecuación 11.24 sobre una escala logarítmica de frecuencia producirá un resultado de naturaleza muy útil para las gráficas en decibeles futuras.

$$\text{Cuando } f = f_1: \quad \frac{f_1}{f} = 1 \text{ y } -20 \log_{10} 1 = 0 \text{ dB}$$

$$\text{Cuando } f = \tfrac{1}{2} f_1: \quad \frac{f_1}{f} = 2 \text{ y } -20 \log_{10} 2 \cong -6 \text{ dB}$$

$$\text{Cuando } f = \tfrac{1}{4} f_1: \quad \frac{f_1}{f} = 4 \text{ y } -20 \log_{10} 4 \cong -12 \text{ dB}$$

$$\text{Cuando } f = \tfrac{1}{10} f_1: \quad \frac{f_1}{f} = 10 \text{ y } -20 \log_{10} 10 = -20 \text{ dB}$$

En la figura 11.13 se presenta una gráfica de estos puntos desde $0.1 f_1$ hasta f_1. Observe que esto da por resultado una línea recta cuando se grafica en una escala logarítmica. En la misma figura, también se dibuja una línea recta para la condición de 0 dB cuando $f >> f_1$. Como se estableció antes, los segmentos de línea recta (asíntotas) son sólo exactos para 0 dB cuando $f >> f_1$ y la línea con pendiente cuando $f_1 >> f$. Sin embargo, sabemos que cuando $f = f_1$, existe una caída de 3 dB de la región de la banda media. La utilización de esta información junto con los segmentos de línea recta permite una gráfica bastante precisa de la respuesta a la frecuencia como se indica en la misma figura. La gráfica de segmentos lineales formada por las asíntotas y por los puntos de ruptura asociados se denomina *gráfica de Bode* de la magnitud en función de la frecuencia.

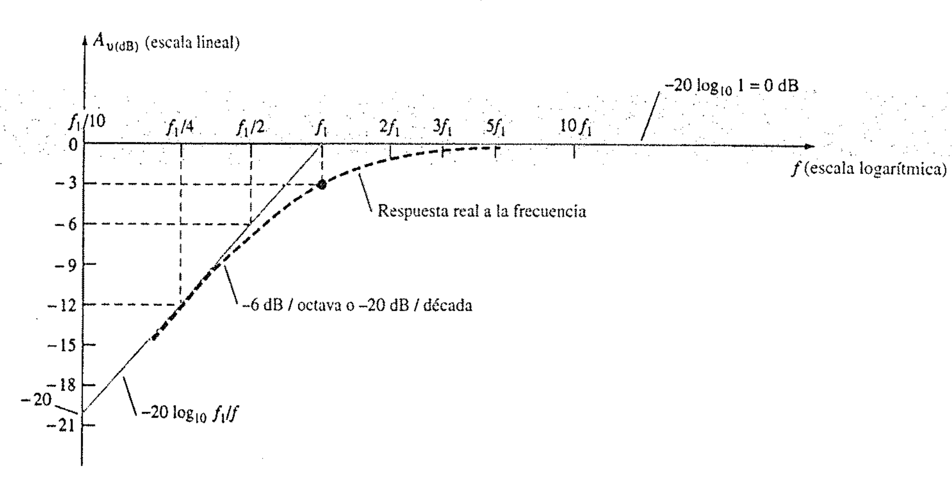


Figura 11.13 Gráfica de Bode para la región de bajas frecuencias.

Los cálculos anteriores y la curva en sí, demuestran claramente que:

Un cambio en la frecuencia por un factor de 2, equivalente a una octava, ocasiona un cambio de 6 dB en la relación como lo demuestra el cambio en la ganancia de $f_1/2$ a f_1.

Como lo demuestra el cambio en la ganancia de $f_1/2$ a f_1:

Para un cambio 10:1 en la frecuencia, equivalente a una década, existe un cambio de 20 dB en la relación, como se demuestra entre las frecuencias de $f_1/10$ y f_1.

Por tanto, en el futuro, será posible obtener fácilmente una gráfica en decibeles para una función que tenga el formato de la ecuación 11.24. Simplemente primero se encuentra f_1 a partir de los parámetros del circuito y luego se trazan dos asíntotas: una a lo largo de la línea de 0 dB y la otra dibujada a través de f_1 con pendiente de 6 dB/octava o de 20 dB/década. Luego se localiza el punto de 3 dB que corresponde con f_1 y se traza la curva.

EJEMPLO 11.8

Para la red de la figura 11.14:
(a) Determine la frecuencia de corte.
(b) Trace las asíntotas y localice el punto de −3 dB.
(c) Trace la curva de respuesta a la frecuencia.

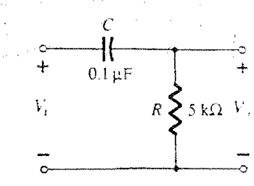


Figura 11.14 Ejemplo 11.8.

Solución

$$\text{(a) } f_1 = \frac{1}{2\pi RC} = \frac{1}{(6.28)(5 \times 10^3\ \Omega)(0.1 \times 10^{-6}\ \text{F})}$$

$$\cong \mathbf{318.5\ Hz}$$

(b) y (c). Ver figura 11.15.

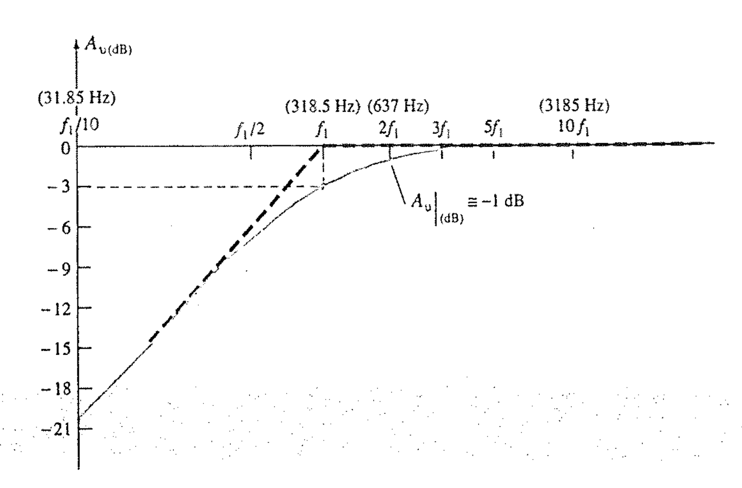


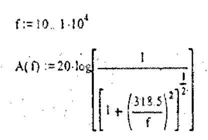
Figura 11.15 Respuesta a la frecuencia para el circuito *R-C* de la figura 11.14.

Mathcad

Ahora se utilizará Mathcad para obtener una gráfica de la ganancia en dB para el ejemplo 11.8, mediante la ecuación 11.23 sin el empleo de las aproximaciones presentadas durante el desarrollo de la ecuación 11.24. En otras palabras, la respuesta obtenida será una gráfica punto a punto de la ecuación de la ganancia.

Con Mathcad, el primer paso es configurar un rango para la variable horizontal, la frecuencia (f). Esto se realiza al teclear primero **f** seguido de **Shift:** para obtener los dos puntos y el signo de igual que aparecen en la figura 11.16. Luego, para tratar de coincidir con la curva de la figura 11.15, se selecciona la frecuencia inicial en 10 kHz, como también lo indica la figura 11.16. Luego se selecciona un rango mediante la tecla de dos puntos para obtener los dos puntos secuenciales que siguen al 10. Por último, se selecciona el límite superior de 10 kHz mediante un 1 seguido de un * para señalar multiplicación y el 10 elevado a la 4 potencia mediante la tecla ^ y el número **4.** Con esto se ha definido el rango de la variable f para la ecuación que sigue.

Al utilizar la letra mayúscula **A** para representar la amplificación (ganancia), la variable en función de la cual la ganancia se determinará **debe** definirse mediante (f). Si se olvida agregar la (f) se obtendrá una respuesta sin sentido. Luego, se debe capturar la ecuación, poniendo particular atención a la ubicación de los **marcadores de posición (placeholders)**. Es posible mover estos **marcadores de posición** mediante la teclas **direccionales** izquierda y derecha (← →). Además, es posible moverse hacia atrás en una ecuación por medio de la tecla de **retroceso;** pero recuerde que a medida que se retrocede, la cantidad a la izquierda del componente vertical



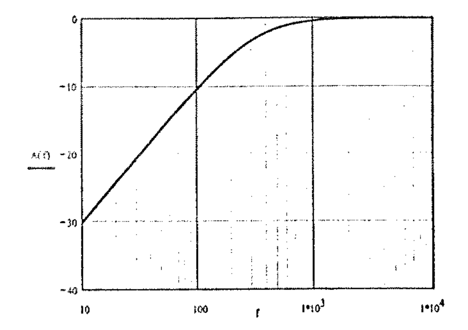


Figura 11.16 Gráfica de la ganancia en dB para el ejemplo 11.8 mediante Mathcad.

del **marcador de posición,** se pierde, lo cual no sucede con las teclas direccionales. La **barra espaciadora** también permite cierta movilidad hacia atrás en la ecuación.

Ahora tenemos que generar la gráfica deseada: coloque primero la cruz en el área que se desea que se genere la gráfica. Luego teclee **A(f)** y seleccione **Insert-Graph-X-Y Plot** o **View-Toolbars-Graph** para obtener la paleta gráfica (**Graph Palette**) de la cual se selecciona **X-Y Plot Shift+2**. El resultado es un marco para la gráfica que cuenta con algunos cuadrados sólidos en distintos puntos alrededor del marco. Teclee **A(f)** en el lugar donde se encuentra el cuadrado sólido negro en el medio de la línea vertical, y **f** en el cuadrado sólido negro en el centro de la línea horizontal, esto con el objeto de definir las variables que se graficarán en cada eje. Luego simplemente haga clic en cualquier lugar de la pantalla fuera del área definida, y la gráfica aparecerá con una escala asignada por Mathcad.

Para cambiar el eje horizontal a una escala logarítmica, primero haga clic en cualquier lugar sobre la gráfica para crear un recuadro alrededor de la gráfica. Luego utilice la secuencia **Format-Graph-X-Y Plot** para obtener el cuadro de diálogo **Setting Default Formats for X-Y Plots**. Seleccione **X-Y Axes** seguido de **X-Axes-Log Scale** para establecer una escala logarítmica y **Grid Lines** (líneas de retícula, similares a las de un osciloscopio) para mostrarla con claridad. Después de seleccionar **OK** se obtendrá la gráfica de la figura 11.16.

Observe que los resultados del ejemplo 11.8 se verifican por la intersección del nivel -3 dB y $f = f_1 = 318.5$ Hz. Además, observe lo cercano que se encuentra el nivel de -20 dB con $f = f_1/10 = 31.85$ Hz en la figura 11.15. Los resultados verifican las aproximaciones aplicadas con el objeto de obtener una respuesta rápida con un mínimo de dificultad matemática.

La ganancia en cualquier frecuencia puede determinarse a partir de la gráfica de la frecuencia de la siguiente forma:

$$A_{v(\text{dB})} = 20 \log_{10} \frac{V_o}{V_i}$$

pero

$$\frac{A_{v(\text{dB})}}{20} = \log_{10} \frac{V_o}{V_i}$$

y

$$\boxed{A_v = \frac{V_o}{V_i} = 10^{A_{v(\text{dB})}/20}} \qquad (11.25)$$

Por ejemplo, si $A_{v(\text{dB})} = -3$ dB,

$$A_v = \frac{V_o}{V_i} = 10^{(-3/20)} = 10^{(-0.15)} \cong 0.707 \qquad \text{como se esperaba}$$

La cantidad $10^{-0.15}$ se calcula mediante la función 10^x que se encuentra en la mayoría de las calculadoras científicas.

A partir de la figura 11.15, $A_{v(\text{dB})} \cong -1$ dB en $f = 2f_1 = 637$ Hz. La ganancia en este punto es

$$A_v = \frac{V_o}{V_i} = 10^{A_{v(\text{dB})}/20} = 10^{(-1/20)} = 10^{(-0.05)} = 0.891$$

y

$$V_o = 0.891 V_i$$

o V_o es 89.1% de V_i cuando $f = 637$ Hz.

El ángulo de fase de θ está determinado a partir de

$$\boxed{\theta = \tan^{-1}\frac{f_1}{f}} \qquad (11.26)$$

de la ecuación 11.22.

Para las frecuencias $f \ll f_1$,

$$\theta = \tan^{-1}\frac{f_1}{f} \to 90°$$

Por ejemplo, si $f_1 = 100f$,

$$\theta = \tan^{-1}\frac{f_1}{f} = \tan^{-1}(100) = 89.4°$$

Para $f = f_1$,

$$\theta = \tan^{-1}\frac{f_1}{f} = \tan^{-1}1 = 45°$$

Para $f \gg f_1$,

$$\theta = \tan^{-1}\frac{f_1}{f} \to 0°$$

Por ejemplo, si $f = 100f_1$,

$$\theta = \tan^{-1}\frac{f_1}{f} = \tan^{-1}0.01 = 0.573°$$

En la figura 11.17 se proporciona una gráfica de $\theta = \tan^{-1}(f_1/f)$. Si se añade el desplazamiento de fase de 180° adicional que introduce un amplificador, se obtiene la gráfica de fase de

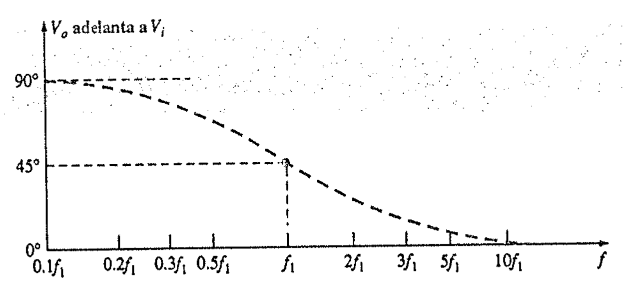


Figura 11.17 Respuesta de fase para el circuito *R-C* de la figura 11.9.

la figura 11.8. Con esto se establece la respuesta en magnitud y en fase para una combinación R-C. En la sección 11.6, cada capacitor que sea relevante para la región de baja frecuencia será dibujado nuevamente en un formato R-C y se determinará la frecuencia de corte para cada uno con el objetivo de establecer la respuesta de baja frecuencia para el amplificador BJT.

11.6 RESPUESTA A BAJA FRECUENCIA: AMPLIFICADOR BJT

En el análisis de esta sección se utilizará la configuración de polarización por divisor de voltaje de BJT con carga, sin embargo, los resultados obtenidos se pueden aplicar a cualquier configuración. Simplemente será necesario encontrar la resistencia equivalente adecuada para la combinación R-C. Para la red de la figura 11.18, los capacitores C_s, C_C y C_E determinarán la respuesta a baja frecuencia. Ahora se revisará el impacto de cada uno de forma independiente y en el orden listado.

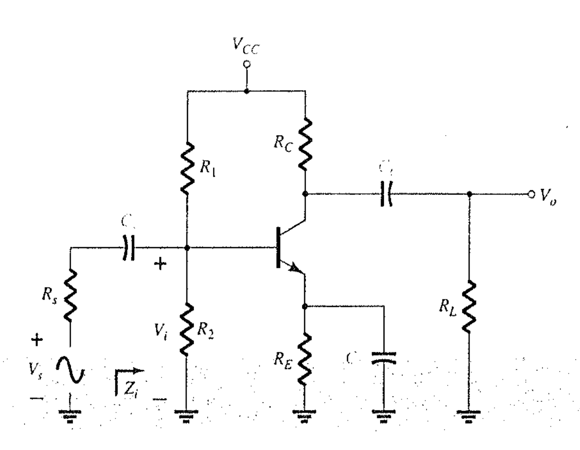


Figura 11.18 Amplificador BJT con carga y con capacitores que afectan la respuesta a baja frecuencia.

C_s

Debido a que C_s por lo regular está conectado entre la carga aplicada y el dispositivo activo, la forma general de la configuración R-C se encontrará establecida por la red de la figura 11.19. La resistencia total es ahora de $R_s + R_i$, y la frecuencia de corte como se establece en la sección 11.15 es

$$f_{L_s} = \frac{1}{2\pi(R_s + R_i)C_s} \quad (11.27)$$

Figura 11.19 Determinación del efecto de C_s sobre la respuesta a baja frecuencia.

Para frecuencias medias y altas, la reactancia del capacitor será lo suficientemente pequeña para permitir una aproximación de corto circuito para el elemento. Entonces, el voltaje V_i estará relacionado con V_s mediante

$$V_i|_{\text{med}} = \frac{R_i V_s}{R_i + R_s} \quad (11.28)$$

En f_{L_s}, el voltaje V_i será 70.7% del valor determinado por la ecuación 11.28, si se asume que C_s es el único elemento capacitivo que controla la respuesta a baja frecuencia.

Para la red de la figura 11.18, cuando se analizan los efectos de C_s se debe asumir que tanto C_E como C_C están realizando su función diseñada, o de lo contrario, el análisis se vuelve muy difícil de manejar, es decir, que la magnitud de las reactancias de C_E y C_C permite utilizar un equivalente de corto circuito, para la señal, en comparación con la magnitud de las otras impedancias en serie. Con esta hipótesis, la red equivalente de ac para la sección de entrada de la figura 11.18 aparecerá como se muestra en la figura 11.20.

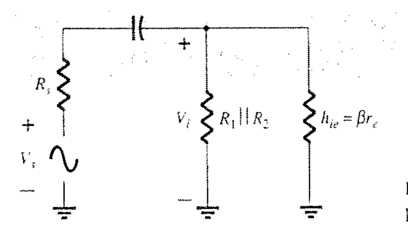


Figura 11.20 Circuito equivalente de ac para C_s.

El valor de R_i para la ecuación 11.27 está determinado por

$$R_i = R_1 \| R_2 \| \beta r_e \quad (11.29)$$

El voltaje V_i aplicado a la entrada del dispositivo activo puede calcularse mediante la regla de divisor de voltaje:

$$\mathbf{V}_i = \frac{R_i \mathbf{V}_s}{R_s + R_i - jX_{C_s}} \quad (11.30)$$

C_C

Debido a que el capacitor de acoplamiento normalmente se encuentra conectado entre la salida del dispositivo activo y la carga aplicada, la configuración R-C que determina la baja frecuencia de corte debido a C_C se muestra en la figura 11.21. A partir de esta misma figura, la resistencia en serie total es ahora $R_o + R_L$ y la frecuencia de corte debida a C_C está determinada por

$$f_{L_C} = \frac{1}{2\pi(R_o + R_L)C_C} \quad (11.31)$$

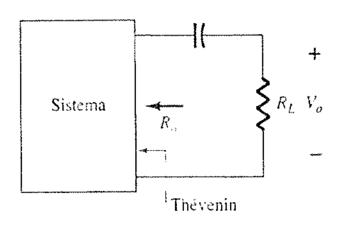


Figura 11.21 Determinación del efecto de C_C sobre la respuesta a baja frecuencia.

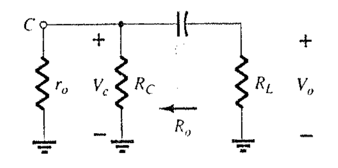


Figura 11.22 Circuito equivalente de ac para C_C con $V_i = 0$ V.

Si se ignoran los efectos de C_s y C_E, el voltaje de salida V_o estará en 70.7% de su valor de banda media en f_{L_C}. Para la red de la figura 11.18, la red de ac equivalente para la sección de salida con $V_i = 0$ V se muestra en la figura 11.22. El valor resultante para R_o en la ecuación 11.31 es simplemente

$$R_o = R_C \| r_o \quad (11.32)$$

C_E

Para determinar f_{L_E}, debe determinarse la red "observada" por C_E como se muestra en la figura 11.23. Una vez que el nivel de R_e se establece, es posible determinar la frecuencia de corte debido a C_E, mediante la siguiente ecuación:

$$f_{L_E} = \frac{1}{2\pi R_e C_E} \quad (11.33)$$

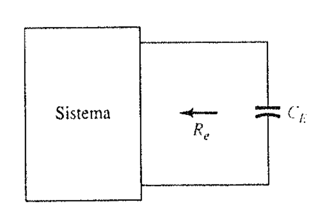


Figura 11.23 Determinación del efecto de C_E sobre la respuesta a baja frecuencia.

Para la red de la figura 11.18, el equivalente de ac según lo "observa" C_E se muestra en la figura 11.24. Por tanto, el valor de R_e está determinado por

$$R_e = R_E \| \left(\frac{R'_s}{\beta} + r_e\right) \quad (11.34)$$

donde $R'_s = R_s \| R_1 \| R_2$.

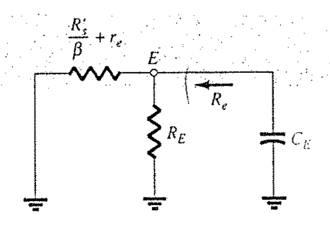


Figura 11.24 Equivalente de ac ajustado para C_E.

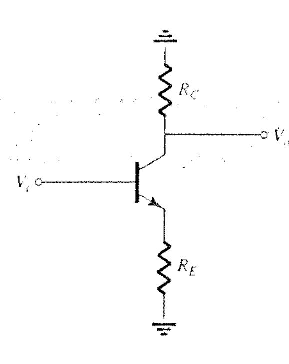


Figura 11.25 Red utilizada para describir el efecto de C_E sobre la ganancia del amplificador.

El efecto de C_E sobre la ganancia, se describe mejor de una forma cuantitativa al recordar que la ganancia para la configuración de la figura 11.25 está dada por

$$A_v = \frac{-R_C}{r_e + R_E}$$

La ganancia máxima obviamente está disponible cuando R_E es igual a cero ohms. A bajas frecuencias, con el capacitor de desvío C_E en su estado equivalente de "circuito abierto", R_E se presenta en la ecuación anterior de la ganancia, con lo que se ocasiona una ganancia mínima. Al incrementarse la frecuencia, la reactancia del capacitor C_E disminuye, y se reduce la impedancia paralela de R_E y C_E hasta que el resistor R_E se encuentre efectivamente "en corto" por el efecto de la frecuencia en C_E. El resultado es una ganancia máxima o de media banda determinada por $A_v = -R_C/r_e$. En f_{L_E} la ganancia será de 3 dB por debajo del valor de banda media determinado con R_E en "corto".

Antes de continuar, tenga en mente que C_s, C_C y C_E sólo afectarán la respuesta a baja frecuencia. En el nivel de frecuencia de la banda media, se pueden insertar los cortos circuitos equivalentes para los capacitores. A pesar de que cada uno afectará la ganancia $A_v = V_o/V_i$ en un rango de frecuencia similar, el corte a baja frecuencia más alto determinado por C_s, C_C o C_E, tendrá el mayor impacto debido a que será el último en encontrarse antes del nivel de la banda media. Si las frecuencias se encuentran relativamente separadas, la frecuencia de corte más grande será la que determine básicamente la baja frecuencia de corte para todo el sistema. Si existen dos o más frecuencias de corte "superiores", el efecto será la elevación de la frecuencia inferior de corte y la reducción del ancho de banda resultante del sistema. En otras palabras, existe una interacción entre los elementos capacitivos que pueden afectar la frecuencia inferior de corte. Sin embargo, si las frecuencias de corte establecidas por cada capacitor están lo suficientemente separadas, se puede ignorar el efecto de una sobre la otra con un alto grado de exactitud, un hecho que será demostrado por las impresiones que aparecen en el siguiente ejemplo.

EJEMPLO 11.9

(a) Determine la frecuencia inferior de corte para la red de la figura 11.18 mediante los siguientes parámetros:

$C_s = 10\ \mu$F, $\quad C_E = 20\ \mu$F, $\quad C_C = 1\ \mu$F

$R_s = 1$ kΩ, $\quad R_1 = 40$ kΩ, $\quad R_2 = 10$ kΩ, $\quad R_E = 2$ kΩ, $\quad R_C = 4$ kΩ, $R_L = 2.2$ kΩ

$\beta = 100$, $\quad r_o = \infty\ \Omega$, $\quad V_{CC} = 20$ V

(b) Dibuje la respuesta a la frecuencia por medio de una gráfica de Bode.

Solución

(a) Determinación de r_e para condiciones de dc:

$$\beta R_E = (100)(2\text{ k}\Omega) = 200\text{ k}\Omega \gg 10R_2 = 100\text{ k}\Omega$$

El resultado es:

$$V_B \cong \frac{R_2 V_{CC}}{R_2 + R_1} = \frac{10\text{ k}\Omega(20\text{ V})}{10\text{ k}\Omega + 40\text{ k}\Omega} = \frac{200\text{ V}}{50} = 4\text{ V}$$

con

$$I_E = \frac{V_E}{R_E} = \frac{4\text{ V} - 0.7\text{ V}}{2\text{ k}\Omega} = \frac{3.3\text{ V}}{2\text{ k}\Omega} = 1.65\text{ mA}$$

de forma que

$$r_e = \frac{26\text{ mV}}{1.65\text{ mA}} \cong \mathbf{15.76\ \Omega}$$

y

$$\beta r_e = 100(15.76\ \Omega) = 1576\ \Omega = \mathbf{1.576\text{ k}\Omega}$$

Ganancia de banda media:

$$A_v = \frac{V_o}{V_i} = \frac{-R_C \| R_L}{r_e} = -\frac{(4\text{ k}\Omega)\|(2.2\text{ k}\Omega)}{15.76\ \Omega} \cong -90$$

La impedancia de entrada:

$$Z_i = R_i = R_1 \| R_2 \| \beta r_e$$
$$= 40\text{ k}\Omega \| 10\text{ k}\Omega \| 1.576\text{ k}\Omega$$
$$\cong 1.32\text{ k}\Omega$$

y a partir de la figura 11.26,

$$V_i = \frac{R_i V_s}{R_i + R_s}$$

o

$$\frac{V_i}{V_s} = \frac{R_i}{R_i + R_s} = \frac{1.32\text{ k}\Omega}{1.32\text{ k}\Omega + 1\text{ k}\Omega} = 0.569$$

de forma que

$$A_{v_s} = \frac{V_o}{V_s} = \frac{V_o}{V_i}\frac{V_i}{V_s} = (-90)(0.569)$$
$$= \mathbf{-51.21}$$

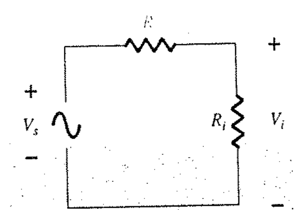


Figura 11.26 Determinación del efecto de R_s sobre la ganancia A_{v_s}.

C_s

$$R_i = R_1 \| R_2 \| \beta r_e = 40\text{ k}\Omega \| 10\text{ k}\Omega \| 1.576\text{ k}\Omega \cong 1.32\text{ k}\Omega$$

$$f_{L_s} = \frac{1}{2\pi(R_s + R_i)C_s} = \frac{1}{(6.28)(1\text{ k}\Omega + 1.32\text{ k}\Omega)(10\ \mu\text{F})}$$

$$f_{L_s} \cong \mathbf{6.86\text{ Hz}}$$

Ahora se verificarán los resultados recién obtenidos por medio de PSpice para Windows. En la figura 11.27 aparece la red con sus distintos capacitores. Para establecer a I_s en 2E-15A y beta en 100, se utiliza **Model Editor**. Los restantes parámetros se eliminaron del listado para hacer la respuesta lo más ideal posible. En la opción inicio del barrido para el análisis en ac, **Analysis Setup-AC Sweep**, la frecuencia se establece en 10 kHz para fijarla en una región de banda media. En la figura 11.27 se presenta la simulación resultante de la red para los niveles de dc. Observe que V_B es igual a 3.9 V comparado con el valor calculado de 4 V y V_E es igual a 3.2 V comparado con el nivel calculado de 3.3 V, lo cual es muy cercano cuando se considera que se utilizó el modelo aproximado. V_{BE} en 0.71 V es muy cercano a los 0.7 V. El archivo de salida muestra que el voltaje de ac a través de la carga a una frecuencia de 10 kHz es de 49.67 mV, lo que da por resultado una ganancia de 49.67, la cual se aproxima mucho al nivel calculado de 51.21.

Ahora se obtendrá una gráfica de la ganancia en función de la frecuencia con sólo C_s como un factor determinante. Los otros capacitores, C_C y C_E, se establecerán en valores muy altos de forma que se comporten esencialmente como cortos circuitos para cualquiera de las frecuencias de interés. Al establecer a C_C y C_E en 1 F se eliminará cualquier efecto que puedan tener sobre la respuesta en la región de baja frecuencia. En este punto se debe tener cuidado ya

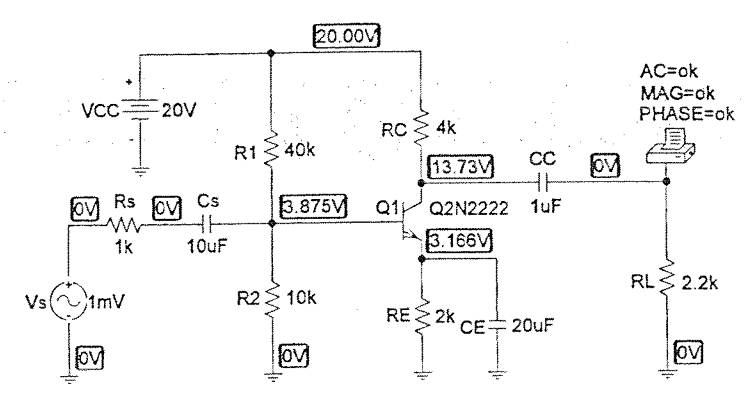


Figura 11.27 Red de la figura 11.18 con valores asignados.

que el programa no reconoce 1F como un Farad sino que éste deberá capturarse como 1E6uF. Ya que el patrón deseado es la ganancia en función de la frecuencia, se debe utilizar la secuencia **Analysis-Setup-Analysis Setup-Enable AC Sweep-AC Sweep** para obtener el cuadro de diálogo **AC Sweep and Noise Analysis.** Debido a que nuestro interés es el rango de baja frecuencia, se selecciona un rango de 1 Hz (0 Hz es un valor inválido) hasta 100 Hz. Si se desea un rango de frecuencia inicial cercano a 0 Hz, se tendría que elegir una frecuencia similar a 0.001 Hz o alguna lo suficientemente pequeña para que no se aprecie en la gráfica. Los puntos totales a graficar (**Total Pts.:**) se especifican en 1000 para obtener una gráfica con una buena continuidad, la frecuencia inicial (**Start Freq.:**) en 1 Hz y la final (**End Freq.:**) en 100 Hz. El tipo de barrido de ac (**AC Sweep Type**) se deja como lineal (**Linear**). Posterior a la simulación se obtiene la gráfica deseada mediante **Trace-Add-V(RL:1).** Sin embargo, la computadora selecciona una escala logarítmica para el eje horizontal que se extiende de 1 Hz a 1 kHz a pesar de que se le indicó una escala lineal. Si se selecciona **Plot-X-Axis Settings-Linear-OK** se obtendrá una gráfica lineal de hasta 120 Hz, pero la curva de interés se encuentra en su totalidad en el extremo inferior, el eje logarítmico evidentemente proporcionaba una mejor gráfica para nuestra región de interés. Al regresar al **Plot-X-Axis Settings** y seleccionado **Log** se vuelve a la gráfica original. Nos interesa sólo la región de 1 a 100 Hz, por lo que las frecuencias restantes hasta 1 kHz

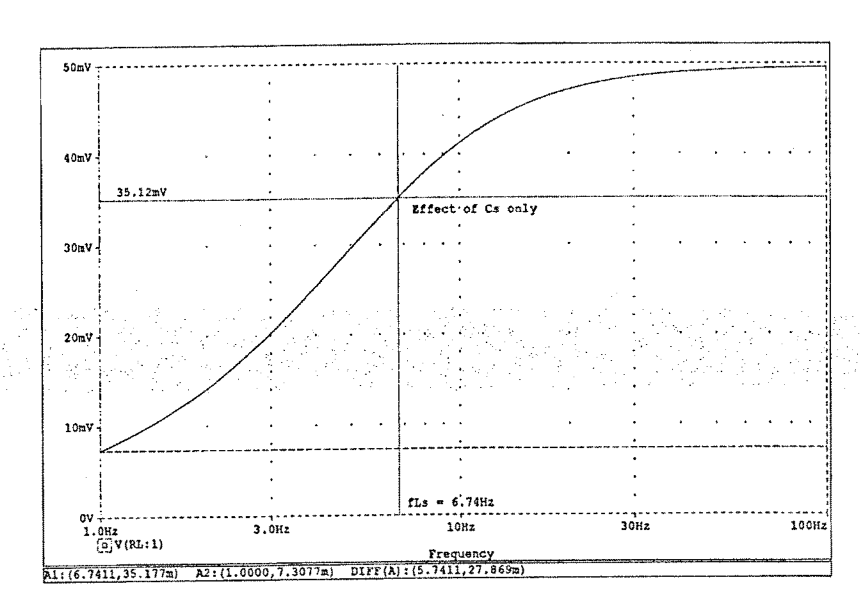


Figura 11.28 Respuesta a baja frecuencia debido a C_s.

deberán eliminarse mediante **Plot-X-Axis Settings-User Defined-1Hz to 100Hz-OK**. El eje vertical también se encuentra hasta 60 mV y requerimos limitarlo a 50 mV para este rango de frecuencia, lo cual se logra mediante **Plot-Y-Axis Settings-User Defined-0V to 50 mV-OK**, y con esto se obtiene el patrón de la figura 11.28.

Observe lo cercano que la curva se aproxima a 50 mV en este rango. El nivel de corte se determina mediante 0.707(49.67 mV) = 35.12 mV, que puede localizarse haciendo clic sobre el icono **Toggle cursor** y moviendo hacia arriba el punto de intersección hasta que el nivel de 35.177 mV se alcanza para **A1**. En este punto, la frecuencia del eje horizontal se lee en 6.74 Hz, que se compara bastante bien con el valor predicho de 6.86 Hz. Observe que **A2** permanece en el nivel más bajo de la gráfica, en 1 Hz.

C_C

$$f_{L_C} = \frac{1}{2\pi(R_C + R_L)C_C}$$

$$= \frac{1}{(6.28)(4\text{ k}\Omega + 2.2\text{ k}\Omega)(1\ \mu\text{F})}$$

$$\cong \mathbf{25.68\ Hz}$$

Para investigar los efectos de C_C sobre la frecuencia inferior de corte, tanto C_S como C_E deben establecerse en 1 Farad con la forma descrita anteriormente. Si se sigue el proceso antes detallado, se obtiene la gráfica de la figura 11.29, con una frecuencia de corte de 25.58 Hz, que coincide bastante bien con el nivel calculado de 25.68 Hz.

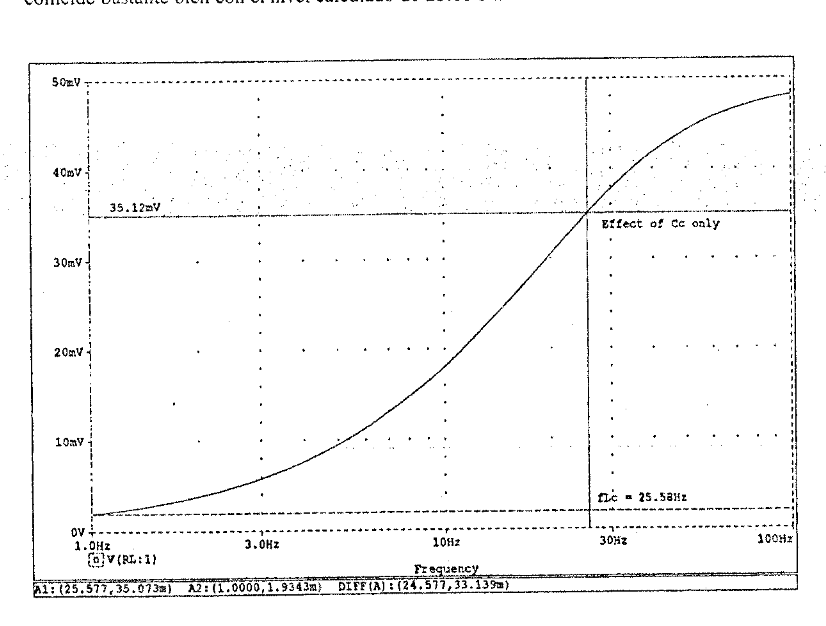


Figura 11.29 Respuesta a baja frecuencia debido a C_C.

C_E

$$R_s' = R_s \| R_1 \| R_2 = 1\text{ k}\Omega \| 40\text{ k}\Omega \| 10\text{ k}\Omega \cong 0.889\text{ k}\Omega$$

$$R_e = R_E \left\| \left(\frac{R_s'}{\beta} + r_e \right) = 2\text{ k}\Omega \right\| \left(\frac{0.889\text{ k}\Omega}{100} + 15.76\ \Omega \right)$$

$$= 2\text{ k}\Omega \| (8.89\ \Omega + 15.76\ \Omega) = 2\text{ k}\Omega \| 24.65\ \Omega \cong 24.35\ \Omega$$

$$f_{L_E} = \frac{1}{2\pi R_e C_E} = \frac{1}{(6.28)(24.35\ \Omega)(20\ \mu\text{F})} = \frac{10^6}{3058.36} \cong \mathbf{327\ Hz}$$

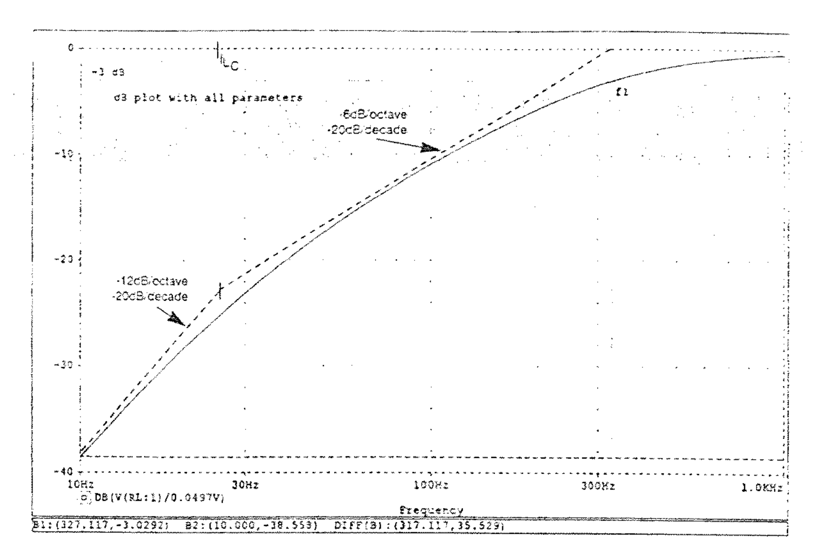


Figura 11.33 Gráfica en dB de la respuesta a baja frecuencia del amplificador BJT de la figura 11.27.

Tenga en mente que conforme avanzamos hacia la siguiente sección, el análisis de esta sección no se limita a la red de la figura 11.18. Para toda configuración de transistor simplemente es necesario aislar cada combinación *R-C* formada por un elemento capacitivo y determinar las frecuencias de corte. Las frecuencias resultantes determinarán entonces si existe una fuerte interacción entre los elementos capacitivos para efecto de determinar la respuesta general, y cuáles elementos tendrán un mayor impacto sobre el establecimiento de la frecuencia inferior de corte. De hecho, el análisis de la siguiente sección es análogo al de la actual para determinar las frecuencias inferiores de corte para el amplificador a FET.

11.7 RESPUESTA A BAJA FRECUENCIA: AMPLIFICADOR FET

El análisis del amplificador a FET en la región de baja frecuencia es muy similar al del amplificador BJT de la sección 11.6. Nuevamente existen tres capacitores principales que se muestran en la figura 11.34: C_G, C_C y C_S. Aunque la figura 11.34 se utilizará para establecer las ecuaciones fundamentales, el procedimiento y las conclusiones pueden aplicarse a la mayoría de las configuraciones a FET.

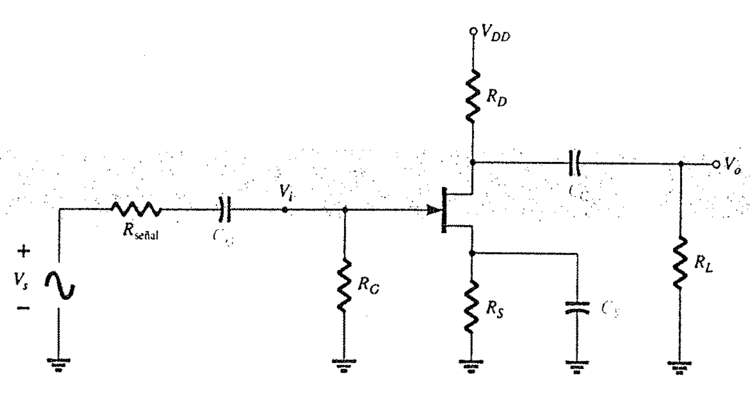


Figura 11.34 Elementos capacitivos que afectan la respuesta a baja frecuencia de un amplificador JFET.

C_G

Para el capacitor de acoplamiento entre la fuente y el dispositivo activo, la red equivalente de ac será como la de la figura 11.35. La frecuencia de corte determinada por C_G será entonces

$$f_{L_G} = \frac{1}{2\pi(R_{\text{señal}} + R_i)C_G} \tag{11.35}$$

lo cual es un equivalente exacto de la ecuación 11.27. Para la red de la figura 11.34,

$$R_i = R_G \tag{11.36}$$

Por lo regular, $R_G \gg R_{\text{señal}}$, y la frecuencia inferior de corte estará determinada principalmente por R_G y C_G. El hecho de que R_G sea tan grande, permite un nivel relativamente bajo de C_G al mismo tiempo que se mantiene un nivel de frecuencia inferior de corte para f_{L_G}.

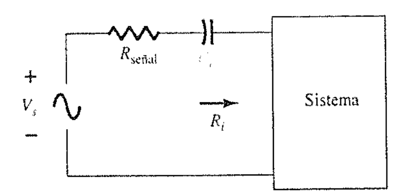


Figura 11.35 Determinación del efecto de C_G sobre la respuesta a baja frecuencia.

C_C

Para el capacitor de acoplamiento entre el dispositivo activo y la carga, se obtendrá la red de la figura 11.36, la cual también es un equivalente exacto de la figura 11.21. La frecuencia de corte resultante es

$$f_{L_C} = \frac{1}{2\pi(R_o + R_L)C_C} \tag{11.37}$$

Para la red de la figura 11.34,

$$R_o = R_D \| r_d \tag{11.38}$$

C_S

Para el capacitor de la fuente C_S, el nivel de resistencia de relevancia se define en la figura 11.37. La frecuencia de corte estará definida por

$$f_{L_S} = \frac{1}{2\pi R_{eq} C_S} \tag{11.39}$$

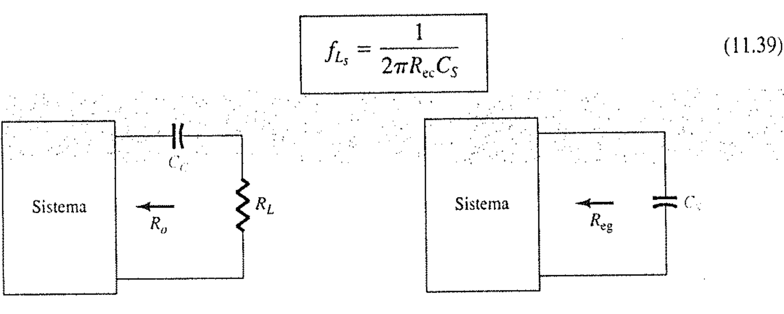


Figura 11.36 Determinación del efecto de C_C sobre la respuesta a baja frecuencia.

Figura 11.37 Determinación del efecto de C_S sobre la respuesta a baja frecuencia.

El efecto de C_E puede analizarse mediante PSpice para Windows, al establecer tanto a C_s como a C_C en 1 Farad. Además, debido a que el rango de frecuencias es mayor, la frecuencia inicial debe modificarse a 10 Hz y la frecuencia final a 1 kHz. El resultado es la gráfica de la figura 11.30, con una frecuencia de corte de 321.17 Hz, que es muy cercana al valor calculado de 327 Hz.

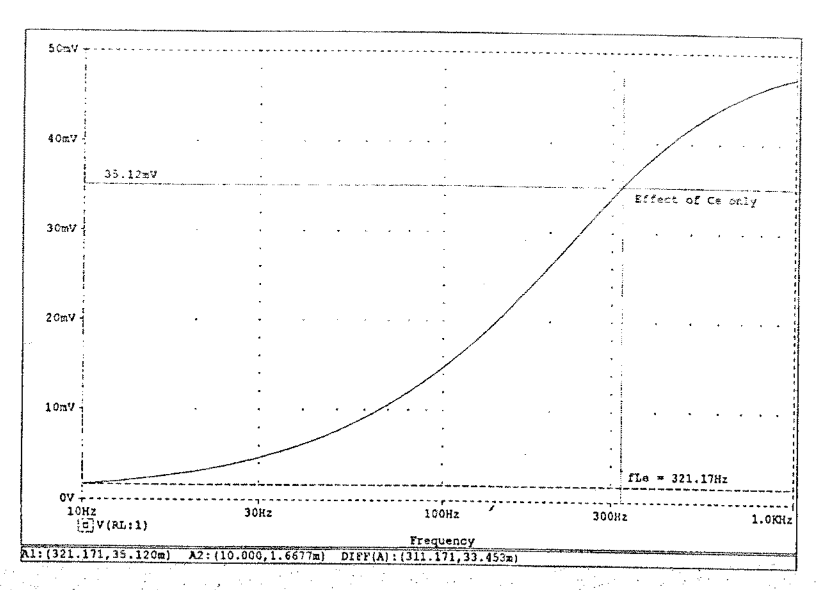


Figura 11.30 Respuesta a baja frecuencia debido a C_E.

El hecho de que f_{L_E} sea significativamente mayor que f_{L_s} y f_{L_C} sugiere que éste será el factor predominante para la determinación de la respuesta a baja frecuencia para el sistema entero. Para verificar la precisión de nuestra hipótesis, se simula la red con todos los valores iniciales de los niveles de capacitancia para obtener los resultados de la figura 11.31. Observe la fuerte similitud que tiene con la forma de onda de la figura 11.30, donde la única diferencia visible es la mayor ganancia a frecuencias menores de la figura 11.30. Sin duda, la gráfica apoya el hecho de que la mayor de las frecuencias inferiores de corte tendrá el mayor impacto sobre la frecuencia inferior de corte del sistema.

(b) Como se mencionó antes, las gráficas de dB por lo general se encuentran normalizadas mediante la división de la ganancia de voltaje A_v entre la magnitud de la ganancia de banda media. Para la figura 11.18, la magnitud de la ganancia de banda media es de 51.21 y naturalmente la razón $|A_v/A_{v_{med}}|$ será 1 para la región de banda media. El resultado es una asíntota de 0 dB en la región de banda media como se muestra en la figura 11.32. Si se define f_{L_E} como la frecuencia inferior de corte f_1, se puede dibujar una asíntota de -6 dB/octava como en la figura 11.32, para dar forma a una gráfica de Bode y a nuestra envolvente de la respuesta real. En f_1, la curva real se encuentra -3 dB por debajo del nivel de banda media como lo define el nivel $0.707A_{v_{med}}$, lo que permite trazar la curva real de respuesta a la frecuencia como se indica en la figura 11.32. Se dibujó una asíntota de -6 DB/octava para cada frecuencia definida en el análisis para demostrar claramente que para esta red, es f_{L_E} la que determina el punto de -3 dB. No es sino hasta los -24 dB que f_{L_C} comienza a afectar la forma de la envolvente. La gráfica de la magnitud muestra que la pendiente de la asíntota resultante es la suma de las asíntotas que cuentan con la misma dirección de la pendiente en el mismo intervalo de frecuencia. Observe en la figura 11.32 que la pendiente cae a -12 dB/octava para frecuencias menores que f_{L_C} y que podría caer a -18 dB/octava si las tres frecuencias de corte definidas de la figura 11.32 estuvieran más cercanas.

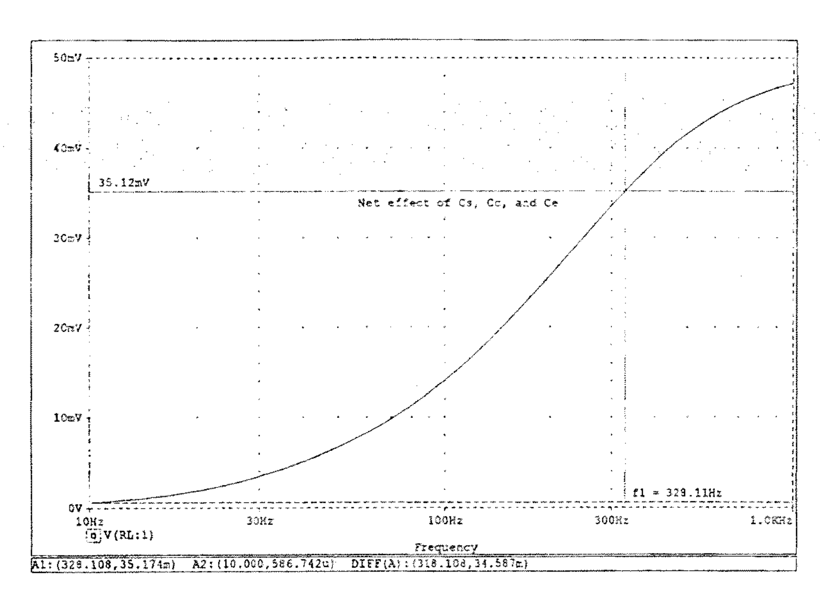


Figura 11.31 Respuesta de baja frecuencia debido a C_s, C_E y C_C.

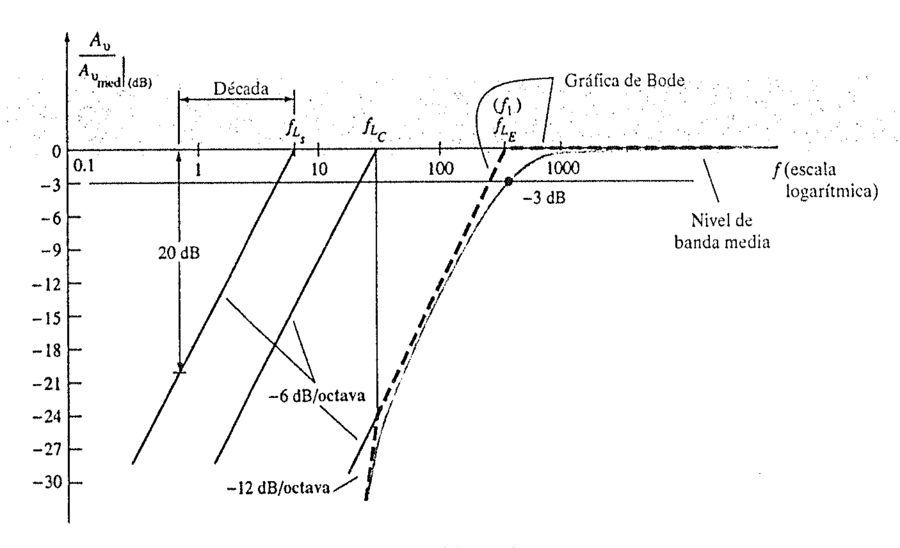


Figura 11.32 Gráfica de baja frecuencia para la red del ejemplo 11.9.

Por medio de **PROBE** se puede obtener una gráfica de $20 \log_{10}|A_v/A_{v_{med}}| = A_v/A_{v_{med}}|_{dB}$ si recordamos que si $V_s = 1$ mV, la magnitud de $|A_v/A_{v_{med}}|$ es la misma que la de $|V_o/A_{v_{med}}|$ debido a que V_o tendrá el mismo valor numérico que A_v. La expresión requerida para graficar (**Trace Expression**), que se captura en la parte inferior del cuadro de diálogo **Add Traces**, se muestra en el eje horizontal de la figura 11.33. La gráfica claramente demuestra el cambio en la pendiente de la asíntota en f_{L_C} y la forma en que la curva real sigue a la envolvente creada por la gráfica de Bode. Además observe la caída de 3 dB en f_1.

Para la figura 11.34, el valor resultante de $R_{\text{ecuación}}$ es

$$R_{\text{ecuación}} = \frac{R_S}{1 + R_S(1 + g_m r_d)/(r_d + R_D \| R_L)} \tag{11.40}$$

la cual para $r_d \cong \infty\ \Omega$ se convierte en

$$R_{\text{ecuación}} = R_S \| \frac{1}{g_m} \tag{11.41}$$

EJEMPLO 11.10

(a) Determine la frecuencia inferior de corte para la red de la figura 11.34 con los parámetros siguientes:

$$C_G = 0.01\ \mu\text{F}, \quad C_C = 0.5\ \mu\text{F}, \quad C_S = 2\ \mu\text{F}$$

$$R_{\text{señal}} = 10\ \text{k}\Omega, \quad R_G = 1\ \text{M}\Omega, \quad R_D = 4.7\ \text{k}\Omega, \quad R_S = 1\ \text{k}\Omega, \quad R_L = 2.2\ \text{k}\Omega$$

$$I_{DSS} = 8\ \text{mA}, \quad V_P = -4\ \text{V} \quad r_d = \infty\ \Omega, \quad V_{DD} = 20\ \text{V}$$

(b) Dibuje la respuesta a la frecuencia mediante una gráfica de Bode.

Solución

(a) Análisis de dc: Al graficar la curva de transferencia de $I_D = I_{DSS}(1 - V_{GS}/V_P)^2$ y sobreponer la curva definida por $V_{GS} = -I_D R_S$, se obtendrá una intersección en $V_{GS_Q} = -2$ V e $I_{D_Q} = 2$ mA. Además,

$$g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(8\ \text{mA})}{4\ \text{V}} = 4\ \text{mS}$$

$$g_m = g_{m0}\left(1 - \frac{V_{GS_Q}}{V_P}\right) = 4\ \text{mS}\left(1 - \frac{-2\ \text{V}}{-4\ \text{V}}\right) = 2\ \text{mS}$$

C_G

$$\text{Ecuación 11.35:} \quad f_{L_G} = \frac{1}{2\pi(10\ \text{k}\Omega + 1\ \text{M}\Omega)(0.01\ \mu\text{F})} \cong \mathbf{15.8\ Hz}$$

C_C

$$\text{Ecuación 11.37:} \quad f_{L_C} = \frac{1}{2\pi(4.7\ \text{k}\Omega + 2.2\ \text{k}\Omega)(0.5\ \mu\text{F})} \cong \mathbf{46.13\ Hz}$$

C_S

$$R_{\text{ecuación}} = R_S \| \frac{1}{g_m} = 1\ \text{k}\Omega \| \frac{1}{2\ \text{mS}} = 1\ \text{k}\Omega \| 0.5\ \text{k}\Omega = 333.33\ \Omega$$

$$\text{Ecuación 11.39:} \quad f_{L_S} = \frac{1}{2\pi(333.33\ \Omega)(2\ \mu\text{F})} = \mathbf{238.73\ Hz}$$

Debido a que f_{L_S} es la mayor de las tres frecuencias de corte, ésta definirá la frecuencia inferior de corte para la red de la figura 11.34.

(b) La ganancia de banda media del sistema está determinada por

$$A_{v_{\text{med}}} = \frac{V_o}{V_i} = -g_m(R_D \| R_L) = -(2\ \text{mS})(4.7\ \text{k}\Omega \| 2.2\ \text{k}\Omega)$$

$$= -(2\ \text{mS})(1.499\ \text{k}\Omega)$$

$$\cong \mathbf{-3}$$

Al utilizar la ganancia de banda media para normalizar la respuesta de la red de la figura 11.34, se obtendrá la gráfica de frecuencia de la figura 11.38.

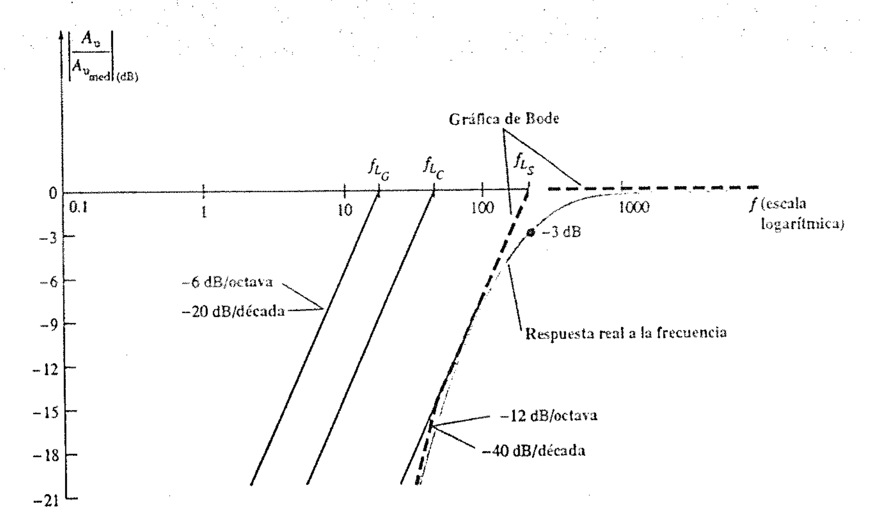


Figura 11.38 Respuesta a baja frecuencia para la configuración JFET del ejemplo 11.10.

Mediante el uso de PSpice para Windows, la red se verá como se ilustra en la figura 11.39, con los parámetros del JFET **Beta** en 0.5 mA/V² y **Vto** en −4 V (todos los demás en cero) y la frecuencia de interés en un valor de banda media de 10 kHz. Los niveles de dc resultantes confirman que V_{GS} es igual a −2 V, y colocan a V_D en 10.60 V, el cual debe estar justo en el medio de la región lineal activa debido a que $V_{GS} = \frac{1}{2}V_D$ y $V_{DS} = \frac{1}{2}V_{DD}$. Los niveles de 0 V muestran claramente que los capacitores aislaron al transistor para la polarización de dc. La respuesta de ac da por resultado un nivel de ac de 2.993 mV a través de la carga para una ganancia de 2.993, la cual es básicamente la misma que la ganancia calculada de 3.

Al volver a **Analysis** y seleccionar **Automatically run Probe after simulation** seguido de **Setup-AC Sweep-Decade-Pts/Decade** = 1000, **Start Freq.:** 10 Hz y **End Freq.:** 10 kHz configurarán a **Simulation-Trace-Add-Trace Expression: DB(V(RL:1)/2.993mV)-OK**, que a su vez dará por resultado la gráfica de la figura 11.40, con una frecuencia inferior de corte de 227.5 Hz, determinada principalmente por la capacitancia de fuente.

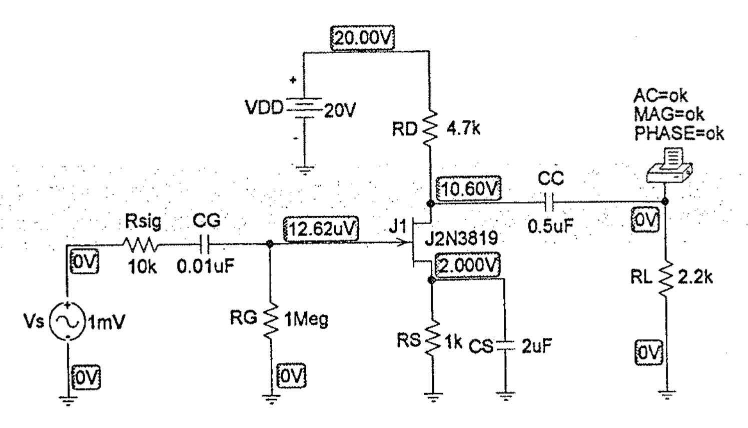


Figura 11.39 Red esquemática del ejemplo 11.10.

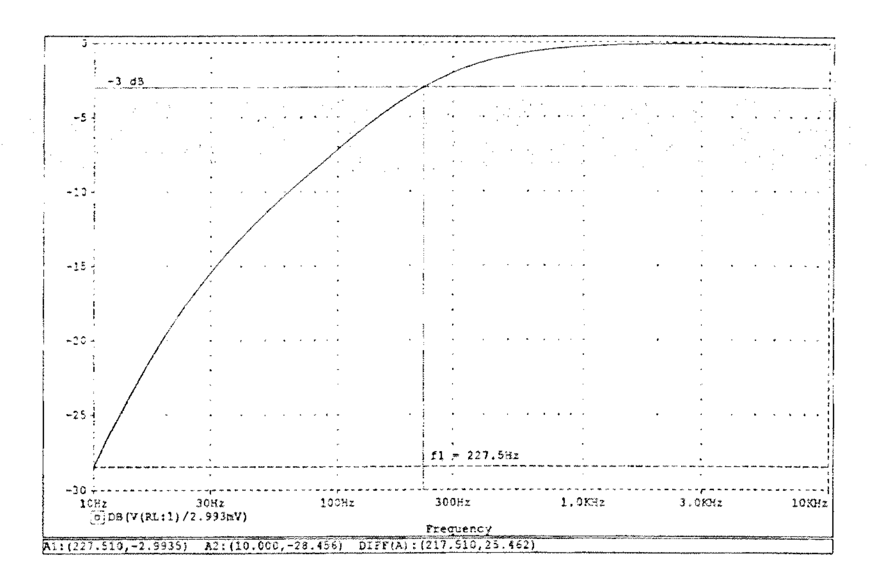


Figura 11.40 Respuesta en dB para la región de baja frecuencia en la red del ejemplo 11.10.

Mediante Electronics Workbench también se puede obtener una gráfica de frecuencia de la ganancia y de la respuesta de fase para una red BJT y JFET, al construir primero la red o recuperarla del almacenamiento. Debido a que la red de la figura 11.39 es la misma que la analizada mediante EWB (Electronics Workbench) en el capítulo 9 (figura 9.64), se retomará de nuevo y se desplegará como en la figura 11.41, junto con sus niveles de dc en las terminales de drenaje y de fuente. Luego se aplica la secuencia **Simulate-Analyses-AC Analysis** para obtener el cuadro de diálogo de **Ac Analysis**. Debajo de los parámetros de frecuencia (**Frequency Parameters**), se selecciona la frecuencia inicial (**Start frequency**) en **10Hz** y la final (**Stop Frequency**) en **10kHz** para corresponder con la gráfica de la figura 11.40. Luego se deja el valor de **Sweep type** en la selección de **decade**, y el número de puntos (**Number of

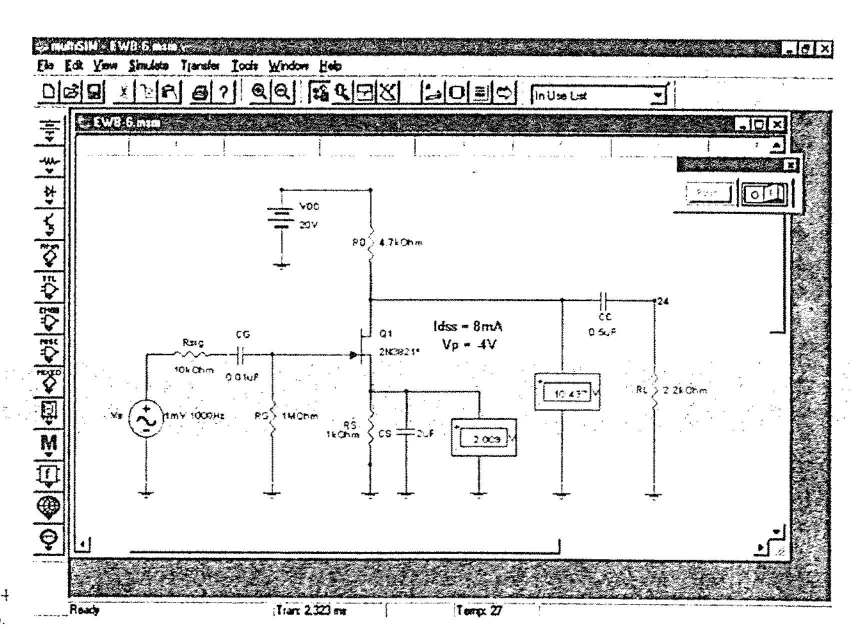


Figura 11.41 Red de la figura 9.64 (ejemplo 11.10) por medio de EWB.

points) por década también se deja en **100**. Por último, la escala vertical se establece en modo lineal debido a que será la magnitud del voltaje de salida en función de la frecuencia en lugar de la ganancia en dB como se grafica en la figura 11.40.

Luego, las variables de salida (**Output variables**) se seleccionan en el cuadro de diálogo, además el nodo 24 se elige como el de las variables en el circuito (**Variables in circuit**) para que se grafique durante la simulación (**Plot during simulation**). Como resultado ésta aparecerá en la columna de **Selected variables for analysis**. Con esto se concluye con las opciones que se deben hacer como se resume debajo del encabezado de **Summary**. Lo único que falta por hacer es seleccionar el comando **Simulate** en la parte inferior del cuadro de diálogo, con lo que se obtiene la gráfica de la figura 11.42. Al principio, la gráfica puede aparecer sin una retícula que ayude a definir los niveles para cada frecuencia. Esto se soluciona mediante la secuencia **View-Show/Hide Grid** como se aprecia en la figura 11.42. Tenga siempre presente que la flecha roja a lo largo de la columna vertical izquierda define la gráfica que se encuentra bajo análisis. Para añadir una retícula a la gráfica de la fase, sólo se debe hacer clic sobre la gráfica inferior sobre cualquier punto, y la flecha roja pasará hacia abajo. Después continúe con la misma secuencia que siguió antes para establecer la estructura de la retícula. Si se desea que la gráfica ocupe la pantalla completa, únicamente seleccione la opción de pantalla completa en la esquina superior derecha de las gráficas de análisis (**Analysis Graphs**).

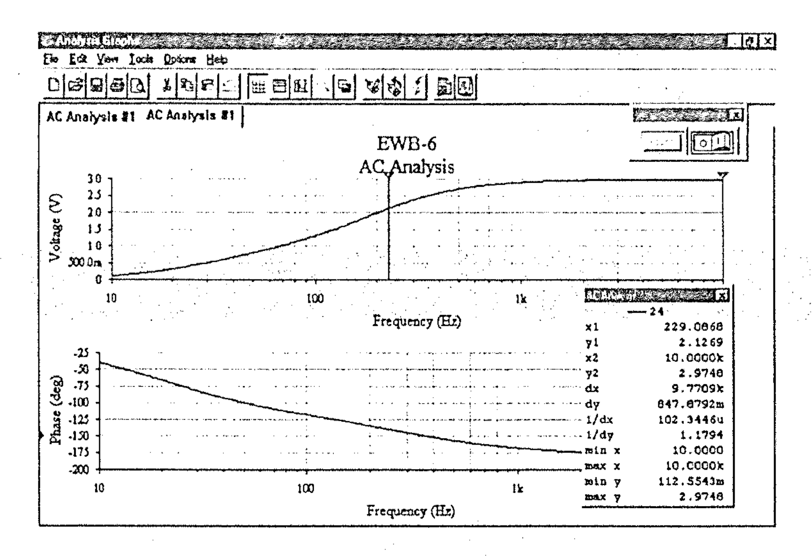


Figura 11.42 Gráficas de EWB para el ejemplo 11.10.

Por último, se pueden añadir cursores para definir el nivel de la función graficada a cualquier frecuencia. Sólo seleccione **View-Show/Hide Cursors**, y los cursores aparecerán sobre la gráfica seleccionada (que en la figura 11.42 es la gráfica de la magnitud). Luego, haga clic sobre el cursor 1, y el cuadro de diálogo de **AC Analysis** de la pantalla mostrará el nivel del voltaje y de la frecuencia. Al hacer clic sobre el cursor 1 y al desplazarse hacia la derecha, se puede intentar encontrar el valor de **x1** de 227.5 que coincida con el punto de −3 dB de la figura 11.40. Lo más aproximado que podemos llegar, para número de puntos de graficación seleccionado, es 229.08 Hz como se aprecia en la figura 11.42, lo cual es suficientemente cercano. En esta frecuencia, el voltaje de salida (**y1**) es de 2.13 V que es muy cercano al nivel para 0.707 de la ganancia de 2.93 (en realidad 2.07 V) que se obtuvo en el capítulo 9. El cursor 2 se mueve hacia un valor de **x2** de 10 kHz para obtener un voltaje de 2.97 V, el cual nuevamente es muy cercano a la ganancia máxima de 2.93 del capítulo 9. Antes de abandonar la figura 11.42, observe que a mayor frecuencia, más cercano se encuentra el desplazamiento de fase a 180°, a medida que los capacitores relativamente grandes y de baja frecuencia, pierden su efecto.

11.8 CAPACITANCIA DE EFECTO MILLER

En la región de alta frecuencia, los elementos capacitivos de relevancia son las capacitancias interelectródicas (entre terminales) internas al dispositivo activo y la capacitancia de cableado entre las terminales de la red. Todos los capacitores grandes de la red que controlaron la respuesta a baja frecuencia se han reemplazado por su corto circuito equivalente debido a sus muy bajos niveles de reactancia.

Para amplificadores *inversores* (desplazamiento de fase de 180° entre la entrada y la salida que ocasiona un valor negativo para A_v), la capacitancia de entrada y de salida se incrementa mediante un nivel de capacitancia sensible a la capacitancia interelectródica entre las terminales de entrada y de salida del dispositivo y a la ganancia del amplificador. En la figura 11.43, esta capacitancia de "retroalimentación" está definida por C_f.

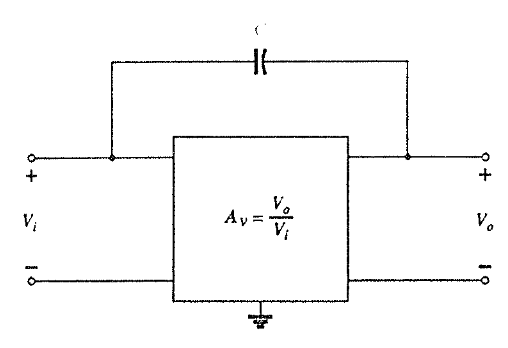


Figura 11.43 Red utilizada en la deducción de una ecuación para la capacitancia Miller de entrada.

Al aplicar la ley de corriente de Kirchhoff se obtiene

$$I_i = I_1 + I_2$$

Al utilizar la ley de Ohm se tiene

$$I_i = \frac{V_i}{Z_i}, \quad I_1 = \frac{V_i}{R_i}$$

e

$$I_2 = \frac{V_i - V_o}{X_{C_f}} = \frac{V_i - A_v V_i}{X_{C_f}} = \frac{(1 - A_v)V_i}{X_{C_f}}$$

Al sustituir se obtiene

$$\frac{V_i}{Z_i} = \frac{V_i}{R_i} + \frac{(1 - A_v)V_i}{X_{C_f}}$$

y

$$\frac{1}{Z_i} = \frac{1}{R_i} + \frac{1}{X_{C_f}/(1 - A_v)}$$

pero

$$\frac{X_{C_f}}{1 - A_v} = \underbrace{\frac{1}{\omega(1 - A_v)C_f}}_{C_M} = X_{C_M}$$

y

$$\frac{1}{Z_i} = \frac{1}{R_i} + \frac{1}{X_{C_M}}$$

con lo que se establece la red equivalente de la figura 11.44. El resultado es una impedancia de entrada equivalente para el amplificador de la figura 11.43, que incluye la misma R_i con la que nos hemos topado en capítulos previos, con la adición de un capacitor de retroalimentación magnificado por la ganancia del amplificador. Cualquier capacitancia interelectródica en las terminales de entrada del amplificador simplemente se añadirá en paralelo con los elementos de la figura 11.44.

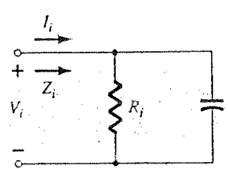


Figura 11.44 Demostración del impacto de la capacitancia de efecto Miller.

En general, por lo tanto, la capacitancia de entrada de efecto Miller está definida por

$$C_{M_i} = (1 - A_v)C_f \tag{11.42}$$

Esto nos demuestra que:

Para cualquier amplificador inversor, la capacitancia de entrada se incrementará por una capacitancia de efecto Miller sensible a la ganancia del amplificador y a la capacitancia interelectródica (parásita) entre las terminales de entrada y de salida del dispositivo activo.

El dilema de una ecuación como la ecuación 11.42 es que a frecuencias altas, la ganancia A_v será una función del nivel de C_{M_i}. Sin embargo, debido a que la ganancia máxima es el valor de banda media, al emplear el valor de banda media se obtendrá el nivel más alto de C_{M_i} y el escenario del peor caso. En general, por tanto, el valor de la banda media es generalmente utilizado para A_v en la ecuación 11.42.

El motivo para la restricción de que el amplificador sea del tipo inversor es ahora más aparente cuando se examina la ecuación 11.42. Un valor positivo de A_v daría por resultado una capacitancia negativa (para $A_v > 1$).

El efecto Miller también incrementará el nivel de la capacitancia de salida, el cual también debe ser considerado al determinar el corte de alta frecuencia. En la figura 11.45, se encuentran colocados los parámetros relevantes para la determinación del efecto Miller de salida. Al aplicar la ley de corriente de Kirchhoff se obtendrá

$$I_o = I_1 + I_2$$

con

$$I_1 = \frac{V_o}{R_o} \quad \text{e} \quad I_2 = \frac{V_o - V_i}{X_{C_f}}$$

La resistencia R_o es por lo regular suficientemente grande para permitir que se ignore el primer término de la ecuación en comparación con el segundo término y asumir que

$$I_o \cong \frac{V_o - V_i}{X_{C_f}}$$

Al sustituir $V_i = V_o/A_v$ de $A_v = V_o/V_i$ se obtendrá

$$I_o = \frac{V_o - V_o/A_v}{X_{C_f}} = \frac{V_o(1 - 1/A_v)}{X_{C_f}}$$

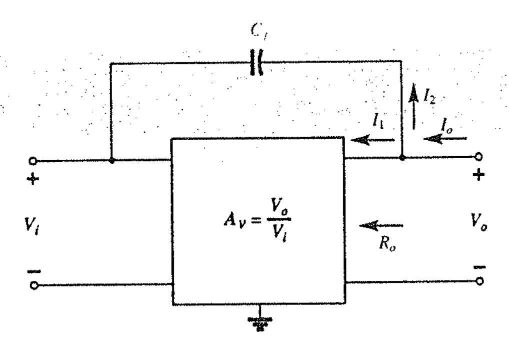


Figura 11.45 Red utilizada en la deducción de una ecuación para la capacitancia Miller de salida.

e
$$\frac{I_o}{V_o} = \frac{1 - 1/A_v}{X_{C_f}}$$
o
$$\frac{V_o}{I_o} = \frac{X_{C_f}}{1 - 1/A_v} = \frac{1}{\omega C_f(1 - 1/A_v)} = \frac{1}{\omega C_{M_o}}$$

lo que da por resultado la siguiente ecuación para la capacitancia Miller de salida:

$$C_{M_o} = \left(1 - \frac{1}{A_v}\right)C_f \qquad (11.43)$$

Para la situación común donde $A_v \gg 1$, la ecuación 11.43 se reduce a

$$C_{M_o} \cong C_f \Big|_{|A_v|>>1} \qquad (11.44)$$

En las siguientes dos secciones se presentan ejemplos del uso de la ecuación 11.43 a medida que se analicen las respuestas a altas frecuencias de los amplificadores BJT y FET.

11.9 RESPUESTA A ALTA FRECUENCIA: AMPLIFICADOR BJT

En el extremo de alta frecuencia, existen dos factores que definen el punto de −3 dB: la capacitancia de la red (parásita e introducida) y la dependencia a la frecuencia de $h_{fe}(\beta)$.

Parámetros de la red

En la región de alta frecuencia, la red *RC* de interés cuenta con la configuración que aparece en la figura 11.46. Para frecuencias crecientes, la reactancia X_C disminuye en magnitud, con lo que se ocasiona un efecto de corto a través de la salida y una disminución de la ganancia. La deducción que lleva a la frecuencia de esquina para esta configuración R_C sigue una línea similar a la encontrada para la región de baja frecuencia. La principal diferencia es la forma general de A_v que aparece a continuación:

$$A_v = \frac{1}{1 + j(f/f_2)} \qquad (11.45)$$

Figura 11.46 Combinación *R-C* que define una frecuencia alta de corte.

la cual genera una gráfica de magnitud como se muestra en la figura 11.47, que tiene una caída en 6 dB/octava ante el incremento en la frecuencia. Observe que f_2 se encuentra en el denominador de la relación de frecuencia en lugar de en el numerador, como ocurre para f_1 en la ecuación 11.21.

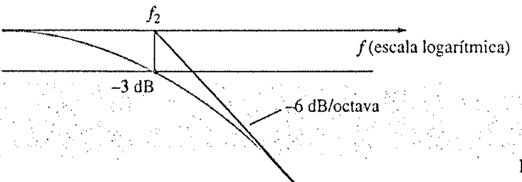


Figura 11.47 Gráfica asintótica según la define la ecuación 11.45.

En la figura 11.48 se incluyen las distintas capacitancias parásitas (C_{be}, C_{bc}, C_{ce}) del transistor junto con las capacitancias de cableado (C_{W_i}, C_{W_o}) que se insertaron durante la construcción. El modelo equivalente para alta frecuencia de la red de la figura 11.48 se muestra en la figura 11.49. Observe la ausencia de los capacitores C_s, C_C y C_E, los cuales se asume que se

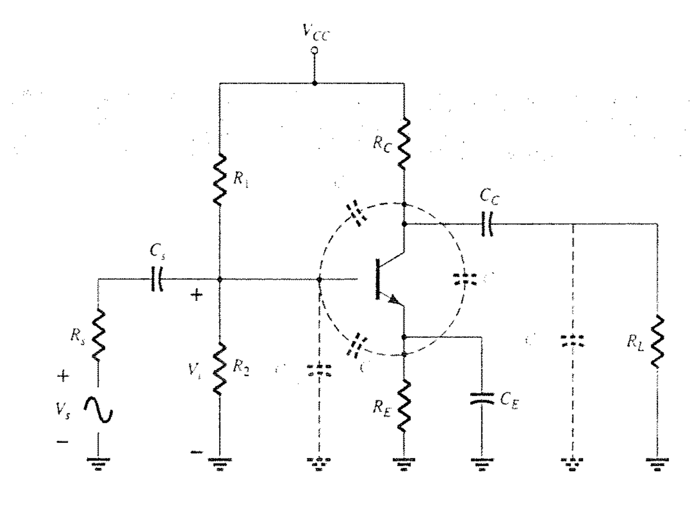


Figura 11.48 Red de la figura 11.18 con los capacitores que afectan la respuesta de alta frecuencia.

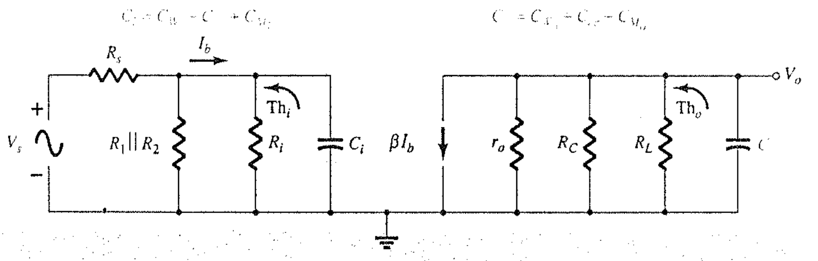


Figura 11.49 Modelo equivalente de ac de alta frecuencia para la red de la figura 11.48.

encuentran en el estado de corto circuito para estas frecuencias. La capacitancia C_i incluye a la capacitancia de cableado de entrada C_{W_i}, la capacitancia de transición C_{be}, y la capacitancia Miller de entrada C_{M_i}. La capacitancia C_o incluye a la capacitancia de cableado de salida C_{W_o}, la capacitancia parásita C_{ce} y la capacitancia Miller de salida C_{M_o}. En general, la capacitancia C_{be} es la mayor de las capacitancias parásitas siendo C_{ce} la menor. De hecho, la mayoría de las hojas de especificaciones proporcionan los niveles de C_{be} y C_{bc} y no incluyen a C_{ce} a menos que ésta afecte la respuesta de un tipo particular de transistor en un área específica de aplicación.

Al determinar el circuito equivalente de Thévenin para las redes de entrada y de salida de la figura 11.49 se obtendrán las configuraciones de la figura 11.50. Para la red de entrada, la frecuencia de −3 dB está definida por

$$f_{H_i} = \frac{1}{2\pi R_{Th_i} C_i} \qquad (11.46)$$

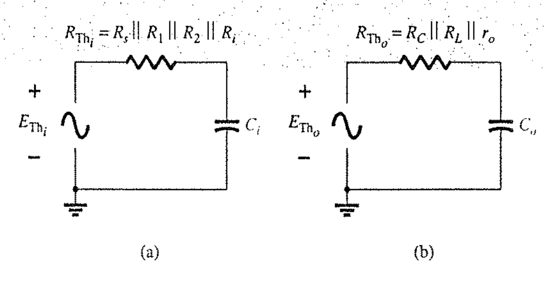


Figura 11.50 Circuitos de Thévenin para las redes de entrada y de salida de la red de la figura 11.49.

con

$$R_{Th_i} = R_s \| R_1 \| R_2 \| R_i \tag{11.47}$$

y

$$C_i = C_{W_i} + C_{be} + C_{M_i} = C_{W_i} + C_{be} + (1 - A_v)C_{bc} \tag{11.48}$$

Para frecuencias muy altas, el efecto de C_i es reducir la impedancia total de la combinación en paralelo de R_1, R_2, R_i y C_i en la figura 11.49. El resultado es un nivel reducido de voltaje a través de C_i, una reducción en I_b y una ganancia para el sistema.

Para la red de salida,

$$f_{H_o} = \frac{1}{2\pi R_{Th_o} C_o} \tag{11.49}$$

con

$$R_{Th_o} = R_C \| R_L \| r_o \tag{11.50}$$

y

$$C_o = C_{W_o} + C_{ce} + C_{M_o} \tag{11.51}$$

Para frecuencias muy altas, la reactancia capacitiva de C_o disminuirá, y por consecuencia reducirá la impedancia total de las ramas de salida en paralelo de la figura 11.49. El resultado neto es que V_o también decaerá hacia cero a medida que la reactancia X_C se hace más pequeña. Cada una de las frecuencias f_{H_i} y f_{H_o} definirá una asíntota de -6 dB/octava, como se ilustra en la figura 11.47. Si los capacitores parásitos fuesen los únicos elementos que determinan la frecuencia de corte alta, la menor de las frecuencias sería el factor determinante. Sin embargo, la disminución de h_{fe} (o β) con la frecuencia también se debe considerar para ver si su frecuencia de corte es menor que f_{H_i} o f_{H_o}.

Variación de h_{fe} (o β)

La variación de h_{fe} (o β) con la frecuencia se aproxima, con un cierto grado de exactitud, mediante la siguiente relación:

$$h_{fe} = \frac{h_{fe_{med}}}{1 + j(f/f_\beta)} \tag{11.52}$$

El empleo de h_{fe} en lugar de β en una parte de este material descriptivo se debe principalmente al hecho de que los fabricantes, por lo regular, utilizan parámetros híbridos cuando cubren esta cuestión en sus hojas de especificaciones.

La única cantidad no definida, f_β, se encuentra determinada por un conjunto de parámetros utilizados en el modelo *híbrido* π o modelo de *Giacoletto*, que con frecuencia se aplica para representar de una mejor manera al transistor en la región de alta frecuencia, y el cual se presenta en la figura 11.51. Los distintos parámetros merecen una breve explicación. La resistencia $r_{bb'}$ incluye la resistencia del contacto, del volumen y de la propagación de la base. La primera se debe a la conexión real de la base, la segunda incluye la resistencia a partir de la terminal externa hasta la región activa de los transistores, mientras que la última es la resistencia real

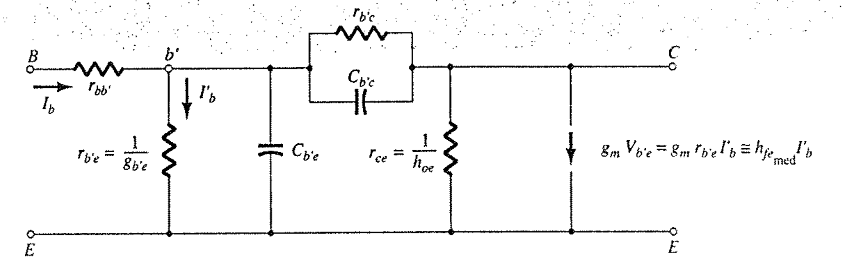


Figura 11.51 Circuito equivalente Giacoletto (o π híbrido) de ac de pequeña señal para transistores en alta frecuencia.

dentro de la región activa de la base. Las resistencias $r_{b'e}$, r_{ce}, y $r_{b'c}$ son las resistencias entre las terminales indicadas cuando el dispositivo de encuentra en la región activa. Lo mismo es válido para las capacitancias $C_{b'c}$ y $C_{b'e}$, sin embargo, la primera es una capacitancia de transición mientras que la última es una capacitancia de difusión. En distintos textos disponibles es posible encontrar una explicación más detallada de la dependencia a la frecuencia de cada una de ellas.

En términos de estos parámetros,

$$f_\beta (\text{que algunas veces aparecen como } f_{h_{fe}}) = \frac{g_{b'e}}{2\pi(C_{b'e} + C_{b'c})} \tag{11.53}$$

o dado que el parámetro híbrido h_{fe} está relacionado con $g_{b'e}$ mediante $g_m = h_{fe_{med}} g_{b'e}$,

$$f_\beta = \frac{1}{h_{fe_{med}}} \frac{g_m}{2\pi(C_{b'e} + C_{b'c})} \tag{11.54}$$

Tomando un paso adelante,

$$g_m = h_{fe_{med}} g_{b'e} = h_{fe_{med}} \frac{1}{r_{b'e}} \cong \frac{h_{fe_{med}}}{h_{ie}} = \frac{\beta_{med}}{\beta_{med} r_e} = \frac{1}{r_e}$$

y al emplear aproximaciones

$$C_{b'e} \cong C_{be} \qquad \text{y} \qquad C_{b'c} \cong C_{bc}$$

darán por resultado la siguiente forma para la ecuación 11.52:

$$f_\beta \cong \frac{1}{2\pi \beta_{med} r_e (C_{be} + C_{bc})} \tag{11.55}$$

La ecuación 11.55 muestra con claridad que dado que r_e está en función del diseño de la red:

f_β está en función de las condiciones de polarización.

El formato básico de la ecuación 11.52 es exactamente el mismo que el de la ecuación 11.45 si se extrae el factor multiplicador $h_{fe_{med}}$, lo que muestra que h_{fe} caerá a partir de su valor de banda media con una pendiente de 6 dB/octava como se muestra en la figura 11.52. La misma figura contiene una gráfica de h_{fb} (o α) en función de la frecuencia. Observe el pequeño cambio en h_{fb} para el rango de frecuencia seleccionado, el cual muestra que la configuración de base común exhibe mejores características de alta frecuencia en comparación con la configuración de emisor común. También recuerde la ausencia de la capacitancia de efecto Miller debido a las características no inversoras de la configuración de base común. Por esta precisa razón, por lo regular se especifican los parámetros de alta frecuencia para base común en lugar de para emisor común, para un transistor, especialmente para aquéllos diseñados específicamente para operar en las regiones de alta frecuencia.

La siguiente ecuación permite una conversión directa para la determinación de f_β si se especifican f_α y α.

$$f_\beta = f_\alpha(1 - \alpha) \tag{11.56}$$

La cantidad definida como *producto ganancia-ancho de banda* se define para el transistor mediante la condición

$$\left| \frac{h_{fe_{med}}}{1 + j(f/f_\beta)} \right| = 1$$

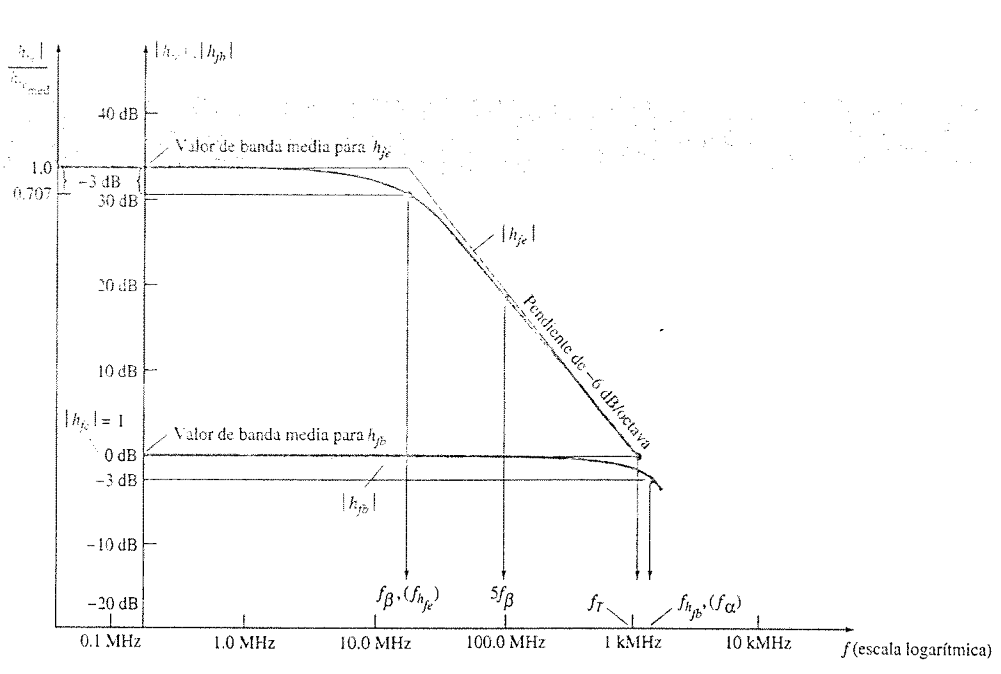


Figura 11.52 h_{fe} y h_{fb} en función de la frecuencia en la región de alta frecuencia.

por lo que $$|h_{fe}|_{dB} = 20 \log_{10}\left|\frac{h_{fe_{med}}}{1 + j(f/f_\beta)}\right| = 20 \log_{10} 1 = 0 \text{ dB}$$

La frecuencia en la que $|h_{fe}|_{dB} = 0$ dB se indica claramente mediante f_T en la figura 11.52. La magnitud de h_{fe} en el punto de la condición definida ($f_T >> f_\beta$) está dada por

$$\frac{h_{fe_{med}}}{\sqrt{1 + (f_T/f_\beta)^2}} \cong \frac{h_{fe_{med}}}{f_T/f_\beta} = 1$$

de forma que $$f_T \cong h_{fe_{med}} \cdot \underbrace{f_\beta}_{(\cong \text{BW})} \quad \text{(producto ganancia-ancho de banda} \tag{11.57}$$

o $$f_T \cong \beta_{med} f_\beta \tag{11.58}$$

con $$f_\beta = \frac{f_T}{\beta_{med}} \tag{11.59}$$

Al sustituir la ecuación 11.55 por f_β en la ecuación 11.57 se obtiene

$$f_T \cong \beta_{med} \frac{1}{2\pi\beta_{med} r_e(C_{be} + C_{bc})}$$

y $$f_T \cong \frac{1}{2\pi r_e(C_{be} + C_{bc})} \tag{11.60}$$

EJEMPLO 11.11

Para la red de la figura 11.48 mediante el uso de los mismos parámetros que en el ejemplo 11.9, es decir,

$R_s = 1$ kΩ, $R_1 = 40$ kΩ, $R_2 = 10$ kΩ, $R_E = 2$ kΩ, $R_C = 4$ kΩ, $R_L = 2.2$ kΩ

$C_s = 10$ μF, $C_C = 1$ μF, $C_E = 20$ μF

$\beta = 100$, $r_o = \infty$ Ω, $V_{CC} = 20$ V

con la adición de

$$C_{be} = 36 \text{ pF}, C_{bc} = 4 \text{ pF}, C_{ce} = 1 \text{ pF}, C_{W_i} = 6 \text{ pF}, C_{W_o} = 8 \text{ pF}$$

(a) Determine f_{H_i} y f_{H_o}.
(b) Encuentre f_β y f_T.
(c) Dibuje la respuesta a la frecuencia para las regiones de baja y alta frecuencia mediante el empleo de los resultados del ejemplo 11.9 y los resultados de los incisos (*a*) y (*b*).
(d) Obtenga una respuesta **PROBE** para el espectro completo de frecuencias y compárela con los resultados del inciso (*c*).

Solución

(a) Del ejemplo 11.9:

$$R_i = 1.32 \text{ k}\Omega, \quad A_{v_{med}}(\text{amplificador}) = -90$$

y $$R_{Th_i} = R_s \| R_1 \| R_2 \| R_i = 1 \text{ k}\Omega \| 40 \text{ k}\Omega \| 10 \text{ k}\Omega \| 1.32 \text{ k}\Omega \cong 0.531 \text{ k}\Omega$$

con $$C_i = C_{W_i} + C_{be} + (1 - A_v)C_{be} = 6 \text{ pF} + 36 \text{ pF} + [1 - (-90)]4 \text{ pF} = 406 \text{ pF}$$

$$f_{H_i} = \frac{1}{2\pi R_{Th_i} C_i} = \frac{1}{2\pi(0.531 \text{ k}\Omega)(406 \text{ pF})} = \mathbf{738.24\ kHz}$$

$$R_{Th_o} = R_C \| R_L = 4 \text{ k}\Omega \| 2.2 \text{ k}\Omega = 1.419 \text{ k}\Omega$$

$$C_o = C_{W_o} + C_{ce} + C_{M_o} = 8 \text{ pF} + 1 \text{ pF} + \left(1 - \frac{1}{-90}\right)4 \text{ pF} = 13.04 \text{ pF}$$

$$f_{H_o} = \frac{1}{2\pi R_{Th_o} C_o} = \frac{1}{2\pi(1.419 \text{ k}\Omega)(13.04 \text{ pF})} = \mathbf{8.6\ MHz}$$

(b) Al aplicar la ecuación 11.55 se obtiene

$$f_\beta = \frac{1}{2\pi\beta_{med} r_e(C_{be} + C_{bc})} = \frac{1}{2\pi(100)(15.76\ \Omega)(36 \text{ pF} + 4 \text{ pF})} = \frac{1}{2\pi(100)(15.76\ \Omega)(40 \text{ pF})} = \mathbf{2.52\ MHz}$$

$$f_T = \beta_{med} f_\beta = (100)(2.52 \text{ MHz}) = \mathbf{252\ MHz}$$

(c) Observe la figura 11.53. Tanto f_β como f_{H_o} bajarán la frecuencia superior de corte por debajo del nivel determinado por f_{H_i}. f_β es cercana a f_{H_o} y por tanto, tendrá un impacto mayor que f_{H_o}. En todo caso, el ancho de banda será menor que el definido únicamente por f_{H_i}. De hecho, para los parámetros de esta red, la frecuencia superior de corte será relativamente cercana a los 600 kHz.

En general, por tanto, la menor de las frecuencias superiores de corte define un ancho de banda máximo posible para un sistema.

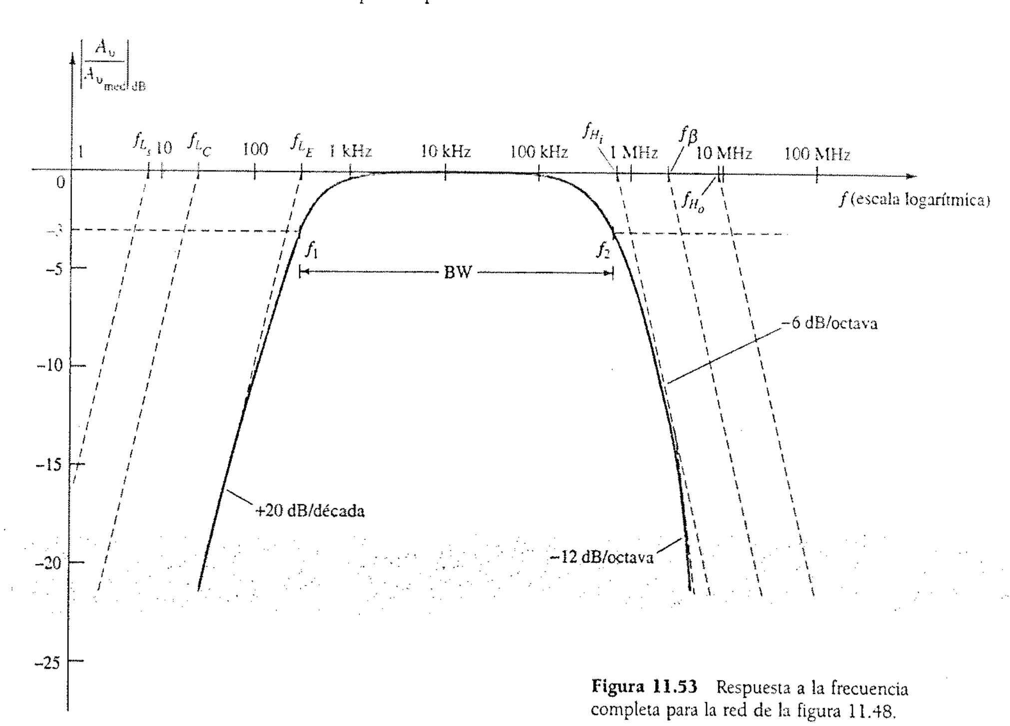


Figura 11.53 Respuesta a la frecuencia completa para la red de la figura 11.48.

(d) Para obtener un análisis PSpice para el rango entero de frecuencias, se deberán añadir las capacitancias parásitas a la red, como se muestra en la figura 11.54.

Figura 11.54 Red de la figura 11.27 con capacitancias parásitas colocadas.

La ejecución de **Analysis** dará por resultado la gráfica de la figura 11.55 por medio de la opción **Trace Expression** que aparece en la parte inferior de la gráfica. La escala vertical se modificó de −60 a 0 dB a −30 a 0 dB mediante **Y-Axis Settings** para resaltar el área de interés. La frecuencia inferior de corte de 324 Hz según lo determina principalmente f_{L_E}, y la frecuencia superior de corte se encuentra cercana a 667 kHz. Incluso aunque f_{H_o} es más de una década mayor que f_{H_i}, tendrá un impacto sobre la frecuencia superior de corte. En general, sin embargo, el análisis de PSpice ha resultado una buena verificación para el método efectuado a mano.

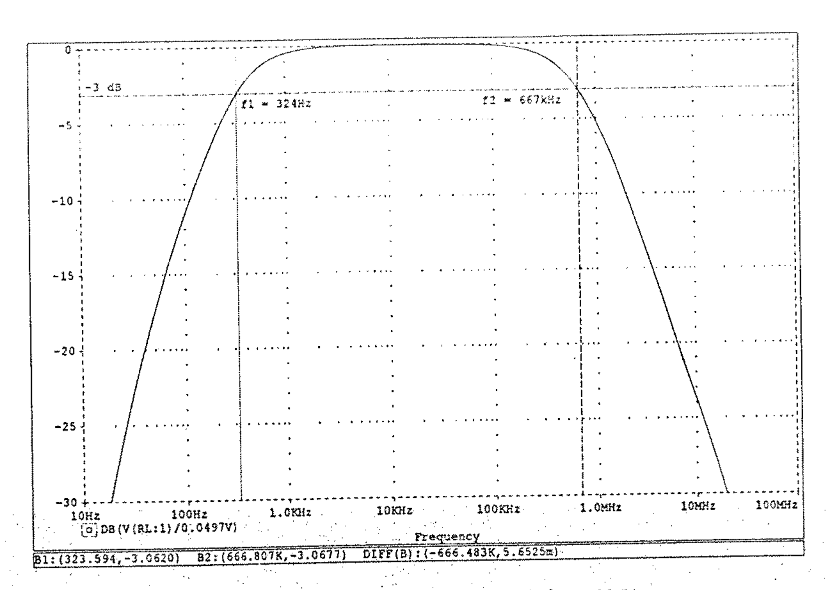


Figura 11.55 Respuesta de frecuencia completa para la red de la figura 11.54.

11.10 RESPUESTA A ALTA FRECUENCIA: AMPLIFICADOR FET

El análisis de respuesta a alta frecuencia para el amplificador a FET procederá de una forma muy similar a la encontrada para el amplificador a BJT. Como se muestra en la figura 11.56, existen capacitancias interelectródicas y de cableado que determinarán las características de alta frecuencia del amplificador. Los capacitores C_{gs} y C_{gd}, por lo general, varían de 1 a 10 pF, mientras que la capacitancia C_{ds} es, por lo regular, mucho más pequeña, con rangos de 0.1 a 1 pF.

Debido a que la red de la figura 11.56 es un amplificador inversor, se presentará una capacitancia de efecto Miller en la red equivalente de ac de alta frecuencia que aparece en la figura 11.57. Para altas frecuencias, C_i se aproxima a un corto circuito equivalente y V_{gs} reducirá su valor, con lo que disminuirá la ganancia global. En frecuencias donde C_o se aproxima al corto circuito equivalente, el voltaje paralelo de salida V_o caerá en magnitud.

Las frecuencias de corte definidas por los circuitos de entrada y de salida pueden obtenerse al encontrar primero los circuitos equivalentes de Thévenin para cada sección como se muestra en la figura 11.58. Para el circuito de entrada,

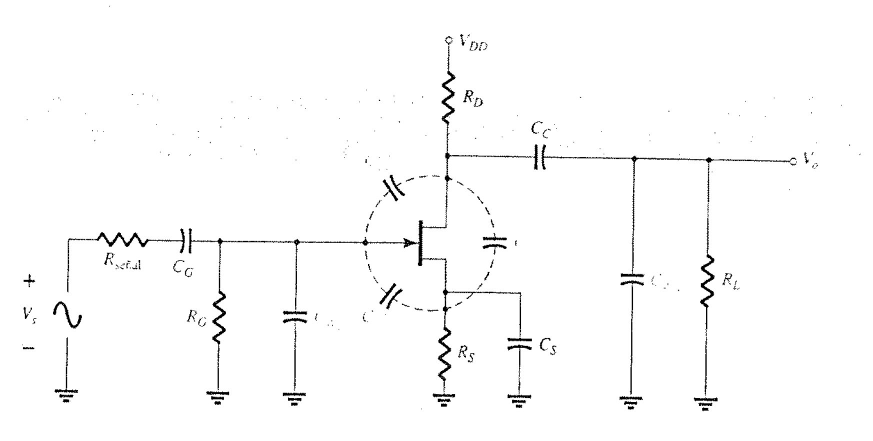


Figura 11.56 Elementos capacitivos que afectan la respuesta de alta frecuencia de un amplificador JFET.

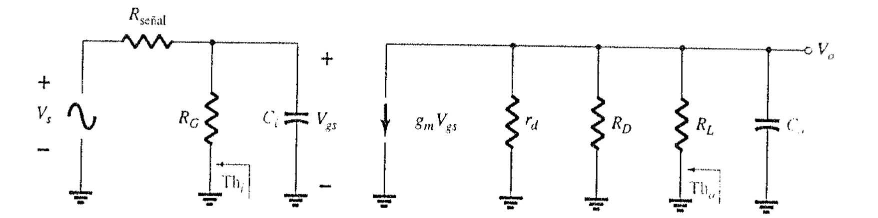


Figura 11.57 Circuito equivalente de ac de alta frecuencia para la figura 11.56.

$$f_{H_i} = \frac{1}{2\pi R_{Th_i} C_i} \tag{11.61}$$

y

$$R_{Th_i} = R_{señal} \| R_G \tag{11.62}$$

con

$$C_i = C_{W_i} + C_{gs} + C_{M_i} \tag{11.63}$$

y

$$C_{M_i} = (1 - A_v)C_{gd} \tag{11.64}$$

para el circuito de salida,

$$f_{H_o} = \frac{1}{2\pi R_{Th_o} C_o} \tag{11.65}$$

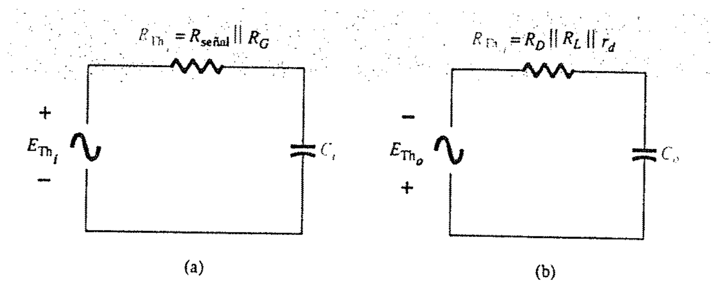


Figura 11.58 Circuitos equivalentes de Thévenin para (a) el circuito de entrada y (b) el circuito de salida.

con

$$R_{Th_o} = R_D \| R_L \| r_d \tag{11.66}$$

y

$$C_o = C_{W_o} + C_{ds} + C_{M_o} \tag{11.67}$$

y

$$C_{M_o} = \left(1 - \frac{1}{A_v}\right) C_{gd} \tag{11.68}$$

EJEMPLO 11.12

(a) Determine las frecuencias superiores de corte para la red de la figura 11.56 mediante el empleo de los mismos parámetros que en el ejemplo 11.10:

$$C_G = 0.01\ \mu\text{F}, \quad C_C = 0.5\ \mu\text{F}, \quad C_S = 2\ \mu\text{F}$$

$$R_{señal} = 10\ \text{k}\Omega, \quad R_G = 1\ \text{M}\Omega, \quad R_D = 4.7\ \text{k}\Omega, \quad R_S = 1\ \text{k}\Omega, \quad R_L = 2.2\ \text{k}\Omega$$

$$I_{DSS} = 8\ \text{mA}, \quad V_P = -4\ \text{V}, \quad r_d = \infty\ \Omega, \quad V_{DD} = 20\ \text{V}$$

con la adición de

$$C_{gd} = 2\ \text{pF}, \quad C_{gs} = 4\ \text{pF}, \quad C_{ds} = 0.5\ \text{pF}, \quad C_{W_i} = 5\ \text{pF}, \quad C_{W_o} = 6\ \text{pF}$$

(b) Revise una respuesta por medio de **PROBE** para el rango completo de frecuencias y observe si apoya las conclusiones del ejemplo 11.10 y a los cálculos anteriores.

Solución

(a) $R_{Th_i} = R_{señal} \| R_G = 10\ \text{k}\Omega \| 1\ \text{M}\Omega = 9.9\ \text{k}\Omega$

Para el ejemplo 11.10, $A_v = -3$.

$$\begin{aligned} C_i &= C_{W_i} + C_{gs} + (1 - A_v)C_{gd} \\ &= 5\ \text{pF} + 4\ \text{pF} + (1 + 3)2\ \text{pF} \\ &= 9\ \text{pF} + 8\ \text{pF} \\ &= 17\ \text{pF} \end{aligned}$$

$$\begin{aligned} f_{H_i} &= \frac{1}{2\pi R_{Th_i} C_i} \\ &= \frac{1}{2\pi(9.9\ \text{k}\Omega)(17\ \text{pF})} = \mathbf{945.67\ kHz} \end{aligned}$$

$$\begin{aligned} R_{Th_o} &= R_D \| R_L \\ &= 4.7\ \text{k}\Omega \| 2.2\ \text{k}\Omega \\ &\cong 1.5\ \text{k}\Omega \end{aligned}$$

$$C_o = C_{W_o} + C_{ds} + C_{M_o} = 6\ \text{pF} + 0.5\ \text{pF} + \left(1 - \frac{1}{-3}\right) 2\ \text{pF} = 9.17\ \text{pF}$$

$$f_{H_o} = \frac{1}{2\pi(1.5\ \text{k}\Omega)(9.17\ \text{pF})} = \mathbf{11.57\ MHz}$$

Los resultados anteriores indican claramente que la capacitancia de entrada junto con su capacitancia de efecto Miller determinará la frecuencia superior de corte. Por lo regular, éste es el caso debido a un valor menor de C_{ds} y a los niveles de resistencia encontrados en el circuito de salida.

(b) Mediante el empleo de PSpice para Windows, el esquema de la red será como el mostrado en la figura 11.59.

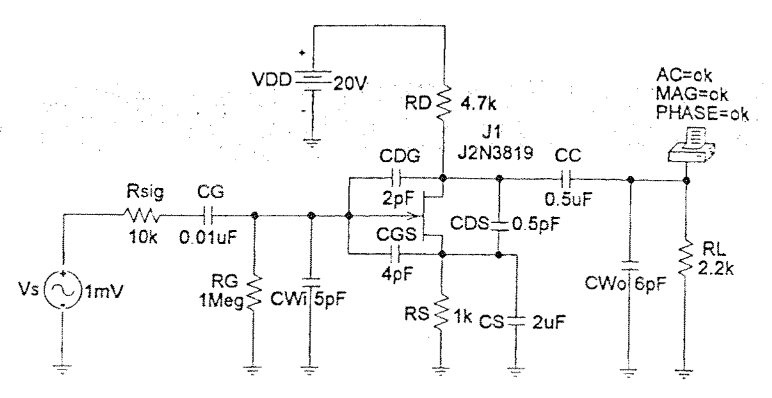


Figura 11.59 Red de la figura 11.56 con valores asignados.

Debajo de **Analysis**, la opción **AC Sweep** se establece en décadas (**Decade**) con **Pts/Decade** en 1000, frecuencia inicial (**Start Freq.:**) en 10 Hz y frecuencia final (**End Freq.:**) en 10 Mhz. En el cuadro de diálogo de **Add Traces** se captura la expresión a graficar (**Trace Expression**) como **DB(V(RL:1)/2.993mV)**, con lo que se obtiene la gráfica de la figura 11.60. Sólo por un momento, considere la cantidad de tiempo que tomaría obtener una gráfica como la de la figura 11.60 sin el uso de métodos computacionales para el caso de una red tan complicada como la de la figura 11.59. Con frecuencia, se olvida el apoyo que los sistemas computacionales nos proporcionan al evitar una serie de laboriosos, extensos y pesados cálculos.

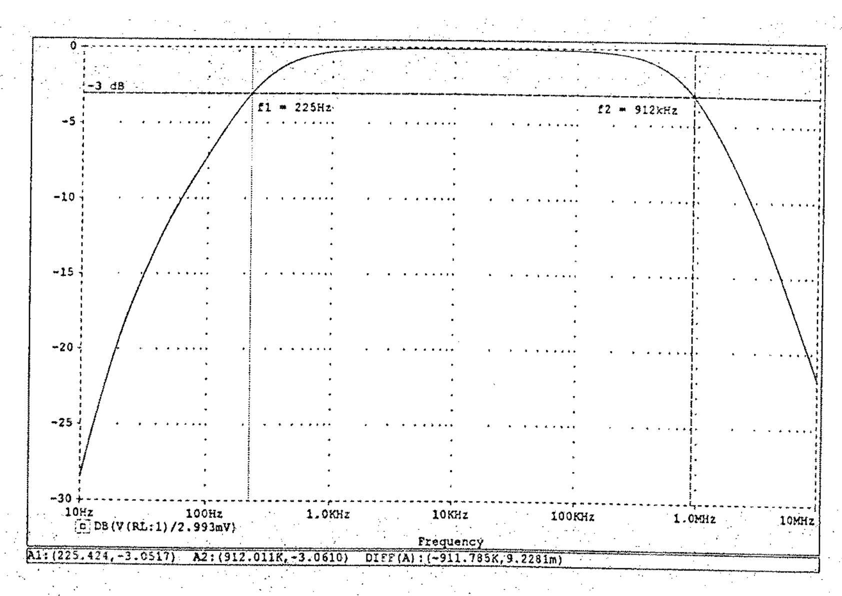


Figura 11.60 Respuesta a la frecuencia de la red del ejemplo 11.12.

Por medio del uso del cursor, vemos que las frecuencias inferiores y superiores de corte son de 225 Hz y 912 kHz, respectivamente, lo que se ajusta bien con los valores calculados.

Incluso aunque el análisis de las últimas secciones se ha limitado a dos configuraciones, la exposición al procedimiento general para la determinación de las frecuencias de corte deberá apoyar el análisis de cualquier otra configuración de transistor. Tenga en mente que la capacitancia Miller está limitada a los amplificadores inversores y que f_α es significativamente mayor que f_β para la configuración de base común. Existe una extensa literatura acerca del análisis de amplificadores de una etapa que va más allá de la cobertura de este capítulo. Sin embargo, el contenido de este capítulo deberá proporcionar una base firme para cualquier análisis futuro sobre efectos de la frecuencia.

11.11 EFECTOS DE FRECUENCIA EN MULTIETAPAS

Cuando una segunda etapa de transistor se conecta directamente a la salida de la primera etapa, se ocasionará un cambio significativo en la respuesta total a la frecuencia. En la región de alta frecuencia, la capacitancia de salida C_o deberá ahora incluir la capacitancia de cableado (C_{W_1}), la capacitancia parásita (C_{be}), y la capacitancia Miller (C_{M_i}) de la siguiente etapa. Es más, ahora existirán niveles adicionales de corte de baja frecuencia como consecuencia de la segunda etapa que reducirán la ganancia global del sistema en esta región. Para cada etapa adicional, la frecuencia superior de corte estará determinada principalmente por la etapa que tenga la menor frecuencia de corte. El corte de baja frecuencia estará determinado principalmente por la etapa que tenga la mayor frecuencia de corte de baja frecuencia. Evidentemente, por lo tanto, una etapa mal diseñada puede desbalancear a un sistema en cascada anteriormente bien diseñado.

El efecto del incremento en el número de etapas *idénticas* puede demostrarse de forma clara si consideramos las condiciones indicadas en la figura 11.61. En cada caso, las frecuencias superiores e inferiores de corte para cada una de las etapas en cascada son idénticas. Para una etapa sencilla, las frecuencias de corte son f_1 y f_2 como se indica. Para dos etapas idénticas en cascada, el ritmo de caída en las regiones de baja y de alta frecuencia se ha incrementado a -12 dB/octava o -40 dB/década. Por lo tanto, en f_1 y f_2 la caída en decibeles es ahora de -6 dB en lugar del nivel de ganancia de frecuencia de banda definido de -3 dB. El punto de -3 dB se desplazó a f_1' y f_2' como se indica, con una caída resultante en el ancho de banda. Para un sistema de tres etapas idénticas se obtendrá una pendiente de -18 dB/octava o -60 dB/década junto con la reducción del ancho de banda indicada (f_1'' y f_2'').

Si se asumen etapas idénticas, se puede determinar una ecuación para cada frecuencia de banda como una función del número de etapas (n) de la siguiente forma: Para la región de baja frecuencia,

$$A_{v_{\text{baja,(global)}}} = A_{v_{1_{\text{baja}}}} A_{v_{2_{\text{baja}}}} A_{v_{3_{\text{baja}}}} \cdots A_{v_{n_{\text{baja}}}}$$

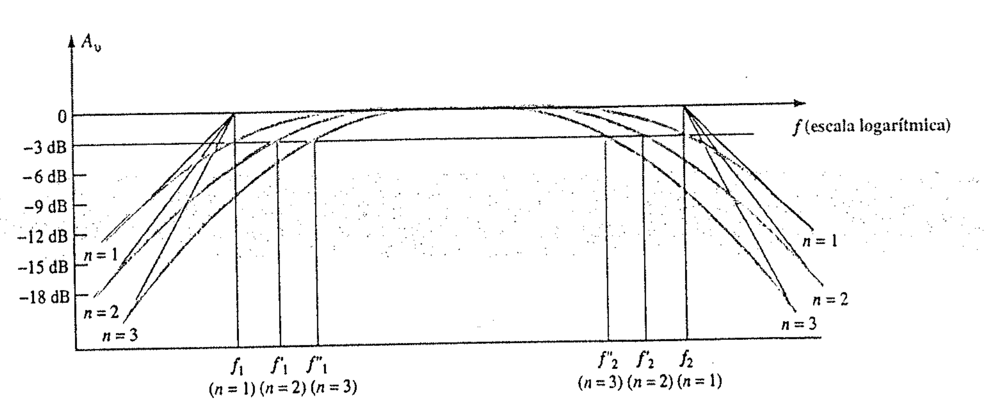


Figura 11.61 Efecto de un número mayor de etapas sobre las frecuencias de corte y el ancho de banda.

pero dado que cada etapa es idéntica, $A_{v_{1_{baja}}} = A_{v_{2_{baja}}}$ = etcétera y

$$A_{v_{baja\,(total)}} = (A_{v_{1_{baja}}})^n$$

o
$$\frac{A_{v_{baja}}}{A_{v_{media}}}(\text{total}) = \left(\frac{A_{v_{baja}}}{A_{v_{media}}}\right)^n = \frac{1}{(1 - jf_1/f)^n}$$

Al establecer la magnitud de este resultado igual a $1/\sqrt{2}$ (nivel de −3 dB) se obtiene

$$\frac{1}{\sqrt{[1 + (f_1/f_1')^2]^n}} = \frac{1}{\sqrt{2}}$$

o
$$\left\{\left[1 + \left(\frac{f_1}{f_1'}\right)^2\right]^{1/2}\right\}^n = \left\{\left[1 + \left(\frac{f_1}{f_1'}\right)^2\right]^n\right\}^{1/2} = (2)^{1/2}$$

de forma que
$$\left[1 + \left(\frac{f_1}{f_1'}\right)^2\right]^n = 2$$

y
$$1 + \left(\frac{f_1}{f_1'}\right)^2 = 2^{1/n}$$

lo que da por resultado que
$$f_1' = \frac{f_1}{\sqrt{2^{1/n} - 1}} \qquad (11.69)$$

De forma similar, se puede mostrar que para la región de alta frecuencia,

$$f_2' = (\sqrt{2^{1/n} - 1})f_2 \qquad (11.70)$$

Observe la presencia del mismo factor $\sqrt{2^{1/n} - 1}$ en cada ecuación. La magnitud de este factor para distintos valores de n se enumera a continuación.

n	$\sqrt{2^{1/n} - 1}$
2	0.64
3	0.51
4	0.43
5	0.39

Cuando $n = 2$, considere que la frecuencia superior de corte $f_2' = 0.64f_2$ o 64% del valor obtenido para una etapa sencilla, mientras que $f_1' = (1/0.64)f_1 = 1.56f_1$. Cuando $n = 3, f_2' = 0.51f_2$ aproximadamente $\frac{1}{2}$ del valor para una sola etapa con $f_1' = (1/0.51)f_1 = 1.96f_1$ o aproximadamente *el doble* del valor con una etapa.

Para el amplificador con acoplamiento RC, si $f_2 = f_\beta$ o si éstas se encuentran lo suficientemente cercanas en magnitud para que ambas afecten la frecuencia superior de 3 dB, el número de etapas se deberá incrementar por un factor de 2 al determinar f_2' debido al mayor número de factores $1/(1 + jf/f_x)$.

Una disminución en el ancho de banda no siempre se encuentra asociada a un incremento en el número de etapas si la ganancia de banda media puede permanecer fija e independiente del número de etapas. Por ejemplo, si un amplificador de una etapa produce una ganancia de 100 con un ancho de banda de 10,000 Hz, el producto ganancia-ancho de banda resultante es $10^2 \times 10^4 = 10^6$. Para un sistema de dos etapas es posible obtener la misma ganancia al tener dos etapas con una ganancia de 10 debido a que $10 \times 10 = 100$. El ancho de banda de cada etapa se incrementa entonces por un factor de 10 a 10,000 debido al requisito de menor ganancia y de producto fijo ganancia-ancho de banda fijo de 10^6. Por supuesto que el diseño debe permitir el mayor ancho de banda y establecer el menor nivel de ganancia.

11.12 PRUEBA DE ONDA CUADRADA

Es posible darse una idea experimental de la respuesta a la frecuencia de un amplificador si se aplica una señal de onda cuadrada al amplificador y se observa la respuesta de salida. La figura de la forma de onda de salida mostrará si las frecuencias bajas y altas están siendo amplificadas de forma correcta. La aplicación de una *prueba mediante onda cuadrada* consume significativamente menos tiempo que la aplicación de una serie de señales senoidales a frecuencias y magnitudes diferentes para probar la respuesta a la frecuencia del amplificador.

El motivo para elegir una señal de onda cuadrada para propósitos de pruebas se entiende mejor si se analiza la expansión de la *serie de Fourier* de una onda cuadrada compuesta por una serie de componentes senoidales de magnitudes y frecuencias distintas. La suma de los términos de la serie dará por resultado la forma de onda original. En otras palabras, incluso cuando una forma de onda no sea senoidal, ésta se puede reproducir por una serie de términos senoidales de frecuencias y magnitudes distintas.

La expansión de la serie de Fourier para la onda cuadrada de la figura 11.62 es

$$v = \frac{4}{\pi}V_m\left(\text{sen } 2\pi f_s t + \frac{1}{3}\text{sen } 2\pi(3f_s)t + \frac{1}{5}\text{sen } 2\pi(5f_s)t + \frac{1}{7}\text{sen } 2\pi(7f_s)t + \frac{1}{9}\text{sen } 2\pi(9f_s)t + \cdots + \frac{1}{n}\text{sen } 2\pi(nf_s)t\right) \qquad (11.71)$$

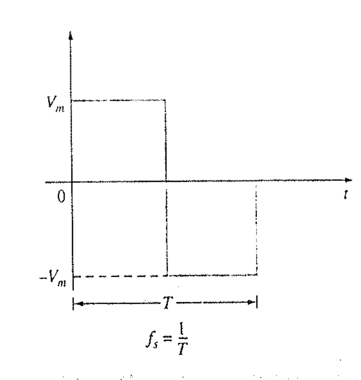


Figura 11.62 Onda cuadrada.

El primer término de la serie se denomina término *fundamental*, y en este caso cuenta con la misma frecuencia f_s que la onda cuadrada. El siguiente término tiene una frecuencia igual a tres veces la fundamental y se denomina *tercera armónica*. Su magnitud es de un tercio de la magnitud del término fundamental. Las frecuencias de los términos siguientes son múltiplos impares del término fundamental, y la magnitud disminuye con cada armónica superior. La figura 11.63 demuestra la forma en la que la suma de los términos de una serie de Fourier puede resultar en una forma de onda no senoidal. La generación de la onda cuadrada de la figura 11.62 requiere de un número infinito de términos. Sin embargo, la suma de sólo el término fundamental y de la tercera armónica en la figura 11.63a claramente genera una forma de onda que comienza a tomar la apariencia de la onda cuadrada. Al incluir la quinta y la séptima armónica, como en la figura 11.63b, es aún más similar a la forma de onda de la figura 11.62.

Debido a que la novena armónica posee una magnitud mayor a 10% del término fundamental $[\frac{1}{9}(100\%) = 11.1\%]$, el término fundamental y hasta la novena armónica son los contribuyentes principales a la expansión de la serie de Fourier de la función de onda cuadrada. Por tanto, es razonable asumir que si la aplicación de una onda cuadrada de una frecuencia particular da por resultado una nítida y clara forma de onda cuadrada a la salida, entonces desde la

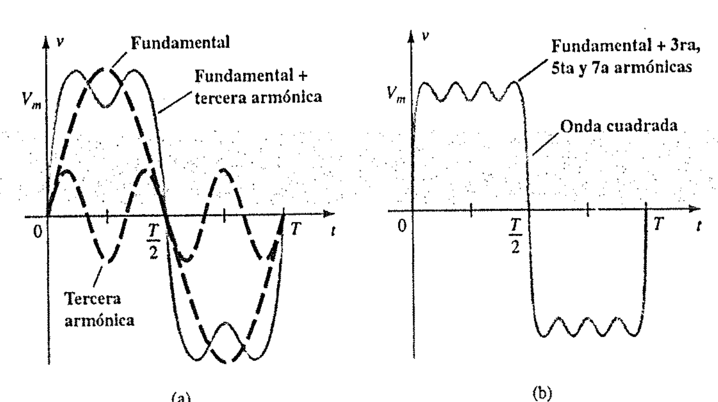


Figura 11.63 Contenido armónico de una onda cuadrada.

fundamental hasta la novena armónica se están amplificando sin distorsión visual por el amplificador. Por ejemplo, si se probara un amplificador de audio con un ancho de banda de 20 kHz (el rango de audio es de 20 Hz a 20 kHz), la frecuencia de la señal aplicada deberá ser al menos de 20 kHz/9 = 2.22 kHz.

Si la respuesta de un amplificador ante una onda cuadrada aplicada es una réplica sin distorsión de la salida, entonces la respuesta a la frecuencia (o ancho de banda) del amplificador es obviamente lo suficiente para la frecuencia aplicada. Si la respuesta es como se muestra en las figuras 11.64a y b, las frecuencias bajas no se están amplificando de forma adecuada y deberá verificarse la frecuencia inferior de corte. Si la forma de onda tiene la apariencia de la figura 11.64c, los componentes de alta frecuencia no están recibiendo suficiente amplificación y deberá verificarse la frecuencia superior de corte (o ancho de banda).

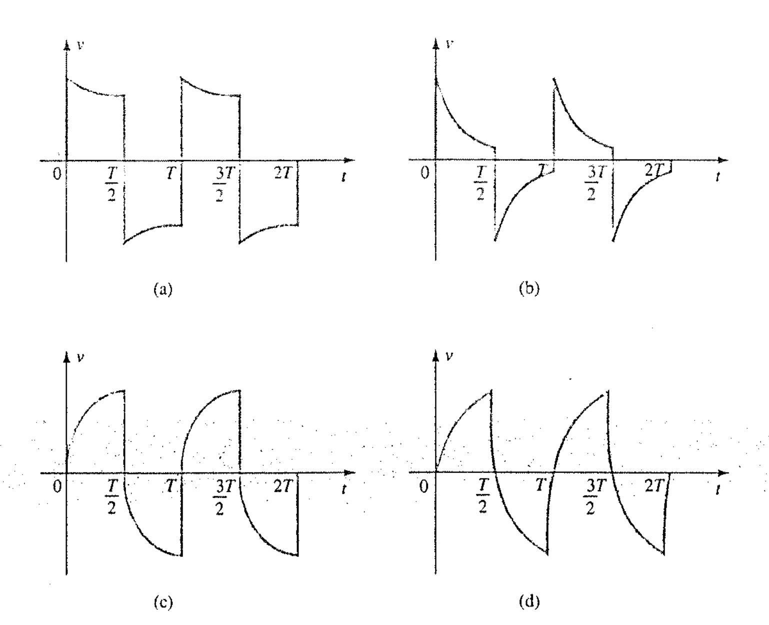


Figura 11.64 (a) Mala respuesta a baja frecuencia; (b) muy mala respuesta a la baja frecuencia; (c) mala respuesta a alta frecuencia; (d) muy mala respuesta a alta frecuencia.

La frecuencia superior de corte real (o ancho de banda) puede determinarse a partir de la forma de onda de salida al medir cuidadosamente el tiempo de subida definido entre 10 y 90% del valor pico, como se muestra en la figura 11.65. Al sustituirlo en la siguiente ecuación, se proporciona la frecuencia superior de corte, y debido a que el ancho de banda $= f_{H_i} - f_{L_o} \cong f_{H_i}$, la ecuación también proporciona una idea del ancho de banda del amplificador.

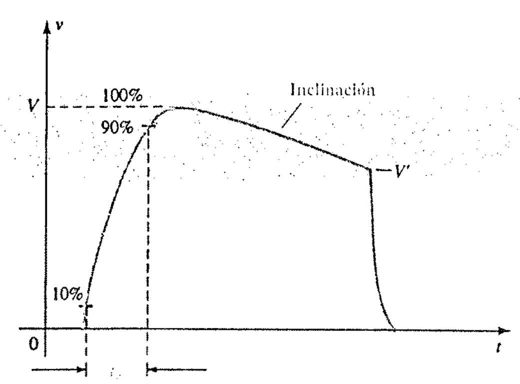


Figura 11.65 Definición del tiempo de subida e inclinación de la respuesta a una onda cuadrada.

$$\text{Ancho de banda} \cong f_{H_i} = \frac{0.35}{t_r} \qquad (11.72)$$

La frecuencia inferior de corte puede determinarse a partir de la respuesta de la salida al medir cuidadosamente la inclinación de la figura 11.65 y sustituirlo en una de las siguientes ecuaciones:

$$\%\ \text{inclinación} = P\% = \frac{V - V'}{V} \times 100\% \qquad (11.73)$$

$$\text{inclinación} = P = \frac{V - V'}{V} \quad \text{(en forma decimal)} \qquad (11.74)$$

La frecuencia inferior de corte se determina entonces por

$$f_{L_o} = \frac{P}{\pi} f_s \qquad (11.75)$$

EJEMPLO 11.13

La aplicación de una onda cuadrada de 1 mV, 5 kHz sobre un amplificador da por resultado la forma de onda de la figura 11.66.

(a) Escriba la expansión de la serie de Fourier para la onda cuadrada hasta la novena armónica.
(b) Determine el ancho de banda del amplificador.
(c) Calcule la frecuencia inferior de corte.

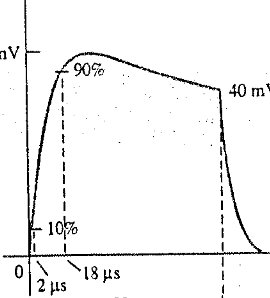


Figura 11.66 Ejemplo 11.13

Solución

(a) $$v_i = \frac{4\text{ mV}}{\pi}\left(\text{sen } 2\pi(5 \times 10^3)t + \frac{1}{3}\text{sen } 2\pi(15 \times 10^3)t + \frac{1}{5}\text{sen } 2\pi(25 \times 10^3)t + \frac{1}{7}\text{sen } 2\pi(35 \times 10^3)t + \frac{1}{9}\text{sen } 2\pi(45 \times 10^3)t\right)$$

(b) $t_r = 18\ \mu s - 2\ \mu s = 16\ \mu s$

$$\text{Ancho de banda} = \frac{0.35}{t_r} = \frac{0.35}{16\ \mu s} = \mathbf{21{,}875\ Hz} \cong 4.4 f_s$$

(c) $$P = \frac{V - V'}{V} = \frac{50\text{ mV} - 40\text{ mV}}{50\text{ mV}} = 0.2$$

$$f_{L_o} = \frac{P}{\pi} f_s = \left(\frac{0.2}{\pi}\right)(5\text{ kHz}) = \mathbf{318.31\ Hz}$$

11.13 RESUMEN

Conclusiones y conceptos importantes

1. El logaritmo de un número da por resultado **la potencia a la que la base debe elevarse para obtener el mismo número**. Si la base es 10, se denomina **logaritmo común**; si la base es $e = 2.71828\ldots$, se denomina **logaritmo natural**.

2. Dado que la medición en decibeles de cualquier pieza de equipo es una **comparación entre niveles**, se debe seleccionar un nivel de referencia para cada área de aplicación. Para sistemas de audio el nivel de referencia generalmente aceptado es **1 mW**. Cuando se utilizan niveles de voltaje para determinar la ganancia en dB entre dos puntos, por lo general, cualquier diferencia en el nivel de resistencia se ignora.
3. La ganancia en dB de sistemas en cascada es simplemente la **suma** de las ganancias en dB de cada etapa.
4. Los **elementos capacitivos** de la red son los que determinan el **ancho de banda** de un sistema. Los elementos capacitivos **mayores** del diseño básico determinan la frecuencia **inferior** de corte, mientras que los capacitores parásitos **más pequeños** determinan las frecuencias **superiores** de corte.
5. Las frecuencias a las que la ganancia cae a 70.7% del valor de banda media se denominan como frecuencias **de corte, esquina, banda, ruptura** o **de media potencia.**
6. Mientras **más angosto** sea el ancho de banda, **menor** será el rango de frecuencias que permitirán una transferencia de potencia a la carga que sea al menos 50% del nivel de banda media.
7. Un cambio en la frecuencia por un factor de **2**, equivalente a **1 octavo**, ocasiona un **cambio en la ganancia de 6 dB**. Para un cambio en la frecuencia de **10:1**, equivalente a **1 década**, existe un **cambio en la ganancia de 20 dB**.
8. Para cualquier amplificador **inversor,** la capacitancia de entrada se incrementa por una capacitancia de **efecto Miller** que es determinada por la **ganancia** del amplificador y la capacitancia **interelectródica** (parásita) entre las terminales de entrada y de salida del dispositivo activo.
9. Ocurrirá una **caída de 3 dB en beta** (h_{fe}) en una frecuencia definida por f_β que es sensible a las **condiciones de operación de dc** del transistor. Esta variación en beta puede definir la frecuencia superior de corte del diseño.
10. Las **frecuencias superior e inferior de corte** de un amplificador pueden determinarse mediante la respuesta del sistema ante una **entrada de onda cuadrada**. La apariencia general mostrará inmediatamente si la respuesta a alta o baja frecuencia del sistema es demasiado limitada para la frecuencia aplicada, mientras que un análisis más detallado de la respuesta mostrará el ancho de banda real del amplificador.

Ecuaciones

Logaritmos:

$$a = b^x, \qquad x = \log_b a$$

$$\log_{10}\frac{a}{b} = \log_{10} a - \log_{10} b$$

$$\log_{10} ab = \log_{10} a + \log_{10} b$$

$$G_{dB} = 10\log_{10}\frac{P_2}{P_1} = 20\log_{10}\frac{V_2}{V_1}$$

$$G_{dB_T} = G_{dB_1} + G_{dB_2} + G_{dB_3} + \cdots + G_{dB_n}$$

Respuesta a baja frecuencia:

$$A_v = \frac{1}{1 - j(f_1/f)}$$

$$f_1 = \frac{1}{2\pi RC}$$

Respuesta a baja frecuencia para BJT:

$$f_{L_s} = \frac{1}{2\pi(R_s + R_i)C_s}$$

$$R_i = R_1 \| R_2 \| \beta r_e$$

$$f_{L_C} = \frac{1}{2\pi(R_o + R_L)C_C}$$

$$R_o = R_C \| r_o$$

$$f_{L_E} = \frac{1}{2\pi R_e C_E}$$

$$R_e = R_E \Big\| \left(\frac{R'_s}{\beta} + r_e\right)$$

$$R'_s = R_s \| R_1 \| R_2$$

Respuesta a baja frecuencia para FET:

$$f_{L_G} = \frac{1}{2\pi(R_{\text{señal}} + R_i)C_G}$$

$$R_i = R_G$$

$$f_{L_C} = \frac{1}{2\pi(R_o + R_L)C_C}$$

$$R_o = R_D \| r_d$$

$$f_{L_S} = \frac{1}{2\pi R_{eq} C_S}$$

$$R_{eq} = \frac{R_S}{1 + R_S(1 + g_m r_d)/(r_d + R_D \| R_L)} \cong R_S \Big\| \frac{1}{g_m}\Big|_{r_d \cong \infty\,\Omega}$$

Capacitancia de efecto Miller:

$$C_{M_i} = (1 - A_v)C_f$$

$$C_{M_o} = \left(1 - \frac{1}{A_v}\right)C_f$$

Respuesta a alta frecuencia para BJT:

$$A_v = \frac{1}{1 + j(f/f_2)}$$

$$f_{H_i} = \frac{1}{2\pi R_{Th_i} C_i}$$

$$R_{Th_i} = R_s \| R_1 \| R_2 \| R_i$$

$$C_i = C_{W_i} + C_{be} + C_{M_i}$$

$$f_{H_o} = \frac{1}{2\pi R_{Th_o} C_o}$$

$$R_{Th_o} = R_C \| R_L \| r_o$$

$$C_o = C_{W_o} + C_{ce} + C_{M_o}$$

$$h_{fe} = \frac{h_{fe_{med}}}{1 + j(f/f_\beta)}$$

$$f_\beta \cong \frac{1}{2\pi\beta_{med} r_e (C_{be} + C_{bc})}$$

$$f_T \cong h_{fe_{med}} f_\beta$$

Respuesta a alta frecuencia para FET:

$$f_{H_i} = \frac{1}{2\pi R_{Th_i} C_i}$$

$$R_{Th_i} = R_{señal} \| R_G$$

$$C_i = C_{W_i} + C_{gs} + C_{M_i}$$

$$C_{M_i} = (1 - A_v) C_{gd}$$

$$f_{H_o} = \frac{1}{2\pi R_{Th_o} C_o}$$

$$R_{Th_o} = R_D \| R_L \| r_d$$

$$C_o = C_{W_o} + C_{ds} + C_{M_o}$$

$$C_{M_o} = \left(1 - \frac{1}{A_v}\right) C_{gd}$$

Efectos de multietapas:

$$f_1' = \frac{f_1}{\sqrt{2^{1/n} - 1}}$$

$$f_2' = (\sqrt{2^{1/n} - 1}) f_2$$

Prueba de onda cuadrada:

$$\text{Ancho de banda} \cong f_{H_i} = \frac{0.35}{t_r}$$

$$f_{L_o} = \frac{P}{\pi} f_s$$

$$P = \frac{V - V'}{V}$$

11.14 ANÁLISIS POR COMPUTADORA

El análisis por computadora de este capítulo se integró con objeto de enfatizar y demostrar claramente la capacidad del paquete de software PSpice. La respuesta completa a la frecuencia de un sistema de una etapa o multietapas puede determinarse en un periodo relativamente corto para verificar los cálculos teóricos o para proporcionar una idea inmediata de las frecuencias inferiores y superiores de corte del sistema. Los ejercicios de este capítulo proporcionarán una oportunidad para aplicar el paquete de software PSpice a una variedad de redes.

§ 11.2 Logaritmos

1. (a) Determine el logaritmo común de los siguientes números: 10^3, 50 y 0.707.
   (b) Determine el logaritmo natural de los mismos números del inciso (*a*).
   (c) Compare las soluciones de los incisos (*a*) y (*b*).
2. (a) Determine el logaritmo común del número 2.2×10^3.
   (b) Determine el logaritmo natural del número del inciso (*a*) mediante la ecuación 11.4.
   (c) Determine el logaritmo natural del número del inciso (*a*) mediante logaritmos naturales y compare con la solución del inciso (*b*).
3. Determine:
   (a) $20 \log_{10} \frac{40}{8}$ mediante la ecuación 11.6 y compare con $20 \log_{10} 5$.
   (b) $10 \log_{10} \frac{1}{20}$ mediante la ecuación 11.7 y compare con $10 \log_{10} 0.05$.
   (c) $\log_{10} (40)(0.125)$ mediante la ecuación 11.8 y compare con $\log_{10} 5$.
4. Calcule la ganancia de potencia en decibeles para cada uno de los siguientes casos:
   (a) $P_o = 100$ W, $P_i = 5$ W.
   (b) $P_o = 100$ mW, $P_i = 5$ mW.
   (c) $P_o = 100$ mW, $P_i = 20\ \mu$W.
5. Determine G_{dBm} para un nivel de potencia de 25 W.
6. Se toman dos mediciones a través de una misma resistencia: $V_1 = 25$ V y $V_2 = 100$ V. Calcule la ganancia de potencia en decibeles de la segunda lectura sobre la primera.
7. Se toman las siguientes mediciones de voltaje de salida: $V_i = 10$ mV y $V_o = 25$ V. ¿Cuál es la ganancia de voltaje en decibeles?

* 8. (a) La ganancia total en decibeles de un sistema de tres etapas es de 120 dB. Determine la ganancia en decibeles para cada etapa si la segunda etapa tiene el doble de la ganancia en decibeles de la primera y la tercera tiene 2.7 veces la ganancia en decibeles de la primera.
   (b) Determine la ganancia de voltaje en cada etapa.

* 9. Si la potencia de ac aplicada a un sistema es de 5 μW para 100 mV y la potencia de salida es de 48 W, determine:
   (a) La ganancia de potencia en decibeles.
   (b) La ganancia de voltaje en decibeles si la impedancia de salida es de 40 kΩ.
   (c) La impedancia de entrada.
   (d) El voltaje de salida.

§ 11.4 Consideraciones generales sobre la frecuencia

10. Dadas las características de la figura 11.67, dibuje:
   (a) La ganancia normalizada.
   (b) La ganancia en dB normalizada (y determine el ancho de banda y las frecuencias de corte).

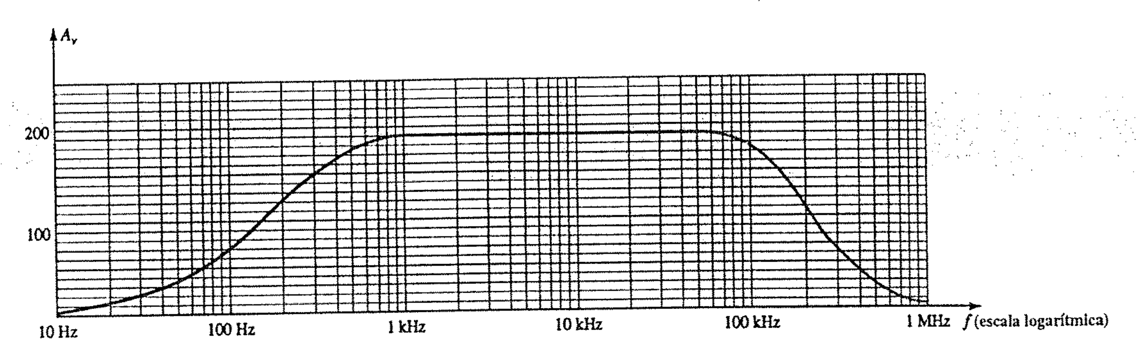


Figura 11.67 Problema 10.

Figura 11.68 Problemas 11, 12 y 32.

11. Para la red de la figura 11.68:
   (a) Determine la expresión matemática para la magnitud de la relación V_o/V_i.
   (b) Mediante los resultados del inciso (*a*), determine V_o/V_i a 100 Hz, 1 kHz, 2 kHz, 5 kHz y 10 kHz, y grafique la curva resultante para el rango de frecuencias de 100 Hz a 10 kHz. Utilice una escala logarítmica.
   (c) Determine la frecuencia de ruptura.
   (d) Trace las asíntotas y localice el punto −3 dB.
   (e) Dibuje la respuesta a la frecuencia para V_o/V_i y compare con los resultados del inciso (*b*).
12. Para la red de la figura 11.68:
   (a) Determine la expresión matemática para el ángulo por el cual V_o adelanta a V_i.
   (b) Determine el ángulo de fase en f = 100 Hz, 1 kHz, 2 kHz, 5 kHZ y 10 kHz, y grafique la curva resultante para el rango de frecuencias de 100 Hz a 10 kHz.
   (c) Determine la frecuencia de ruptura.
   (d) Dibuje la respuesta a la frecuencia de θ para el mismo espectro de frecuencias del inciso (*b*) y compare los resultados.
13. (a) ¿Cuál es la frecuencia que se encuentra 1 octava por encima de 5 kHz?
   (b) ¿Cuál es la frecuencia que se encuentra 1 década por debajo de 10 kHz?
   (c) ¿Cuál es la frecuencia que se encuentran 2 octavas por debajo de 20 kHz?
   (d) ¿Cuál es la frecuencia que se encuentran 2 décadas por encima de 1 kHz?

§ 11.6 Respuesta a baja frecuencia: amplificador BJT

14. Repita el análisis del ejemplo 11.9 con r_o = 40 kΩ. ¿Cuál es efecto sobre $A_{v_{med}}$, f_{L_S}, f_{L_C}, f_{L_E}, y sobre la frecuencia de corte resultante?
15. Para la red de la figura 11.69:
   (a) Determine r_e.
   (b) Encuentre $A_{v_{med}} = V_o/V_i$.
   (c) Calcule Z_i.
   (d) Encuentre $A_{v_{s_{med}}} = V_o/V_s$.
   (e) Determine f_{L_S}, f_{L_C} y f_{L_E}.
   (f) Determine la frecuencia inferior de corte.
   (g) Dibuje las asíntotas de la gráfica de Bode definidas por las frecuencias de corte del inciso (*e*).
   (h) Dibuje la respuesta a baja frecuencia para el amplificador mediante los resultados del inciso (*f*).

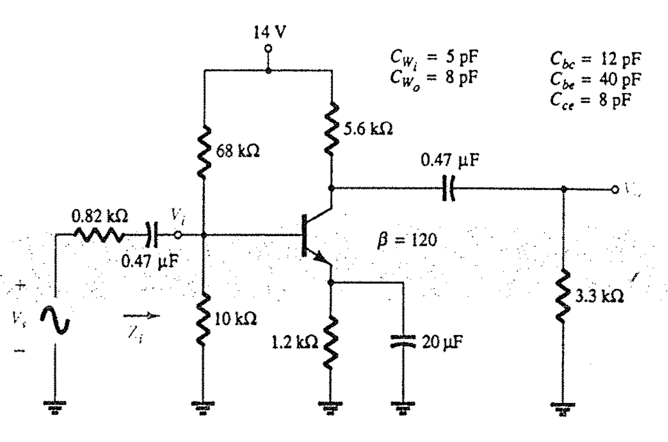


Figura 11.69 Problemas 15, 22 y 33.

16. Repita el problema 15 para la red estabilizada en emisor de la figura 11.70.

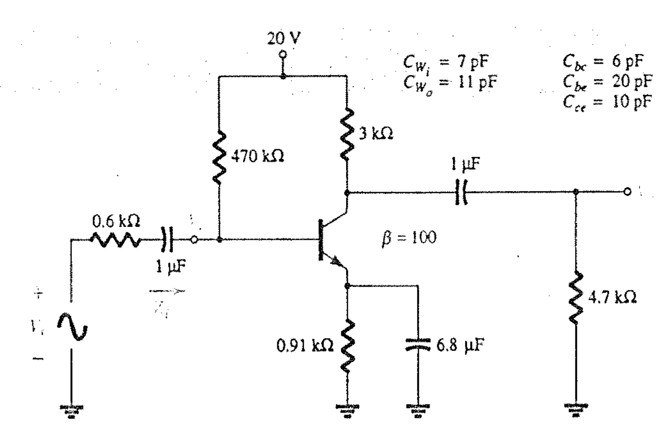


Figura 11.70 Problemas 16 y 23.

* 17. Repita el problema 15 para la red emisor-seguidor de la figura 11.71.

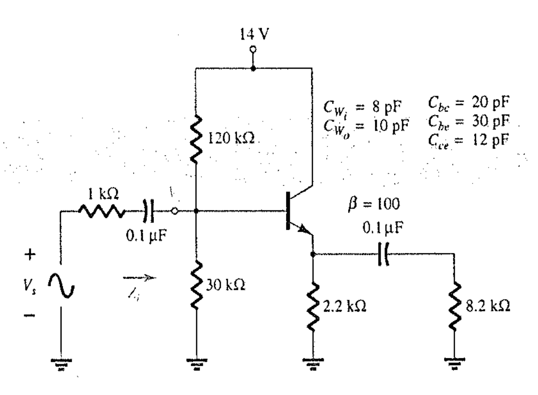


Figura 11.71 Problemas 17 y 24.

* 18. Repita el problema 15 para la configuración de base común de la figura 11.72. Tenga en mente que la configuración de base común es una red no inversora cuando considere el efecto Miller.

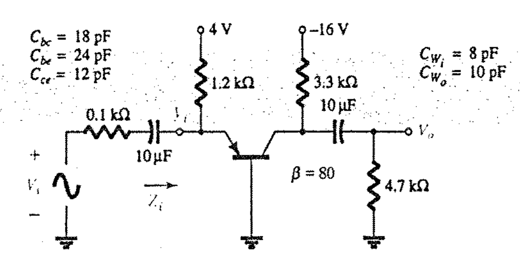


Figura 11.72 Problemas 18, 25 y 34.

§ 11.7 Respuesta a baja frecuencia: amplificador FET

19. Para la red de la figura 11.73:
(a) Determine V_{GS_Q} e I_{D_Q}.
(b) Encuentre g_{m0} y g_m.
(c) Calcule la ganancia de banda media de $A_v = V_o/V_i$.
(d) Determine Z_i.
(e) Calcule $A_{v_s} = V_o/V_s$.
(f) Determine f_{L_G}, f_{L_C} y f_{L_S}.
(g) Determine la frecuencia inferior de corte.
(h) Dibuje las asíntotas de la gráfica de Bode definida por el inciso (*f*).
(i) Dibuje la respuesta a baja frecuencia para el amplificador mediante los resultados del inciso (*f*).

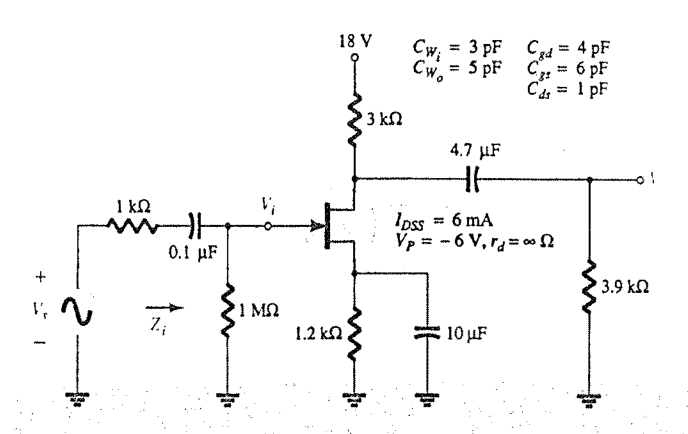


Figura 11.73 Problemas 19, 20, 26 y 35.

* **20.** Repita el análisis del problema 19 con r_d = 100 kΩ. ¿Se tiene algún impacto sobre los resultados? Si es así, ¿sobre cuáles elementos?

* **21.** Repita el análisis del problema 19 para la red de la figura 11.74. ¿Qué efecto tiene la configuración por divisor de voltaje sobre la impedancia de entrada y la ganancia A_{v_s} en comparación con el arreglo de polarización de la figura 11.73?

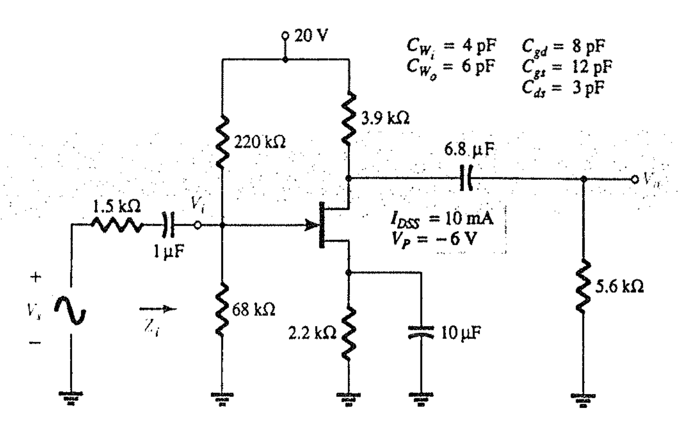


Figura 11.74 Problemas 21 y 27.

§ 11.9 Respuesta a alta frecuencia: amplificador BJT

22. Para la red de la figura 11.69:
(a) Determine f_{H_i} y f_{H_o}.
(b) Asuma que $C_{b'e} = C_{be}$ y $C_{b'c} = C_{bc}$, y encuentre f_β y f_T.
(c) Dibuje la respuesta a la frecuencia para la región de alta frecuencia mediante una gráfica de Bode y determine la frecuencia de corte.

* **23.** Repita el análisis del problema 22 para la red de la figura 11.70.

* **24.** Repita el análisis del problema 22 para la red de la figura 11.71.

* **25.** Repita el análisis del problema 22 para la red de la figura 11.72.

§ 11.10 Respuesta a alta frecuencia: amplificador FET

26. Para la red de la figura 11.73:
(a) Determine g_{m_0} y g_m.
(b) Encuentre A_v y A_{v_s} en el rango de frecuencia media.
(c) Determine f_{H_i} y f_{H_o}.
(d) Dibuje la respuesta a la frecuencia para la región de alta frecuencia utilizando una gráfica de Bode y determine la frecuencia de corte.

* **27.** Repita el análisis del problema 26 para la red de la figura 11.74.

§ 11.11 Efectos de frecuencia en multietapas

28. Calcule la ganancia total de voltaje para cuatro etapas idénticas de un amplificador, si cada una tiene una ganancia de 20.

29. Calcule la frecuencia superior total de −3 dB para una amplificador de cuatro etapas que cuenta con un valor de etapa individual f_2 = 2.5 MHz.

30. Un amplificador de cuatro etapas tiene una frecuencia de −3 dB inferior para una etapa individual de f_1 = 40 Hz. ¿Cuál es el valor de f_1 para este amplificador completo?

§ 11.12 Prueba de onda cuadrada

* **31.** La aplicación de una onda cuadrada de 10 mV y 100 kHz sobre un amplificador da por resultado la forma de onda de la figura 11.75.

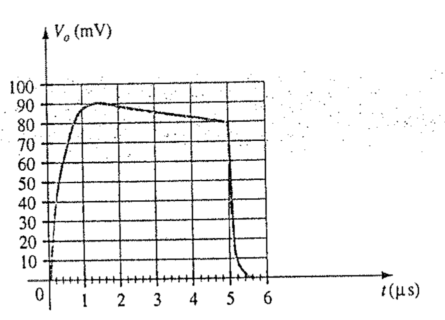


Figura 11.75 Problema 31.

(a) Escriba la expansión de la serie de Fourier para la onda cuadrada hasta la novena armónica.
(b) Determine el ancho de banda del amplificador con la exactitud disponible por la forma de onda de la figura 11.75.
(c) Calcule la frecuencia inferior de corte.

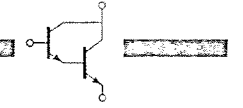
§ 11.14 Análisis por computadora

32. Mediante PSpice para Windows, determine la respuesta a la frecuencia de V_o/V_i para el filtro paso alto de la figura 11.68.
33. Mediante PSpice para Windows, determine la respuesta a la frecuencia de V_o/V_i para el amplificador BJT de la figura 11.69.
34. Repita el problema 33 para la red de la figura 11.72 por medio de Electronics Workbench.
35. Repita el problema 33 para la configuración de JFET de la figura 11.73 con Electronics Workbench.

*Observe: Los asteriscos indican problemas con mayor dificultad.

CAPÍTULO

Configuraciones compuestas 12



12.1 INTRODUCCIÓN

En el presente capítulo se presenta un conjunto de conexiones de circuitos que, aunque no son las convencionales de emisor común, colector común o base común, son muy importantes ya que se utilizan ampliamente en circuitos tanto discretos como integrados. La conexión en cascada ofrece etapas en serie, mientras que la conexión Cascode coloca un transistor por encima del otro. Podemos encontrar ambas formas de conexión en circuitos prácticos. La conexión Darlington y la conexión de par retroalimentado, ofrecen múltiples transistores conectados para operar como uno solo pero con un mejor desempeño, por lo general, con una ganancia de corriente mucho mayor.

En este capítulo se presenta la conexión de tipo CMOS: la utilización de transistores MOSFET de tipo *p* incremental y de tipo *n* incremental colocados en un circuito de operación de muy baja potencia. Muchos de los nuevos circuitos digitales utilizan circuitos CMOS, ya sea para permitir una operación portátil con un bajo consumo de batería o para obtener una densidad alta en un encapsulado para circuitos integrados con una disipación menor de calor en el pequeño espacio que emplea un CI.

Tanto los circuitos discretos como los circuitos integrados emplean la conexión de fuente de corriente. La conexión de espejo de corriente proporciona corriente constante a otros circuitos distintos y es especialmente importante para los circuitos integrados lineales.

El amplificador diferencial es la parte básica de los circuitos amplificadores operacionales (que se revisarán a profundidad en el capítulo 13). En este capítulo se presenta la conexión básica del circuito diferencial así como su operación, que, a pesar de encontrarse al final del capítulo, es una de las conexiones de circuitos más importantes. La conexión BiFET es un circuito bipolar JFET que se emplea en los CIs, mientras que la conexión bipolar MOSFET se denomina como BiMOS, y ambas son utilizadas en los circuitos integrados lineales.

12.2 CONEXIÓN EN CASCADA

La conexión en cascada es una conexión popular de etapas de amplificación. Básicamente se trata de una conexión en serie con la salida de una etapa aplicada a la entrada de la segunda etapa. La figura 12.1 muestra una conexión en cascada de dos etapas de amplificación FET. La conexión en cascada ofrece una multiplicación de la ganancia de cada etapa para obtener una ganancia total mayor.

La ganancia total del amplificador en cascada será el producto de las ganancias de etapa A_{v_1} y A_{v_2},

$$A_v = A_{v_1}A_{v_2} = (-g_{m_1}R_{D_1})(-g_{m_2}R_{D_2}) \quad (12.1)$$

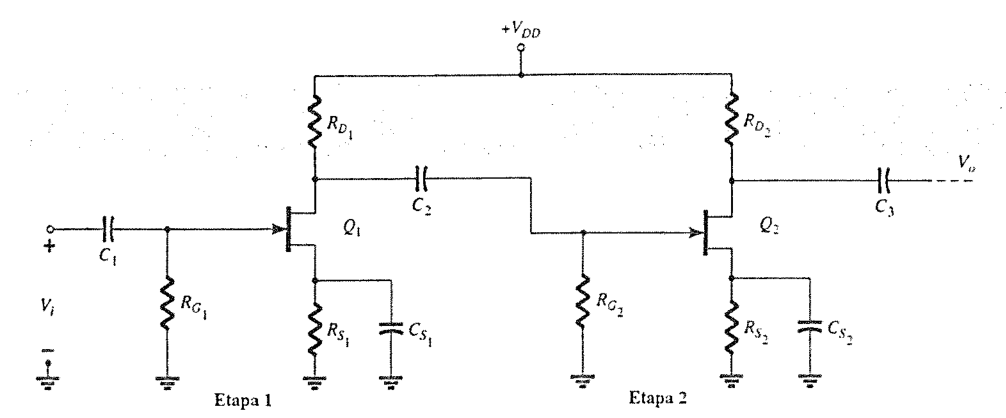


Figura 12.1 Amplificador FET en cascada.

La impedancia de entrada del amplificador en cascada será la de la etapa 1,

$$Z_i = R_{G_1} \tag{12.2}$$

mientras que la impedancia de salida será la de la etapa 2,

$$Z_o = R_{D_2} \tag{12.3}$$

El objetivo principal de las etapas en cascada es el de lograr una mayor ganancia total. Ya que la polarización en dc y los cálculos de ac se deducen de aquellos derivados para las etapas individuales, mediante un ejemplo se demostrarán los distintos cálculos para determinar la polarización en dc y la operación en ac.

EJEMPLO 12.1

Calcular la polarización en dc, ganancia de voltaje, impedancia de entrada, impedancia de salida y el voltaje de salida resultante para el amplificador en cascada que se muestra en la figura 12.2. Calcule el voltaje de carga si se conecta una carga de 10 kΩ a la salida.

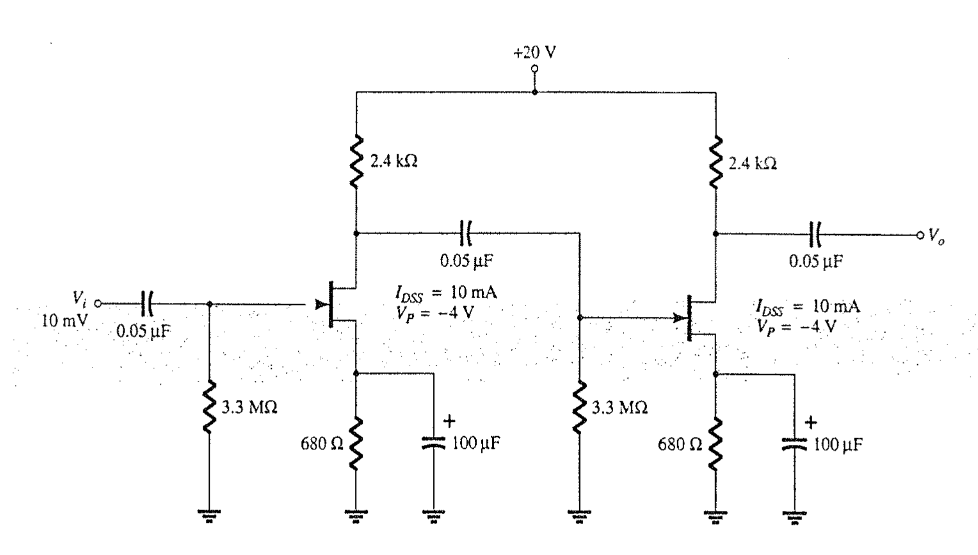


Figura 12.2 Circuito amplificador en cascada para el ejemplo 12.1.

Solución

Ambas etapas de amplificación poseen la misma polarización de dc. Al emplear las técnicas de polarización de dc del capítulo 6 se obtiene

$$V_{GS_Q} = -1.9 \text{ V}, \qquad I_{D_Q} = 2.8 \text{ mA}$$

Ambos transistores tienen

$$g_{m0} = \frac{2I_{DSS}}{|V_P|} = \frac{2(10 \text{ mA})}{|-4 \text{ V}|} = 5 \text{ mS}$$

y en el punto de polarización de dc,

$$g_m = g_{m0}\left(1 - \frac{V_{GS_Q}}{V_P}\right) = (5 \text{ mS})\left(1 - \frac{-1.9 \text{ V}}{-4 \text{ V}}\right) = \mathbf{2.6 \text{ mS}}$$

La ganancia de voltaje de cada etapa es

$$A_{v_1} = A_{v_2} = -g_m R_D = -(2.6 \text{ mS})(2.4 \text{ k}\Omega) = \mathbf{-6.2}$$

La ganancia de voltaje del amplificador en cascada es

$$\text{Ecuación 12.1:} \quad A_v = A_{v_1}A_{v_2} = (-6.2)(-6.2) = 38.4$$

El voltaje de salida es entonces

$$V_o = A_v V_i = (38.4)(10 \text{ mV}) = 384 \text{ mV}$$

La impedancia de entrada del amplificador en cascada es

$$Z_i = R_G = \mathbf{3.3 \text{ M}\Omega}$$

La impedancia de salida del amplificador en cascada (asumiendo $r_d = \infty$) es

$$Z_o = R_D = \mathbf{2.4 \text{ k}\Omega}$$

El voltaje de salida a través de una carga de 10 kΩ será entonces de

$$V_L = \frac{R_L}{Z_o + R_L} V_o = \frac{10 \text{ k}\Omega}{2.4 \text{ k}\Omega + 10 \text{ k}\Omega}(384 \text{ mV}) = \mathbf{310 \text{ mV}}$$

Amplificador BJT en cascada

En la figura 12.3 se muestra un amplificador en cascada con acoplamiento *RC*, construido mediante BJTs. Como se vio antes, la ventaja de contar con etapas en cascada es la mayor ganancia de voltaje total. La polarización en dc se obtiene por medio de los procedimientos del

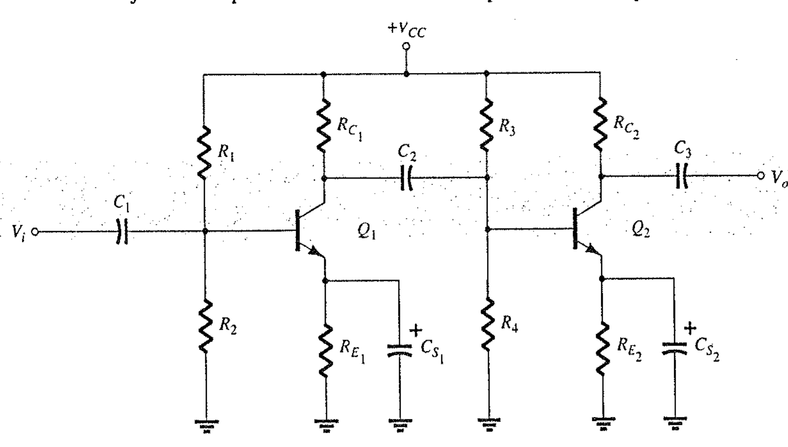


Figura 12.3 Amplificador BJT en cascada (acoplamiento *RC*).

capítulo 4. La ganancia de voltaje de cada etapa es

$$A_v = \frac{-R_C \| R_L}{r_e} \tag{12.4}$$

La impedancia de entrada del amplificador será la de la etapa 1.

$$Z_i = R_1 \| R_2 \| \beta r_e \tag{12.5}$$

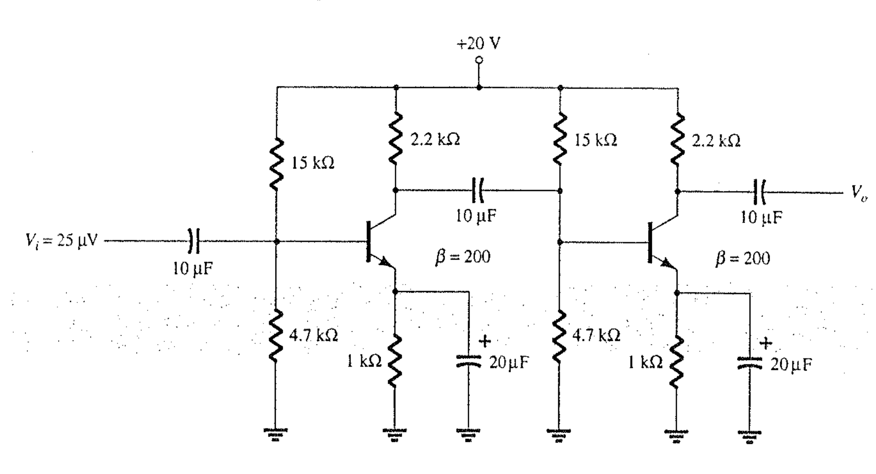
y la impedancia de salida del amplificador será la de la etapa 2.

$$Z_o = R_C \| r_o \tag{12.6}$$

El siguiente ejemplo demuestra el análisis de un amplificador BJT en cascada que muestra la alta ganancia de voltaje que se obtiene.

EJEMPLO 12.2

Calcule la ganancia de voltaje, voltaje de salida, impedancia de entrada e impedancia de salida para el amplificador a BJT en cascada de la figura 12.4. Calcule el voltaje de salida resultante si se conecta una carga de 10 kΩ a la salida.



EWB CM

Figura 12.4 Amplificador a BJT con acoplamiento RC para el ejemplo 12.2.

Solución

El análisis de polarización de dc da por resultado

$$V_B = 4.7 \text{ V}, \quad V_E = 4.0 \text{ V}, \quad V_C = 11 \text{ V}, \quad I_E = 4.0 \text{ mA}$$

En el punto de polarización,

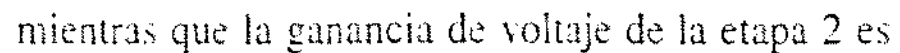
$$r_e = \frac{26}{I_E} = \frac{26}{4.0} = 6.5 \ \Omega$$

La ganancia de voltaje de la etapa 1 es por tanto

$$A_{v_1} = -\frac{R_C \| (R_1 \| R_2 \| \beta r_e)}{r_e}$$

$$= -\frac{(2.2 \text{ k}\Omega) \| [15 \text{ k}\Omega \| 4.7 \text{ k}\Omega \| (200)(6.5 \ \Omega)]}{6.5 \ \Omega}$$

$$= -\frac{665.2 \ \Omega}{6.5 \ \Omega} = -102.3$$


mientras que la ganancia de voltaje de la etapa 2 es

$$A_{v_2} = -\frac{R_C}{r_e} = -\frac{2.2 \text{ k}\Omega}{6.5 \ \Omega} = -338.46$$

para una ganancia total de

$$A_v = A_{v_1} A_{v_2} = (-102.3)(-338.46) = \mathbf{34{,}624}$$

El voltaje de salida es

$$V_o = A_v V_i = (34{,}624)(25 \ \mu\text{V}) = \mathbf{0.866 \ V}$$

La impedancia de entrada del amplificador es

$$Z_i = R_1 \| R_2 \| \beta r_e = 4.7 \text{ k}\Omega \| 15 \text{ k}\Omega \| (200)(6.5 \ \Omega)$$

$$= \mathbf{953.6 \ \Omega}$$

mientras que la impedancia de salida del amplificador es

$$Z_o = R_C = \mathbf{2.2 \ k\Omega}$$

Si se conecta una carga de 10 kΩ a la salida del amplificador, el voltaje resultante a través de la carga es

$$V_L = \frac{R_L}{Z_o + R_L} V_o = \frac{10 \text{ k}\Omega}{2.2 \text{ k}\Omega + 10 \text{ k}\Omega}(0.866 \text{ V}) = \mathbf{0.71 \ V}$$

Es posible también utilizar una combinación de etapas FET y BJT para proporcionar una alta ganancia de voltaje y alta impedancia de entrada, como se demuestra en el siguiente ejemplo.

EJEMPLO 12.3

Para el amplificador en cascada de la figura 12.5, utilice la polarización de dc calculada en los ejemplos 12.1 y 12.2 para calcular la impedancia de entrada, impedancia de salida, ganancia de voltaje y el voltaje de salida resultante.

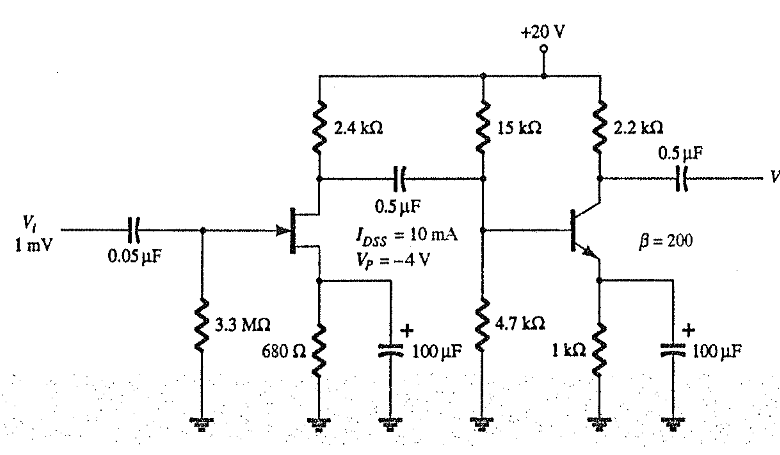


Figura 12.5 Amplificador JFET-BJT en cascada del ejemplo 12.3.

Solución

Debido a que R_i (etapa 2) = 15 kΩ ‖ 4.7 kΩ ‖ 200(6.5 Ω) = 953.6 Ω, la ganancia de la etapa 1 (cuando se encuentra cargada por la etapa 2) es

$$A_{v_1} = -g_m[R_D \| R_i \text{ (etapa 2)}]$$

$$= -2.6 \text{ mS}(2.4 \text{ k}\Omega \| 953.6 \ \Omega) = -1.77$$

Del ejemplo 12.2, la ganancia de voltaje de la etapa 2 es $A_{v_2} = -338.46$. La ganancia de voltaje total es entonces

$$A_v = A_{v_1}A_{v_2} = (-1.77)(-338.46) = \mathbf{599.1}$$

El voltaje de salida es

$$V_o = A_v V_i = (599.1)(1\text{ mV}) \approx \mathbf{0.6\ V}$$

La impedancia de entrada del amplificador será la de la etapa 1,

$$Z_i = \mathbf{3.3\ M\Omega}$$

mientras que la impedancia de salida será la de la etapa 2,

$$Z_o = R_D = \mathbf{2.2\ k\Omega}$$

12.3 CONEXIÓN CASCODE

Una conexión cascode cuenta con un transistor por encima de (en serie con) otro. La figura 12.6 muestra una configuración cascode con una etapa de emisor común (EC) alimentando a una etapa de base común (BC). Este arreglo está diseñado para proporcionar una alta impedancia de entrada con una baja ganancia de voltaje para asegurar que la capacitancia Miller de entrada (ver capítulo 11) sea mínima con la etapa de (BC) proporcionando una operación adecuada a alta frecuencia. En la figura 12.7 se proporciona una versión BJT práctica de un amplificador en cascode.

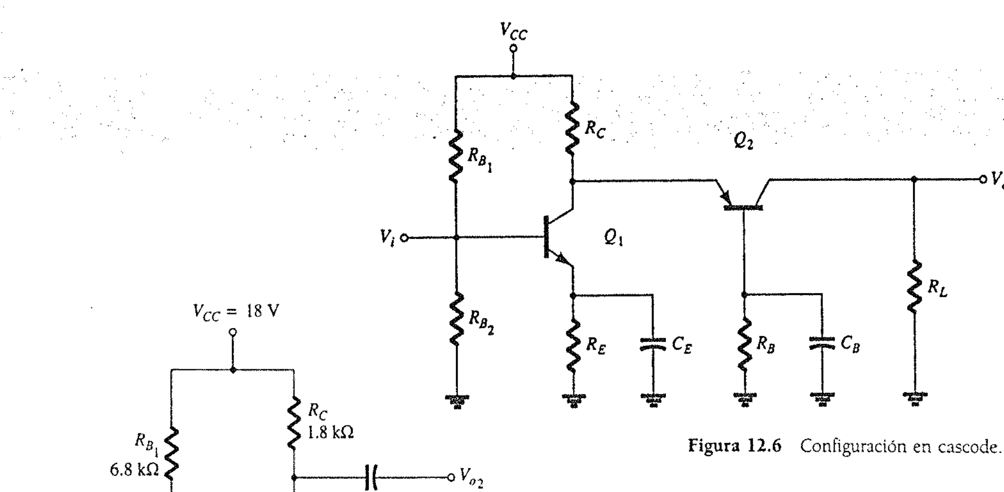


Figura 12.6 Configuración en cascode.

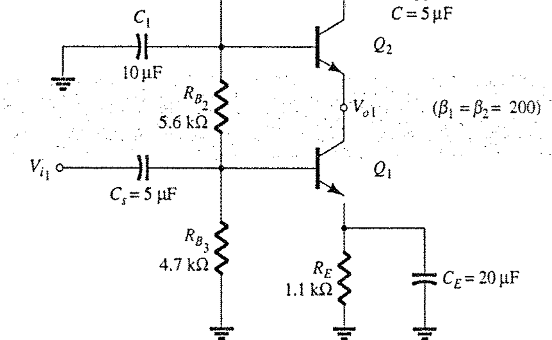


Figura 12.7 Circuito práctico cascode para el ejemplo 12.4.

Calcule la ganancia de voltaje para el amplificador cascode de la figura 12.7.

Solución

El análisis de polarización de dc mediante los procedimientos del capítulo 4, da por resultado

$$V_{B_1} = 4.9\text{ V}, \quad V_{B_2} = 10.8\text{ V}, \quad I_{C_1} \approx I_{C_2} = 3.8\text{ mA}$$

La resistencia dinámica de cada transistor es entonces

$$r_e = \frac{26}{I_E} = \frac{26}{3.8} = 6.8\ \Omega$$

La ganancia de voltaje de la etapa 1 (emisor común) es aproximadamente

$$A_{v_1} = -\frac{R_C}{r_e} = -\frac{r_e}{r_e} = -1$$

La ganancia de voltaje de la etapa 2 (base común) es

$$A_{v_2} = \frac{R_C}{r_e} = \frac{1.8\text{ k}\Omega}{6.8\ \Omega} = 265$$

lo que da por resultado una ganancia total del amplificador cascode de

$$A_v = A_{v_1}A_{v_2} = (-1)(265) = \mathbf{-265}$$

Como se esperaba, la etapa de emisor común con una ganancia de –1 proporciona la alta impedancia de entrada de una etapa EC (sobre la de una etapa BC). Con una ganancia de voltaje de tan sólo –1, la capacitancia Miller de entrada se mantiene muy baja. Luego, se proporciona una ganancia de voltaje grande mediante la etapa BC, lo que da por resultado una ganancia total grande ($A_v = -265$).

12.4 CONEXIÓN DARLINGTON

Una conexión muy popular de dos transistores de unión bipolar para operar como un transistor con "superbeta" es la conexión Darlington, mostrada en la figura 12.8. La principal característica de la conexión Darlington es que el transistor compuesto actúa como una unidad simple con una ganancia de corriente que es el producto de las ganancias de corriente de los transistores individuales. Si la conexión se realiza mediante el uso de dos transistores distintos con ganancias de corriente de β_1 y β_2, la conexión Darlington proporcionará una ganancia de

$$\beta_D = \beta_1\beta_2 \tag{12.7}$$

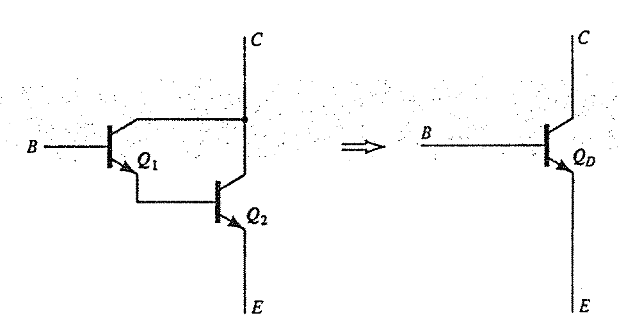


Figura 12.8 Conjunto de transistor Darlington.

Si los dos transistores coinciden de forma que $\beta_1 = \beta_2 = \beta$, la conexión Darlington proporcionará una ganancia de

$$\beta_D = \beta^2 \tag{12.8}$$

La conexión Darlington de transistores proporciona un transistor que cuenta con una ganancia de corriente muy grande, por lo general de unos miles.

EJEMPLO 12.5

¿Cuál es la ganancia de corriente que proporciona una conexión Darlington de dos transistores idénticos, cada uno con una ganancia de corriente $\beta = 200$?

Solución

$$\text{Ecuación (12.8):} \quad \beta_D = \beta^2 = (200)^2 = \mathbf{40{,}000}$$

Transistor Darlington encapsulado

Debido a que la conexión Darlington es muy común, es posible obtener un encapsulado sencillo que contenga a dos BJTs conectados internamente como un transistor Darlington. En la figura 12.9 se proporciona información de la hoja de especificaciones de un par Darlington típico. La ganancia de corriente presentada es la total del transistor Darlington, el dispositivo de forma externa sólo tiene tres terminales (base, emisor y colector). Se puede considerar a la unidad como un solo transistor Darlington que cuenta con una muy alta ganancia de corriente cuando se compara con otros transistores simples comunes.

Tipo 2N999
Encapsulado de transistor N-P-N de silicio conectado en Darlington

Parámetro	Condiciones de prueba	Mín.	Máx.
V_{BE}	$I_C = 100$ mA		1.8 V
h_{FE} (β_D)	$I_C = 10$ mA	4000	
	$I_C = 100$ mA	7000	70,000

Figura 12.9 Información de especificaciones de un transistor Darlington encapsulado (2N999).

Polarización en dc de un circuito Darlington

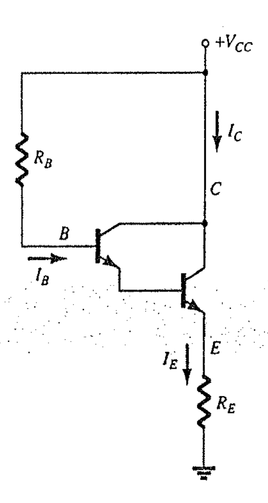


Figura 12.10 Circuito de polarización Darlington básico.

En la figura 12.10 se muestra un circuito básico Darlington, que cuenta con un transistor Darlington con una ganancia muy alta de corriente β_D. La corriente de base puede calcularse a partir de

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + \beta_D R_E} \tag{12.9}$$

Mientras que esta ecuación es la misma que la de un transistor regular, el valor de β_D es mucho mayor y el valor de V_{BE} es más grande, como se indica en los datos de la hoja de especificaciones de la figura 12.9. La corriente del emisor es entonces

$$I_E = (\beta_D + 1)I_B \approx \beta_D I_B \tag{12.10}$$

Los voltajes de dc son

$$V_E = I_E R_E \tag{12.11}$$

$$V_B = V_E + V_{BE} \tag{12.12}$$

EJEMPLO 12.6

Calcular los voltajes y corrientes de polarización de dc en el circuito de la figura 12.11.

Solución

La corriente de base es

$$\text{Ecuación 12.9:} \quad I_B = \frac{18\text{ V} - 1.6\text{ V}}{3.3\text{ M}\Omega + 8000(390\ \Omega)} \approx \mathbf{2.56\ \mu A}$$

La corriente de emisor es entonces

$$\text{Ecuación 12.10:} \quad I_E \approx 8000(2.56\ \mu\text{A}) = \mathbf{20.48\text{ mA}} \approx I_C$$

El voltaje de emisor de dc es

$$\text{Ecuación 12.11:} \quad V_E = 20.48\text{ mA}(390\ \Omega) \approx \mathbf{8\text{ V}}$$

y el voltaje de base es

$$\text{Ecuación 12.12:} \quad V_B = 8\text{ V} + 1.6\text{ V} = \mathbf{9.6\text{ V}}$$

El voltaje de colector es el valor de la fuente de

$$V_C = \mathbf{18\text{ V}}$$

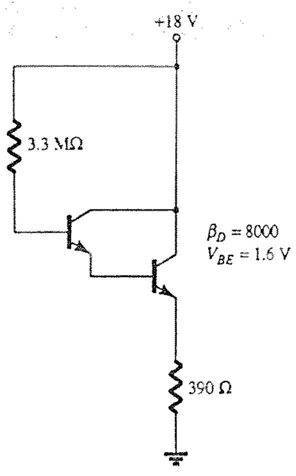
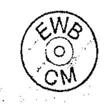


Figura 12.11 Circuito del ejemplo 12.6.

Circuito equivalente de ac



En la figura 12.12 se muestra un circuito emisor-seguidor Darlington. La señal de ac de entrada se aplica a la base del transistor Darlington mediante el capacitor C_1, mientras que la salida de ac, V_o, se obtiene del emisor a través del capacitor C_2. En la figura 12.13 se dibuja el circuito equivalente de ac. El transistor Darlington se sustituye por un circuito equivalente compuesto por una resistencia de entrada, r_i, y por una fuente de corriente de salida, $\beta_D I_b$.

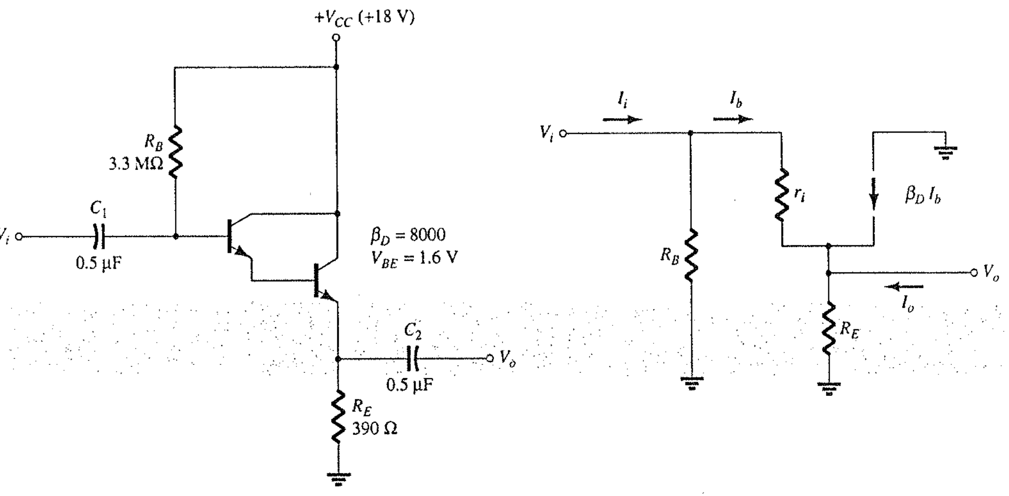


Figura 12.12 Circuito Darlington emisor-seguidor.

Figura 12.13 Circuito equivalente de ac del emisor-seguidor Darlington.

IMPEDANCIA DE ENTRADA DE AC

La corriente ac de la base a través de r_i es

$$I_b = \frac{V_i - V_o}{r_i} \quad (12.13)$$

Debido a que $$V_o = (I_b + \beta_D I_b)R_E \quad (12.14)$$

se puede utilizar la ecuación 12.13 en la ecuación 12.14 para obtener

$$I_b r_i = V_i - V_o = V_i - I_b(1 + \beta_D)R_E$$

Al resolver para V_i,

$$V_i = I_b[r_i + (1 + \beta_D)R_E] \approx I_b(r_i + \beta_D R_E)$$

Entonces, la impedancia de entrada de ac viendo hacia la base del transistor es

$$\frac{V_i}{I_b} = r_i + \beta_D R_E$$

y viendo hacia el circuito es

$$Z_i = R_B \| (r_i + \beta_D R_E) \quad (12.15)$$

EJEMPLO 12.7 Calcule la impedancia de entrada del circuito de la figura 12.12 si $r_i = 5$ kΩ.

Solución

Ecuación 12.15: $Z_i = 3.3\ \text{M}\Omega \| [5\ \text{k}\Omega + (8000)(390\ \Omega)] = \mathbf{1.6\ M\Omega}$

GANANCIA DE CORRIENTE DE AC

La corriente de salida de ac a través de R_E es (ver figura 12.13)

$$I_o = I_b + \beta_D I_b = (\beta_D + 1)I_b \approx \beta_D I_o$$

La ganancia de corriente del transistor es

$$\frac{I_o}{I_b} = \beta_D$$

La ganancia de corriente de ac del circuito es

$$A_i = \frac{I_o}{I_i} = \frac{I_o}{I_b}\frac{I_b}{I_i}$$

Es posible utilizar la regla del divisor de voltaje para expresar I_b/I_i:

$$I_b = \frac{R_B}{(r_i + \beta_D R_E) + R_B} I_i \approx \frac{R_B}{R_B + \beta_D R_E} I_i$$

por lo que la ganancia de corriente del circuito ac es

$$A_i = \beta_D \frac{R_B}{R_B + \beta_D R_E} = \frac{\beta_D R_B}{R_B + \beta_D R_E} \quad (12.16)$$

EJEMPLO 12.8 Calcule la ganancia de corriente del circuito ac de la figura 12.12.

Solución

Ecuación 12.16: $$A_i = \frac{\beta_D R_B}{R_B + \beta_D R_E} = \frac{(8000)(3.3\ \text{M}\Omega)}{3.3\ \text{M}\Omega + (8000)(390\ \Omega)} = \mathbf{4112}$$

IMPEDANCIA DE SALIDA DE AC

Se puede determinar la impedancia de salida para el circuito de ac que se muestra en la figura 12.14a. La impedancia de salida vista por la carga R_L se determina al aplicar un voltaje V_o y al medir la corriente I_o (con la entrada V_s en cero). En la figura 12.14b se muestra esta situación. Al resolver para I_o se tiene

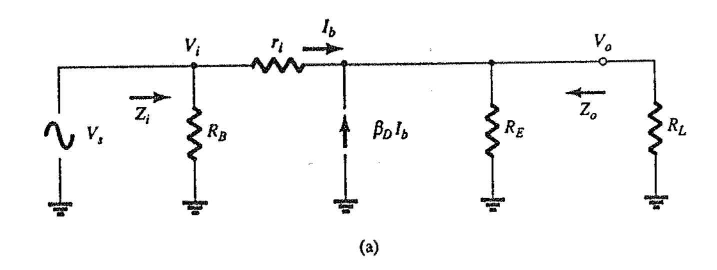
$$I_o = \frac{V_o}{R_E} + \frac{V_o}{r_i} - \beta_D I_b = \frac{V_o}{R_E} + \frac{V_o}{r_i} - \beta_D\left(\frac{V_o}{r_i}\right)$$

$$= \left(\frac{1}{R_E} + \frac{1}{r_i} + \frac{\beta_D}{r_i}\right)V_o$$

Al resolver para Z_o se obtiene

$$Z_o = \frac{V_o}{I_o} = \frac{1}{1/R_E + 1/r_i + \beta_D/r_i}$$

$$= R_E \| r_i \| \frac{r_i}{\beta_D} \approx \frac{r_i}{\beta_D} \quad (12.17)$$



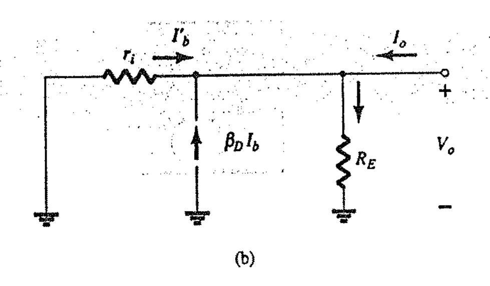


Figura 12.14 Circuito equivalente de ac para determinar Z_o.

EJEMPLO 12.9 Calcule la impedancia de salida del circuito de la figura 12.12.

Solución

$$\text{Ecuación 12.17:} \quad Z_o = 390\ \Omega \| 5\ \text{k}\Omega \| \frac{5\ \text{k}\Omega}{8000} \approx \frac{5\ \text{k}\Omega}{8000} = \mathbf{0.625\ \Omega}$$

GANANCIA DE VOLTAJE DE AC

La ganancia de voltaje ac para el circuito de la figura 12.12, puede determinarse mediante el circuito equivalente de ac de la figura 12.15. Dado que

$$V_o = (I_b + \beta_D I_b)R_E = I_b(R_E + \beta_D R_E)$$

y

$$V_i = I_b r_i + (I_b + \beta_D I_b)R_E$$

de la que se obtiene

$$V_i = I_b(r_i + R_E + \beta_D R_E)$$

de forma que

$$V_o = \frac{V_i}{r_i + (R_E + \beta_D R_E)}(R_E + \beta_D R_E)$$

$$A_v = \frac{V_o}{V_i} = \frac{R_E + \beta_D R_E}{r_i + (R_E + \beta_D R_E)} \approx 1 \tag{12.18}$$

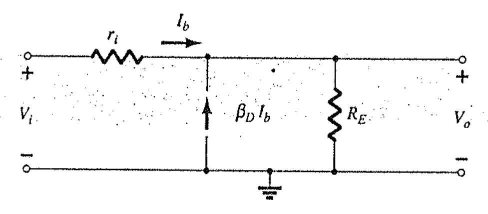


Figura 12.15 Circuito equivalente de ac para determinar A_v.

EJEMPLO 12.10 Calcule la ganancia de voltaje de ac, A_v, del circuito de la figura 12.12.

Solución

$$A_v = \frac{390\ \Omega + (8000)(390\ \Omega)}{5\ \text{k}\Omega + [390\ \Omega + (8000)(390\ \Omega)]} = \mathbf{0.998}$$

12.5 PAR DE RETROALIMENTACIÓN

La conexión de par de retroalimentación (ver figura 12.16) es un circuito de dos transistores que opera como un circuito Darlington. Observe que el par de retroalimentación emplea un transistor *pnp* que maneja a un transistor *npn*, los dos dispositivos actúan efectivamente de forma muy similar a un solo transistor *pnp*. De la misma forma que con una conexión Darlington, el par de retroalimentación ofrece una ganancia de corriente muy alta (el producto de las ganancias de corriente de transistor). Una aplicación común (ver capítulo 15) emplea una conexión Darlington y una conexión de par de retroalimentación para proporcionar una operación de transistor complementaria. En la figura 12.17 se presenta un circuito práctico que emplea un par de retroalimentación. Algunas consideraciones acerca de la polarización en dc y de la operación de ac proporcionarán una comprensión mejor sobre la forma en que trabaja la conexión.

C

B

E

Figura 12.16 Conexión de par de retroalimentación.

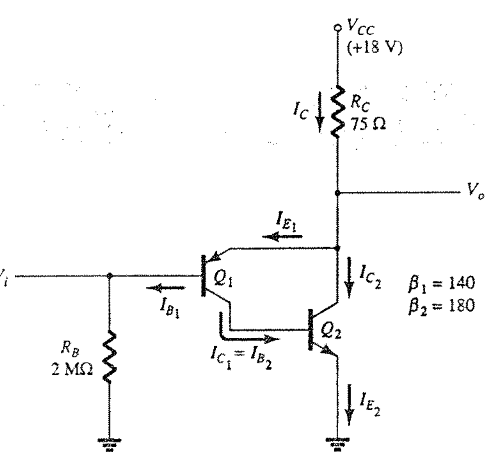


Figura 12.17 Operación del par de retroalimentación.

Polarización en dc

Los cálculos de polarización en dc siguientes, emplean simplificaciones prácticas en lo posible para ofrecer resultados más sencillos. A partir de la malla base-emisor Q_1, se obtiene

$$V_{CC} - I_C R_C - V_{EB_1} - I_{B_1} R_B = 0$$

$$V_{CC} - \beta_1 \beta_2 I_{B_1} R_C - V_{EB_1} - I_{B_1} R_B = 0$$

Entonces la corriente de base es

$$I_{B_1} = \frac{V_{CC} - V_{EB_1}}{R_B + \beta_1 \beta_2 R_C} \tag{12.19}$$

La corriente del colector de Q_1 es

$$I_{C_1} = \beta_1 I_{B_1} = I_{B_2}$$

la cual es también la corriente de base de Q_2. La corriente de colector de Q_2 es

$$I_{C_2} = \beta_2 I_{B_2} \approx I_{E_2}$$

por lo que la corriente a través de R_C es

$$I_C = I_{E_1} + I_{C_2} \approx I_{C_1} + I_{C_2} \approx I_{C_2} \tag{12.20}$$

EJEMPLO 12.11 Calcule las corrientes y voltajes de polarización de dc para el circuito de la figura 12.17 para que proporcione V_o al nivel de la mitad del voltaje de alimentación ($I_C R_C = 9$ V).

Solución

$$I_{B_1} = \frac{18\ \text{V} - 0.7\ \text{V}}{2\ \text{M}\Omega + (140)(180)(75\ \Omega)} = \frac{17.3\ \text{V}}{3.89 \times 10^6} = 4.45\ \mu\text{A}$$

La corriente de base Q_2 es

$$I_{B_2} = I_{C_1} = \beta_1 I_{B_1} = 140(4.45\ \mu\text{A}) = 0.623\ \text{mA}$$

lo que da por resultado una corriente de colector Q_2 de

$$I_{C_2} = \beta_2 I_{B_2} = 180(0.623\ \text{mA}) = 112.1\ \text{mA}$$

y la corriente a través de R_C es por tanto

Ecuación 12.20: $I_C = I_{E_1} + I_{C_2} = 0.623 \text{ mA} + 112.1 \text{ mA} \approx I_{C_2} = 112.1 \text{ mA}$

El voltaje de dc en la salida es

$$V_o(\text{dc}) = V_{CC} - I_C R_C = 18 \text{ V} - 112.1 \text{ mA}(75 \ \Omega) = 9.6 \text{ V}$$

y

$$V_i(\text{dc}) = V_o(\text{dc}) - V_{BE} = 9.6 \text{ V} - 0.7 \text{ V} = 8.9 \text{ V}$$

Operación en ac

El circuito equivalente de ac para la figura 12.17 se dibuja en la figura 12.18. El circuito se dibuja primero en la figura 12.18a para mostrar con claridad la colocación de cada transistor y de los resistores de base y de colector. Luego, se dibuja nuevamente el circuito equivalente de ac en la figura 12.18b para permitir el análisis.

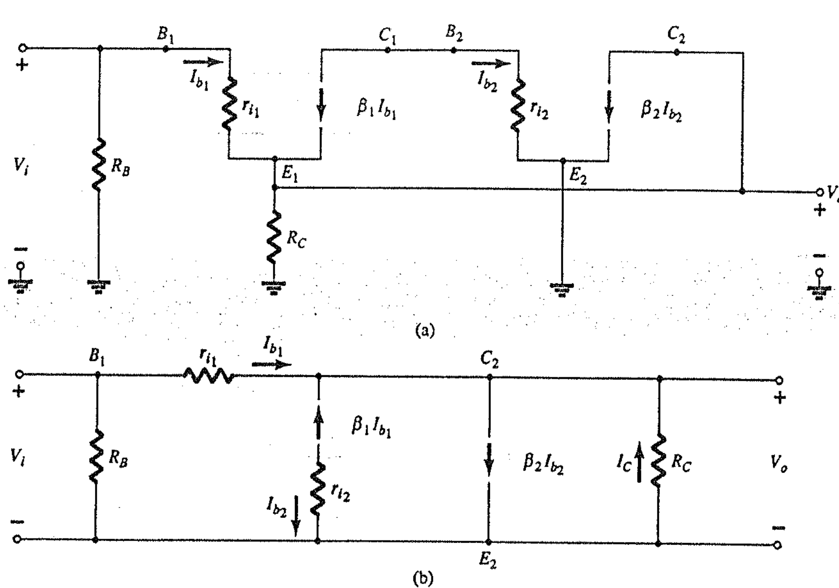


Figura 12.18 Equivalente de ac de la figura 12.17.

IMPEDANCIA DE ENTRADA DE AC, Z_I

La impedancia de entrada de ac vista desde la base del transistor Q_1 está determinada (refiérase a la figura 12.18b) como sigue:

$$I_{b_1} = \frac{V_i - V_o}{r_{i_1}}$$

donde $\quad V_o = -I_C R_C \approx (-\beta_1 I_{b_1} + \beta_2 I_{b_2}) R_C \approx (\beta_2 I_{b_2}) R_C$

de forma que $\quad I_{b_1} r_{i_1} = V_i - V_o \approx V_i - \beta_2 I_{b_2} R_C$

$$I_{b_1} r_{i_1} + \beta_2(\beta_1 I_{b_1}) R_C = V_i \quad (\text{dado que } I_{b_2} = I_{C_1} = \beta_1 I_{b_1})$$

$$\frac{V_i}{I_{b_1}} = r_{i_1} + \beta_1 \beta_2 R_C$$

Al incluir la resistencia de polarización de la base,

$$Z_i \approx R_B \| (r_{i_1} + \beta_1 \beta_2 R_C) \tag{12.21}$$

GANANCIA DE CORRIENTE DE AC, A_i

La ganancia de corriente de ac se puede determinar de la siguiente forma:

$$I_o = \beta_2 I_{b_2} - \beta_1 I_{b_1} - I_{b_1}$$
$$= \beta_2(\beta_1 I_{b_1}) - (1 + \beta_1) I_{b_1} \approx \beta_1 \beta_2 I_{b_1}$$
$$\frac{I_o}{I_{b_1}} = \beta_1 \beta_2$$

Al incluir a R_B, la ganancia de corriente es

$$A_i = \frac{I_o}{I_i} = \frac{I_o}{I_{b_1}} \frac{I_{b_1}}{I_i} = \beta_1 \beta_2 \frac{R_B}{R_B + Z_i} \tag{12.22}$$

IMPEDANCIA DE SALIDA DE AC, Z_o

Z_o puede obtenerse mediante la aplicación de un voltaje V_o, al fijar a V_i en cero. El análisis resultante nos dice que

$$Z_o = \frac{V_o}{I_o} = R_C \| r_{i_1} \| \frac{r_{i_1}}{\beta_1} \| \frac{r_{i_1}}{\beta_1 \beta_2} \cong \frac{r_{i_1}}{\beta_1 \beta_2} \tag{12.23}$$

lo cual da por resultado una impedancia de salida baja.

GANANCIA DE VOLTAJE DE AC, A_v

El voltaje de salida V_o es

$$V_o = -I_C R_C \approx \beta_1 \beta_2 I_{b_1} R_C$$

Debido a que $\quad I_{b_1} = \dfrac{V_i - V_o}{r_{i_1}}$

$$V_o = V_i - I_{b_1} r_{i_1} = V_i - \frac{V_o}{\beta_1 \beta_2 R_C} r_{i_1}$$

$$A_v = \frac{V_o}{V_i} = \frac{1}{1 + r_{i_1}/(\beta_1 \beta_2 R_C)} = \frac{\beta_1 \beta_2 R_C}{\beta_1 \beta_2 R_C + r_{i_1}} \tag{12.24}$$

EJEMPLO 12.12

Calcule los valores del circuito de ac de Z_i, Z_o, A_i y A_v para el circuito de la figura 12.17. Asuma que $r_{i_1} = 3 \text{ k}\Omega$.

Solución

$$Z_i \approx R_B \| (r_{i_1} + \beta_1 \beta_2 R_C) = 2 \text{ M}\Omega \| [3 \text{ k}\Omega + (140)(180)(75 \ \Omega)]$$
$$\approx \mathbf{974 \text{ k}\Omega}$$

$$A_i = \beta_1 \beta_2 \frac{R_B}{R_B + Z_i} = (140)(180)\left(\frac{2 \text{ M}\Omega}{2 \text{ M}\Omega + 974 \text{ k}\Omega}\right)$$
$$= \mathbf{16.95 \times 10^3}$$

$$Z_o \approx \frac{r_{i_1}}{\beta_1\beta_2} = \frac{3 \times 10^3}{(140)(180)} = 0.12\ \Omega$$

y

$$A_v = \frac{\beta_1\beta_2 R_C}{\beta_1\beta_2 R_C + r_{i_1}} = \frac{(140)(180)(75\ \Omega)}{(140)(180)(75\ \Omega) + 3000\ \Omega}$$

$$= 0.9984 \approx 1$$

El ejemplo 12.12 muestra que la conexión de par de retroalimentación ofrece una operación con una ganancia de voltaje muy cercana a 1 (así como el emisor-seguidor Darlington), una ganancia de corriente muy alta, una impedancia de salida muy baja y una impedancia de entrada alta.

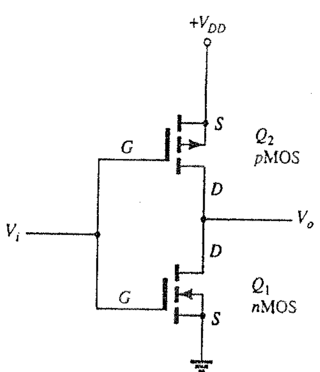


Figura 12.19 Circuito inversor CMOS.

12.6 CIRCUITO CMOS

Un tipo de circuito común en el diseño digital utiliza transistores MOSFET de tipo incremental tanto de canal-*n* como de canal-*p* (ver figura 12.19). Este MOSFET complementario o circuito CMOS utiliza estos tipos opuestos (o complementarios) de transistores. La entrada, V_i, se aplica a ambas compuertas y la salida se toma de los drenajes conectados. Antes de proceder con la operación del circuito CMOS, se revisará la operación de los transistores MOSFET incrementales.

Operación encendido/apagado del *n*MOS

En la figura 12.20a se muestra la característica de drenaje de un transistor MOSFET incremental de canal *n* o *n*MOS. Cuando se aplican 0 V a la compuerta-fuente, no hay corriente de drenaje. No se presentará ninguna corriente resultante sino hasta que V_{GS} se eleve y se supere el nivel de umbral V_T del dispositivo. Con una entrada de +5 V, el dispositivo *n*MOS se encuentra completamente encendido con la corriente I_D presente. En resumen:

Una entrada de 0 V deja al nMOS apagado, mientras que una entrada de +5 V lo encenderá.

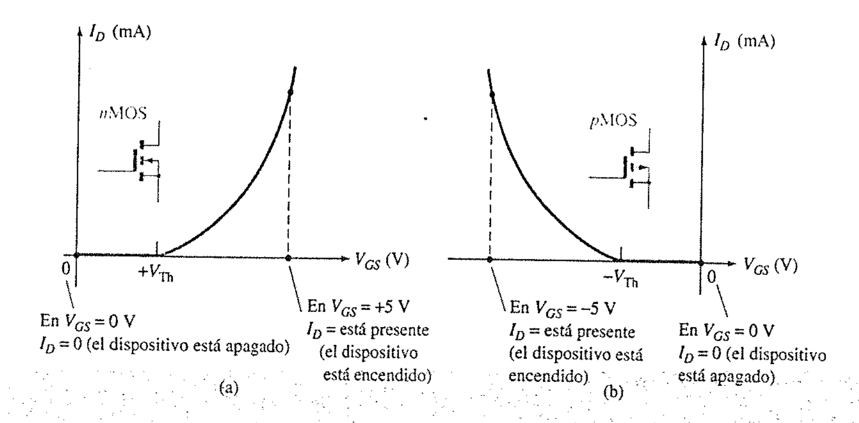


Figura 12.20 Característica de MOSFET incremental que muestra las condiciones de encendido y apagado; (a) *n*MOS; (b) *p*MOS.

Operación encendido/apagado del *p*MOS

En la figura 12.20b se muestra la característica de drenaje de un transistor MOSFET de canal-*p* o *p*MOS. Cuando se aplican 0 V, el dispositivo se encuentra apagado (no hay corriente de drenaje presente), mientras que para una entrada de –5 V (mayor que el voltaje de umbral), el dispositivo se encuentra encendido con corriente de drenaje presente. En resumen:

V_{GS} = 0 V deja al pMOS apagado; V_{GS} = –5 V enciende al pMOS.

Operación del circuito CMOS

Ahora considere la forma en la que el circuito real CMOS de la figura 12.21 opera para una entrada de 0 o +5 V.

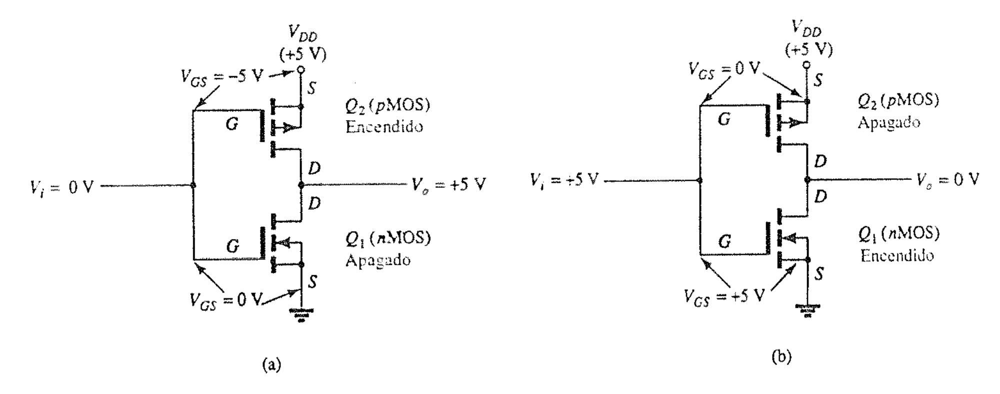


Figura 12.21 Operación del circuito CMOS: (a) salida de +5 V; (b) salida de 0 V.

ENTRADA DE 0 V

Cuando se aplica 0 V como entrada del circuito CMOS, se proporcionan 0 V tanto a la compuerta *n*MOS como a la *p*MOS. La figura 12.21a muestra que

$$\text{Para el } n\text{MOS } (Q_1)\text{:} \quad V_{GS} = V_i - 0\text{ V} = 0\text{ V} - 0\text{ V} = 0\text{ V}$$

$$\text{Para el } p\text{MOS } (Q_2)\text{:} \quad V_{GS} = V_i - (+5\text{ V}) = 0\text{ V} - 5\text{ V} = -5\text{ V}$$

La entrada de 0 V sobre un transistor Q_1 *n*MOS deja al dispositivo apagado. Sin embargo, la misma entrada de 0 V ocasiona que el voltaje compuerta-fuente del transistor *p*MOS Q_2, sea de –5 V (la compuerta a 0 V se encuentra a 5 V por debajo de la fuente en +5 V), lo que da por resultado que este dispositivo se encuentre encendido. La salida V_o será entonces de +5 V.

ENTRADA DE +5 V

Cuando V_i = +5 V, se proporcionan + 5 V en ambas compuertas. La figura 12.21b muestra que

$$\text{Para el } n\text{MOS } (Q_1)\text{:} \quad V_{GS} = V_i - 0\text{ V} = +5\text{ V} - 0\text{ V} = +5\text{ V}$$

$$\text{Para el } p\text{MOS } (Q_2)\text{:} \quad V_{GS} = V_i - (+5\text{ V}) = +5\text{ V} - 5\text{ V} = 0\text{ V}$$

Esta entrada da como resultado un transistor Q_1 encendido y un transistor Q_2 que permanece apagado, y por tanto, la salida cercana a 0 V a través del transistor que conduce Q_2. La conexión CMOS de la figura 12.19 ofrece una operación como la de un inversor lógico donde V_o es opuesto a V_i, como se muestra en la tabla 12.1.

TABLA 12.1 Operación de un circuito CMOS

$V_i(V)$	Q_1	Q_2	$V_o(V)$
0	Apagado	Encendido	+5
+5	Encendido	Apagado	0

12.7 CIRCUITOS DE FUENTE DE CORRIENTE

El concepto de fuente de alimentación nos ofrece un punto de partida para nuestra consideración de circuitos de fuente de corriente. Una fuente de voltaje práctica (ver figura 12.22a) es un suministro de voltaje en serie con una resistencia. Una fuente de voltaje ideal tiene $R = 0$, mientras que una fuente práctica incorpora una cierta resistencia pequeña. Una fuente de corriente práctica (ver figura 12.22b) es una fuente de corriente en paralelo con una resistencia. Una fuente de corriente ideal tiene $R = \infty$, mientras que una fuente de corriente práctica incorpora una cierta resistencia grande.

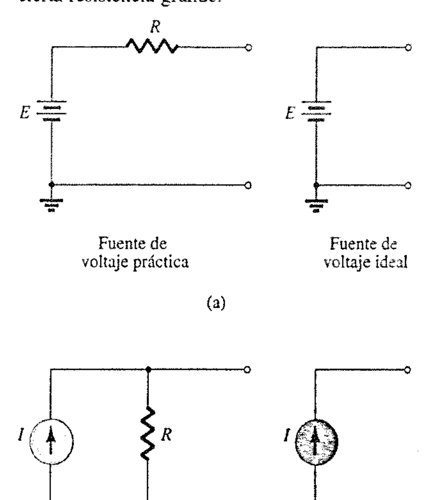


Figura 12.22 Fuentes de voltaje y de corriente.

Una fuente de corriente ideal proporciona una corriente constante sin importar la carga conectada a ella. Existen muchos usos en la electrónica para un circuito que proporcione una corriente constante a una impedancia muy alta. Los circuitos de corriente constante pueden ser construidos por medio de dispositivos FET, dispositivos bipolares o con una combinación de estos dispositivos. Existen circuitos utilizados en su forma discreta y otros más adecuados para la operación en circuitos integrados. En esta sección y en la sección 12.8 se consideran algunas formas de ambos tipos.

Fuente de corriente con JFET

En la figura 12.23 se muestra una fuente de corriente JFET simple. Con V_{GS} conectado en 0 V, la corriente de drenaje se fija en

$$I_D = I_{DSS} = 10 \text{ mA}$$

Por tanto, el dispositivo opera como una fuente de corriente de un valor de 10 mA. Mientras que el JFET real posee una resistencia de salida, la fuente de corriente ideal sería un suministro de 10 mA, como se muestra en la figura 12.23.

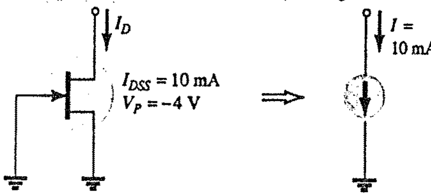


Figura 12.23 Fuente de corriente constante con JFET.

EJEMPLO 12.13

Determine la corriente de carga I_D y el voltaje de salida V_o para el circuito de la figura 12.24 cuando:

(a) $R_D = 1.2$ kΩ.
(b) $R_D = 3.3$ kΩ.

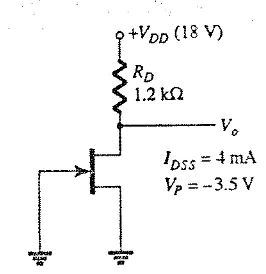


Figura 12.24 Fuente de corriente JFET para el ejemplo 12.13.

Solución

Dado que $V_{GS} = 0$ V, $I_D = I_{DSS} =$ **4 mA.**

(a) $V_o = V_{DD} - I_D R_D = 18\text{ V} - (4\text{ mA})(1.2\text{ k}\Omega) = \mathbf{13.2\ V}$

(b) $V_o = V_{DD} - I_D R_D = 18\text{ V} - (4\text{ mA})(3.3\text{ k}\Omega) = \mathbf{4.8\ V}$

Observe que el voltaje de salida cambia con R_D, pero que la corriente a través de R_D permanece en 4 mA, debido a que el JFET opera como una fuente de corriente constante.

Fuente de corriente constante con transistor bipolar

Los transistores bipolares pueden conectarse en un circuito que actúe como una fuente de corriente constante de distintas formas. La figura 12.25 muestra un circuito que utiliza unos cuantos resistores y un transistor *npn* para operar como un circuito de corriente constante. La corriente a través de I_E se puede determinar como sigue. Si se asume que la impedancia de entrada de la base es mucho mayor que R_1 y R_2.

$$V_B = \frac{R_1}{R_1 + R_2}(-V_{EE})$$

y

$$V_E = V_B - 0.7 \text{ V}$$

con

$$I_E = \frac{V_E - (-V_{EE})}{R_E} \approx I_C \qquad (12.25)$$

donde I_C es la corriente constante proporcionada por el circuito de la figura 12.25.

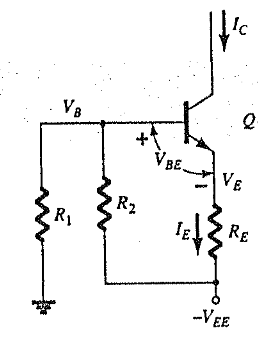


Figura 12.25 Fuente discreta de corriente constante.

EJEMPLO 12.14

Calcule la corriente constante I del circuito de la figura 12.26.

Solución

$$V_B = \frac{R_1}{R_1 + R_2}(-V_{EE}) = \frac{5.1\text{ k}\Omega}{5.1\text{ k}\Omega + 5.1\text{ k}\Omega}(-20\text{ V}) = -10\text{ V}$$

$$V_E = V_B - 0.7\text{ V} = -10\text{ V} - 0.7\text{ V} = -10.7\text{ V}$$

$$I = I_E = \frac{V_E - (-V_{EE})}{R_E} = \frac{-10.7\text{ V} - (-20\text{ V})}{2\text{ k}\Omega}$$

$$= \frac{9.3\text{ V}}{2\text{ k}\Omega} = \mathbf{4.65\ mA}$$

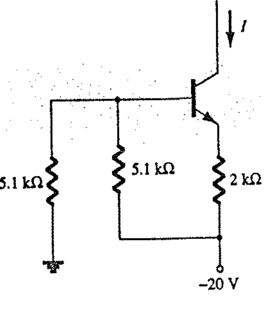


Figura 12.26 Fuente de corriente constante para el ejemplo 12.14.

Fuente de corriente constante con transistor/Zener

Al reemplazar el resistor R_2 con un diodo Zener, como se muestra en la figura 12.27, se ofrece una mejor fuente de corriente constante que la de la figura 12.25. El diodo Zener ocasiona una corriente constante utilizando la LVK (ley de voltaje de Kirchhoff) en la malla base-emisor. El valor de I podrá entonces calcularse mediante

$$I \approx I_E = \frac{V_Z - V_{BE}}{R_E} \tag{12.26}$$

Un punto importante a considerar es que la corriente constante depende del voltaje del diodo Zener, el cual permanece constante, y del resistor de emisor R_E. La fuente de voltaje V_{EE} no tiene efecto sobre el valor de I.

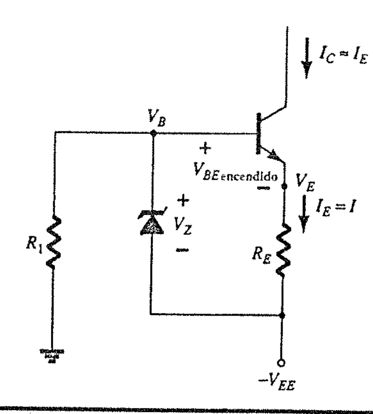


Figura 12.27 Circuito de corriente constante mediante un diodo Zener.

EJEMPLO 12.15 Calcule la corriente constante I en el circuito de la figura 12.28.

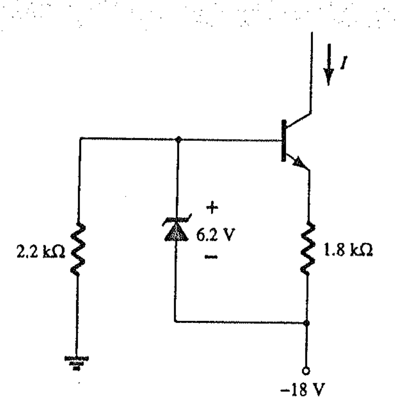


Figura 12.28 Circuito de corriente constante del ejemplo 12.15.

Solución

$$\text{Ecuación 12.26:} \quad I = \frac{V_Z - V_{BE}}{R_E} = \frac{6.2\text{ V} - 0.7\text{ V}}{1.8\text{ k}\Omega} = 3.06\text{ mA} \approx \mathbf{3\ mA}$$

12.8 CIRCUITOS DE ESPEJO DE CORRIENTE

El circuito de espejo de corriente (ver figura 12.29) proporciona una corriente constante y se utiliza principalmente en circuitos integrados. La corriente constante se obtiene a partir de una corriente de salida, la cual es el reflejo de una corriente constante, desarrollada en otro lado del circuito. El circuito es particularmente adecuado para la manufactura de circuitos integrados debido a que requiere que los transistores empleados tengan caídas idénticas de voltaje base-emisor y valores idénticos de beta, resultados que se logran mejor cuando los transistores se forman al mismo tiempo en el proceso de manufactura. En la figura 12.29, la corriente I_X, establecida por el transistor Q_1 y el resistor R_X, es espejo de la corriente I a través del transistor Q_2.

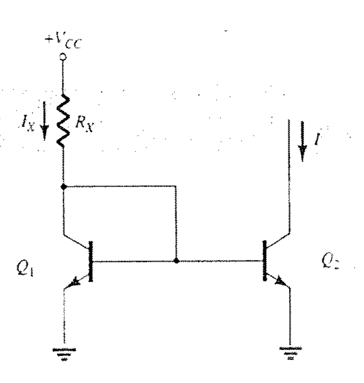


Figura 12.29 Circuito de espejo de corriente.

Las corrientes I_X e I pueden obtenerse utilizando las corrientes de circuito enumeradas en la figura 12.30. Se asume que la corriente de emisor (I_E) para ambos transistores es la misma (Q_1 y Q_2 se fabrican cercanos el uno del otro sobre el mismo circuito integrado). Las dos corrientes de base de los transistores son aproximadamente

$$I_B = \frac{I_E}{\beta + 1} \approx \frac{I_E}{\beta}$$

La corriente de colector de cada transistor será entonces de

$$I_C \approx I_E$$

Por último, la corriente I_X a través del resistor R_X, es

$$I_X = I_E + \frac{2I_E}{\beta} = \frac{\beta I_E}{\beta} + \frac{2I_E}{\beta} = \frac{\beta + 2}{\beta} I_E \approx I_E$$

En resumen, la corriente constante proporcionada en el colector de Q_2, refleja la de Q_1. Debido a que

$$I_X = \frac{V_{CC} - V_{BE}}{R_X} \tag{12.27}$$

la corriente I_X establecida por V_{CC} y R_X es espejo de la corriente que entra al colector de Q_2.

El transistor Q_1 se refiere a un transistor conectado como diodo debido a que la base y el colector se encuentran ambas en corto.

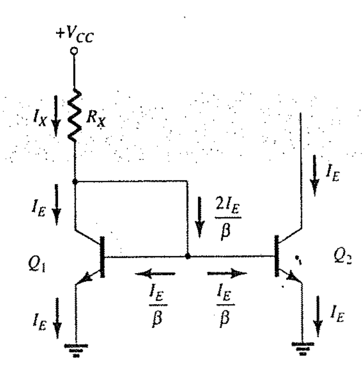


Figura 12.30 Corrientes de circuito para el circuito de espejo de corriente.

EJEMPLO 12.16 Calcule la corriente espejo, I, en el circuito de la figura 12.31.

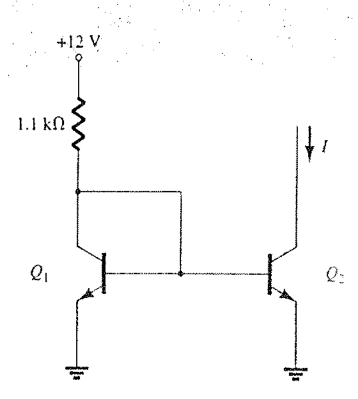


Figura 12.31 Circuito de espejo de corriente para el ejemplo 12.16.

Solución

Ecuación 12.27: $I = I_X = \dfrac{V_{CC} - V_{BE}}{R_X} = \dfrac{12\text{ V} - 0.7\text{ V}}{1.1\text{ k}\Omega} = \mathbf{10.27\text{ mA}}$

EJEMPLO 12.17 Calcule la corriente, I, a través de cada uno de los transistores Q_2 y Q_3 en el circuito de la figura 12.32.

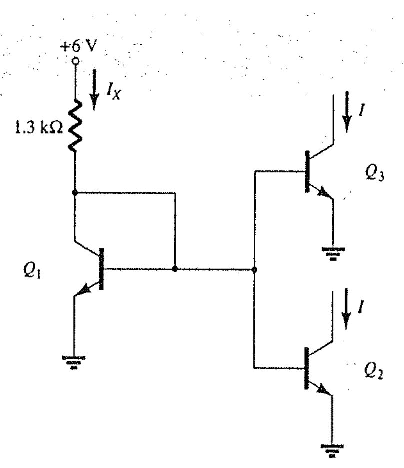


Figura 12.32 Circuito de espejo de corriente para el ejemplo 12.17.

Solución

La corriente I_X es

$$I_X = I_E + \frac{3I_E}{\beta} = \frac{\beta + 3}{\beta} I_E \approx I_E$$

Por tanto,

$$I \approx I_X = \frac{V_{CC} - V_{BE}}{R_X} = \frac{6\text{ V} - 0.7\text{ V}}{1.3\text{ k}\Omega} = \mathbf{4.08\text{ mA}}$$

La figura 12.33 muestra otra forma de espejo de corriente que proporciona una impedancia de salida más alta que la de la figura 12.29. La corriente a través de R_X es

$$I_X = \frac{V_{CC} - 2V_{BE}}{R_X} \approx I_E + \frac{I_E}{\beta} = \frac{\beta + 1}{\beta} I_E \approx I_E$$

Si se asume que Q_1 y Q_2 están bien pareados, la corriente de salida I se mantiene constante en

$$I \approx I_E = I_X$$

Nuevamente vemos que la corriente de salida I es un valor espejo de la corriente establecida por la corriente fija a través de R_X.

La figura 12.34 muestra todavía otra forma de espejo de corriente. El JFET ofrece una corriente constante establecida en el valor de I_{DSS}. Esta corriente es reflejada, y da como resultado una corriente a través de Q_2 con el mismo valor:

$$I = I_{DSS}$$

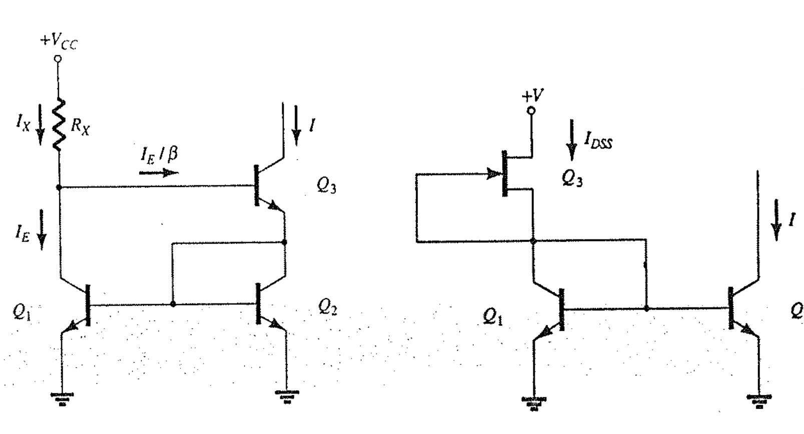


Figura 12.33 Circuito espejo de corriente con una mayor impedancia de entrada.

Figura 12.34 Conexión de espejo de corriente.

12.9 CIRCUITO AMPLIFICADOR DIFERENCIAL

El circuito amplificador diferencial es una conexión extremadamente común utilizada en circuitos integrados. Esta conexión se puede describir al considerar el amplificador diferencial básico que se muestra en la figura 12.35. Observe que el circuito posee dos entradas separadas, dos salidas separadas y los emisores están conectados entre sí. Mientras que la mayoría de los circuitos amplificadores diferenciales utilizan dos fuentes de voltaje, el circuito puede operar utilizando sólo una de ellas.

Es posible obtener un número de combinaciones de señales de entrada:

Si una señal de entrada se aplica a cualquier entrada con la otra entrada conectada a tierra, la operación se denomina "terminal simple".

Si se aplican dos señales de entrada de polaridad opuesta, la operación se denomina "terminal doble".

Si la misma entrada se aplica a ambas entradas, la operación se denomina "modo común".

En una operación de terminal simple, se aplica una sola señal de entrada. Sin embargo, gracias a la conexión de emisor común, la señal de entrada operará en ambos transistores, lo que da como resultado una salida en *ambos* colectores.

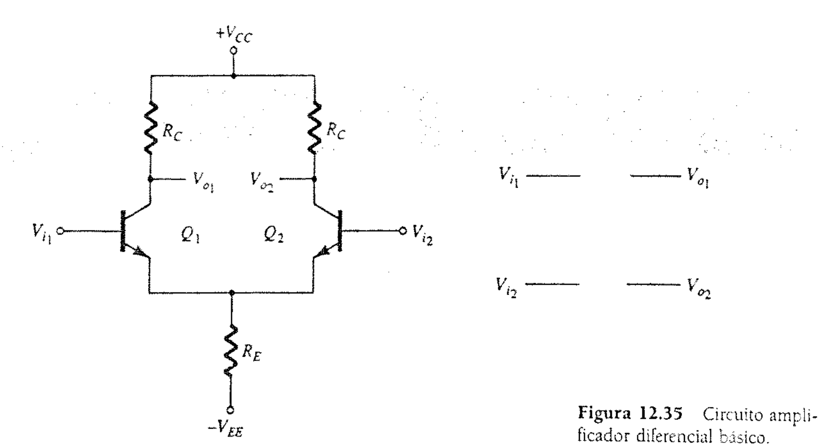


Figura 12.35 Circuito amplificador diferencial básico.

En la operación de terminal doble, se aplican dos señales de entrada, la diferencia de las entradas ocasiona las salidas de ambos colectores debido a la diferencia de las señales aplicadas a ambas entradas.

En la operación de modo común, la señal de entrada común resulta en señales opuestas en cada colector; estas señales se cancelan de forma que la señal de salida resultante es cero. Como una cuestión práctica, las señales opuestas no se cancelan del todo y se obtiene una pequeña señal resultante.

La principal característica del amplificador diferencial es la ganancia muy alta que se obtiene cuando se aplican señales opuestas en las entradas, en comparación con la ganancia tan pequeña que se obtiene de las entradas comunes. La relación de esta ganancia diferencial a la ganancia común se denomina *rechazo de modo común*. Estos conceptos se analizan a profundidad en el capítulo 13. Por ahora, se cubrirá por completo la operación del circuito amplificador diferencial.

Polarización en dc

Para comenzar, se considera la operación de polarización de dc para el circuito de la figura 12.35. Con entradas de ac obtenidas de fuentes de voltaje, el voltaje de dc en cada entrada se encuentra básicamente conectado a 0 V, como se muestra en la figura 12.36. Con cada voltaje de base en 0 V, el voltaje de polarización de dc de emisor común es

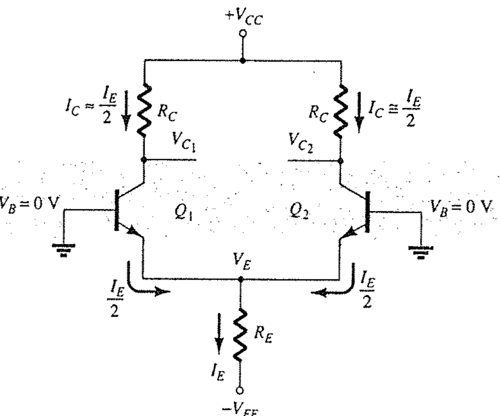


Figura 12.36 Polarización de dc para el circuito amplificador diferencial.

$$V_E = 0\text{ V} - V_{BE} = -0.7\text{ V}$$

La corriente de polarización de dc en emisor es

$$I_E = \frac{V_E - (-V_{EE})}{R_E} \approx \frac{V_{EE} - 0.7\text{ V}}{R_E} \tag{12.28}$$

Si se supone que los transistores se encuentran bien apareados (como ocurre en un circuito integrado),

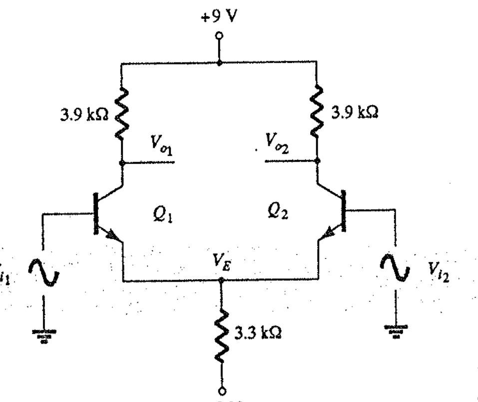
$$I_{C_1} = I_{C_2} = \frac{I_E}{2} \tag{12.29}$$

lo que resulta en un voltaje de colector de

$$V_{C_1} = V_{C_2} = V_{CC} - I_C R_C = V_{CC} - \frac{I_E}{2} R_C \tag{12.30}$$

EJEMPLO 12.18

Calcule los voltajes y corrientes de dc en el circuito de la figura 12.37.



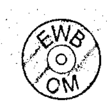


Figura 12.37 Circuito amplificador diferencial del ejemplo 12.18.

Solución

$$\text{Ecuación 12.28:}\quad I_E = \frac{V_{EE} - 0.7\text{ V}}{R_E} = \frac{9\text{ V} - 0.7\text{ V}}{3.3\text{ k}\Omega} \approx \mathbf{2.5\text{ mA}}$$

Entonces la corriente del colector es

$$\text{Ecuación 12.29:}\quad I_C = \frac{I_E}{2} = \frac{2.5\text{ mA}}{2} = \mathbf{1.25\text{ mA}}$$

lo que resulta en un voltaje de colector de

$$\text{Ecuación 12.30:}\quad V_C = V_{CC} - I_C R_C = 9\text{ V} - (1.25\text{ mA})(3.9\text{ k}\Omega) \approx \mathbf{4.1\text{ V}}$$

El voltaje de emisor común es entonces de −0.7 V, mientras que el voltaje de polarización en colector es cercano a 4.1 V para ambas salidas.

Operación de ac del circuito

En la figura 12.38 se muestra una conexión de ac para un amplificador diferencial. Se aplican señales de entrada separadas como V_{i_1} y V_{i_2}, y se obtienen salidas separadas V_{o_1} y V_{o_2}. Para llevar a cabo el análisis de ac, el circuito se dibuja de nuevo en la figura 12.39. Cada transistor se reemplaza por su equivalente de ac.

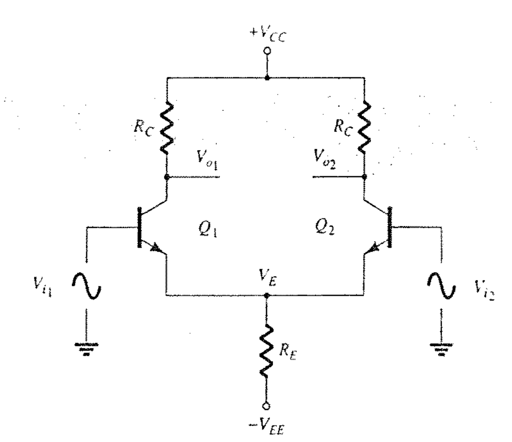


Figura 12.38 Conexión de ac para el amplificador diferencial.

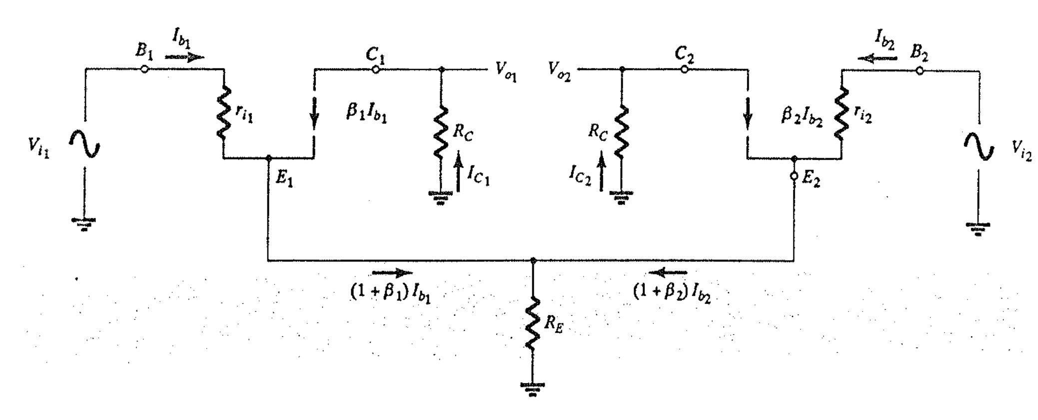


Figura 12.39 Equivalente de ac del circuito amplificador diferencial.

GANANCIA DE VOLTAJE DE AC DE TERMINAL SIMPLE

Para calcular la ganancia de voltaje de ac de terminal simple, V_o/V_i, se aplica una señal a una entrada y se mantiene la otra conectada a tierra, como se muestra en la figura 12.40. El equivalente de ac de esta conexión se dibuja en la figura 12.41. La corriente de ac de base se pue-

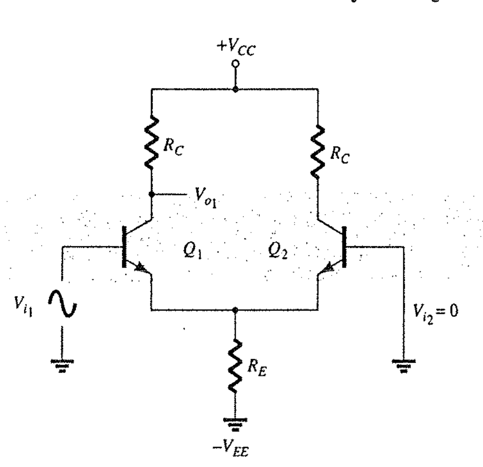


Figura 12.40 Conexión para calcular $A_{v_1} = V_{o_1}/V_{i_1}$.

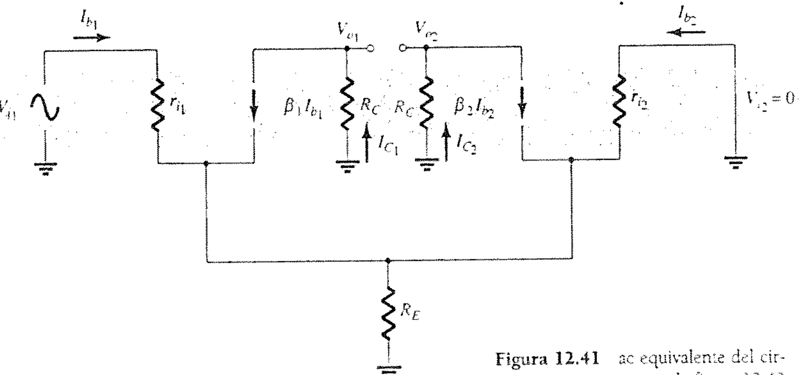


Figura 12.41 ac equivalente del circuito que se muestra en la figura 12.40.

de calcular mediante la ecuación LVK (ley de voltaje de Kirchhoff) sobre la entrada de la base 1. Si se asume que los dos transistores se encuentran bien pareados, entonces

$$I_{b_1} = I_{b_2} = I_b$$

$$r_{i_1} = r_{i_2} = r_i$$

Con R_E muy grande (idealmente infinita), el circuito para obtener la ecuación de la LVK se simplifica al de la figura 12.42, del cual podemos escribir

$$V_{i_1} - I_b r_i - I_b r_i = 0$$

por lo que

$$I_b = \frac{V_{i_1}}{2r_i}$$

Si también se supone que

$$\beta_1 = \beta_2 = \beta$$

entonces

$$I_C = \beta I_b = \beta\frac{\beta V_{i_1}}{2r_i}$$

y la magnitud del voltaje de salida en cualquier colector es

$$V_o = I_C R_C = \beta\frac{V_{i_1}}{2r_i}R_C = \frac{\beta R_C}{2\beta r_e}V_i$$

para el cual, la magnitud de la ganancia de voltaje de terminal simple en cualquier colector es

$$A_v = \frac{V_o}{V_{i_1}} = \frac{R_C}{2r_e} \tag{12.31}$$

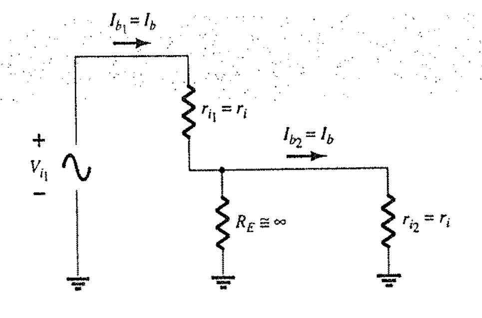


Figura 12.42 Circuito parcial para calcular I_b.

EJEMPLO 12.19 Calcule el voltaje de salida de terminal simple, V_{o_1}, para el circuito de la figura 12.43.

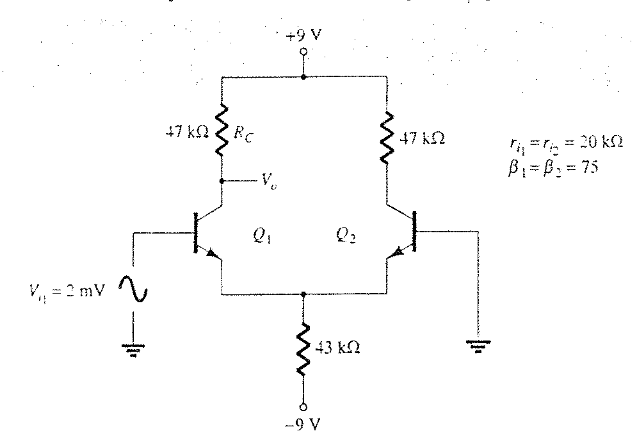


Figura 12.43 Circuito para los ejemplos 12.19 y 12.20.

Solución

Los cálculos de polarización de dc proporcionan

$$I_E = \frac{V_{EE} - 0.7\text{ V}}{R_E} = \frac{9\text{ V} - 0.7\text{ V}}{43\text{ k}\Omega} = 193\ \mu\text{A}$$

La corriente de dc de colector es

$$I_C = \frac{I_E}{2} = 96.5\ \mu\text{A}$$

de forma que $V_C = V_{CC} - I_C R_C = 9\text{ V} - (96.5\ \mu\text{A})(47\text{ k}\Omega) = 4.5\text{ V}$

El valor de r_e es

$$r_e = \frac{26}{0.0965} \cong 269\ \Omega$$

La magnitud de la ganancia de voltaje de ac puede calcularse mediante la ecuación 12.31:

$$A_v = \frac{R_C}{2r_e} = \frac{(47\text{ k}\Omega)}{2(269\ \Omega)} = 87.4$$

que proporciona un voltaje de ac de salida de magnitud

$$V_o = A_v V_i = (87.4)(2\text{ mV}) = 174.8\text{ mV} = \mathbf{0.175\text{ V}}$$

GANANCIA DE VOLTAJE DE AC DE TERMINAL DOBLE

Es posible emplear un análisis similar para mostrar que para la condición de señales aplicadas a ambas entradas, la magnitud de la ganancia de voltaje diferencial sería entonces de

$$A_d = \frac{V_o}{V_d} = \frac{\beta R_C}{2r_i} \qquad (12.32)$$

donde $V_d = V_{i_1} - V_{i_2}$.

Operación del circuito en modo común

Mientras que un amplificador diferencial ofrece una gran amplificación de la señal diferencial aplicada a ambas entradas, también debe proporcionar una amplificación muy pequeña de la señal común a ambas entradas. En la figura 12.44 se muestra una conexión de ac que presenta una entrada común a ambos transistores. El circuito equivalente de ac se dibuja en la figura 12.45, de la que podemos escribir

$$I_b = \frac{V_i - 2(\beta + 1)I_b R_E}{r_i}$$

que puede reescribirse como

$$I_b = \frac{V_i}{r_i + 2(\beta + 1)R_E}$$

La magnitud del voltaje de salida es entonces

$$V_o = I_C R_C = \beta I_b R_C = \frac{\beta V_i R_C}{r_i + 2(\beta + 1)R_E}$$

que proporciona una magnitud de ganancia de voltaje de

$$A_c = \frac{V_o}{V_i} = \frac{\beta R_C}{r_i + 2(\beta + 1)R_E} \qquad (12.33)$$

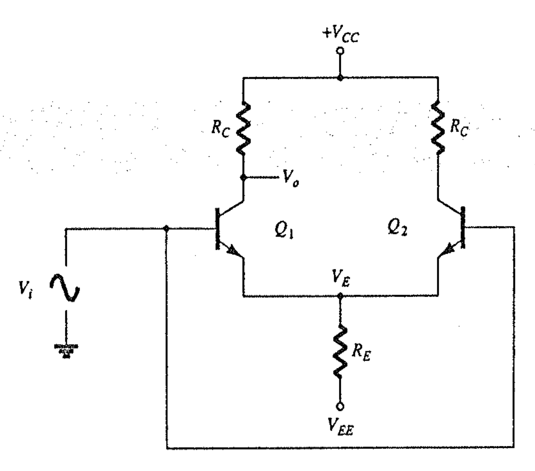


Figura 12.44 Conexión en modo común.

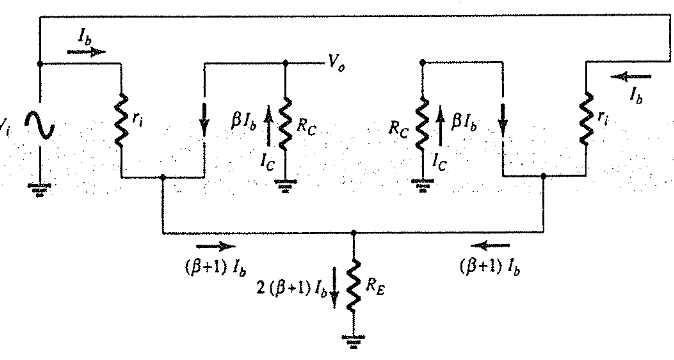


Figura 12.45 Circuito de ac en conexión en modo común.

EJEMPLO 12.20

Calcule la ganancia en modo común para el circuito amplificador de la figura 12.43.

Solución

$$\text{Ecuación 12.33:}\quad A_c = \frac{V_o}{V_i} = \frac{\beta R_C}{r_i + 2(\beta + 1)R_E} = \frac{75(47\text{ k}\Omega)}{20\text{ k}\Omega + 2(76)(43\text{ k}\Omega)} = 0.54$$

Utilización de una fuente de corriente constante

Un buen amplificador diferencial posee una ganancia diferencial A_d muy grande, la cual es mucho mayor que la ganancia en modo común A_c. La capacidad de rechazo en modo común del circuito puede mejorarse de forma considerable al hacer la ganancia en modo común lo más pequeña posible (idealmente en 0). De la ecuación 12.33 se observa que mientras mayor sea R_E, menor será A_c. Un método común para incrementar el valor en ac de R_E es utilizar un circuito de fuente de corriente constante. En la figura 12.46 se muestra un amplificador diferencial con una fuente de corriente constante para proporcionar un gran valor de resistencia del emisor común a la tierra de ac. La principal mejora de este circuito sobre el de la figura 12.35 es la impedancia de ac mucho mayor para R_E que se obtiene mediante el empleo de la fuente de corriente constante. La figura 12.47 muestra el circuito equivalente de ac para el circuito de la figura 12.46. Una fuente de corriente constante práctica se muestra como una alta impedancia en paralelo con la corriente constante.

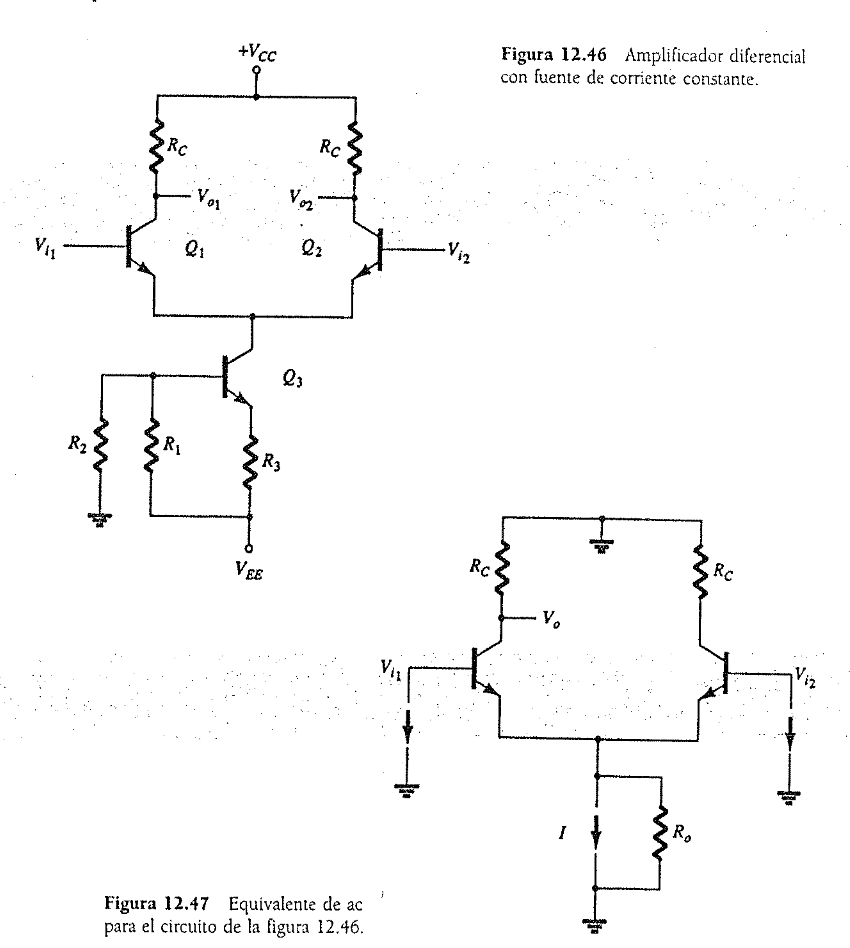


Figura 12.46 Amplificador diferencial con fuente de corriente constante.

Figura 12.47 Equivalente de ac para el circuito de la figura 12.46.

EJEMPLO 12.21

Calcule la ganancia de modo común para el amplificador diferencial de la figura 12.48.

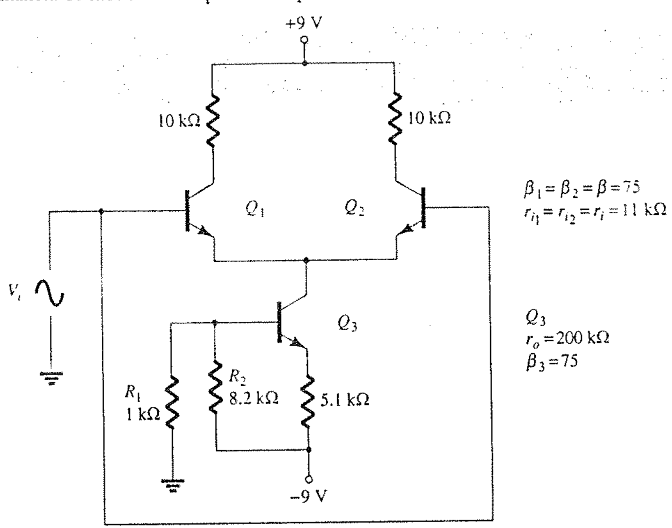


Figura 12.48 Circuito para el ejemplo 12.21.

Solución

Al utilizar $R_E = r_o = 200$ kΩ se tiene

$$A_c = \frac{\beta R_C}{r_i + 2(\beta + 1)R_E} = \frac{75(10\text{ k}\Omega)}{11\text{ k}\Omega + 2(76)(200\text{ k}\Omega)} = 24.7 \times 10^{-3}$$

12.10 CIRCUITOS AMPLIFICADORES DIFERENCIALES BIFET, BIMOS Y CMOS

Mientras que la sección precedente ofreció una introducción al amplificador diferencial con el uso de dispositivos bipolares, las unidades comercialmente disponibles también utilizan transistores JFET y MOSFET para construir este tipo de circuitos. Al circuito integrado (CI) que contiene un amplificador diferencial construido tanto por transistores bipolares (Bi) como por transistores de unión de efecto de campo (FET) se le conoce como *circuito BIFET*. Un circuito integrado que ha sido construido tanto por transistores bipolares (Bi) y transistores MOSFET se le conoce como *circuito BiMOS*. Por último, al circuito construido por medio de transistores MOSFET de tipo complementario se le denomina *circuito CMOS*.

Los circuitos empleados a continuación para mostrar los distintos circuitos de dispositivos múltiples son en su mayoría simbólicos, debido a que los circuitos reales utilizados en los CIs son mucho más complejos. La figura 12.49 muestra un circuito BiFET con transistores JFET en las entradas y transistores bipolares para proporcionar la fuente de corriente (mediante un circuito de espejo de corriente). El espejo de corriente asegura que cada JFET sea operado en la misma corriente de polarización. Para la operación de ac, el JFET ofrece una alta impedancia de entrada (mucho mayor que la proporcionada mediante el uso únicamente de transistores bipolares).

La figura 12.50 muestra un circuito que utiliza transistores de entrada MOSFET y transistores bipolares para las fuentes de corriente, la unidad BiMOS ofrece incluso una mayor impedancia de entrada que la BiFET debido al empleo de los transistores MOSFET.

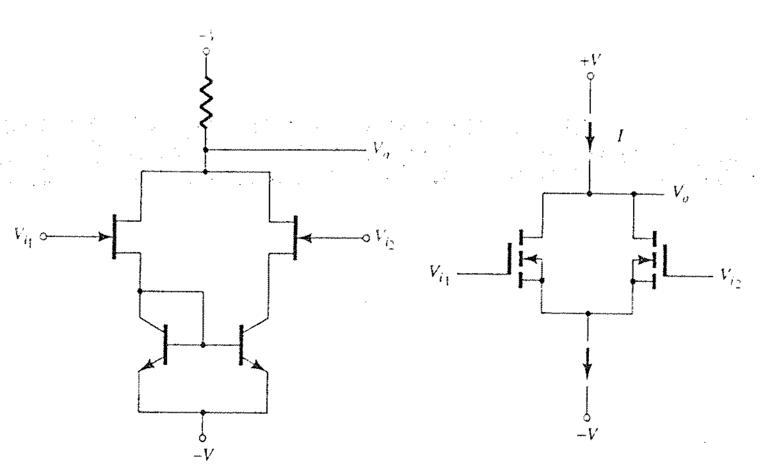


Figura 12.49 Circuito amplificador diferencial BiFET.

Figura 12.50 Circuito amplificador diferencial BiMOS.

Por último, es posible construir un circuito amplificador diferencial mediante transistores complementarios MOSFET como se muestra en la figura 12.51. Los transistores *p*MOS proporcionan las entradas opuestas, mientras que los transistores *n*MOS operan como la fuente de corriente constante. Se toma una sola salida del punto común entre los transistores *n*MOS y *p*MOS en un lado del circuito. Este tipo de amplificador diferencial CMOS es particularmente apropiado para operación a batería debido a la baja disipación de potencia de un circuito CMOS.

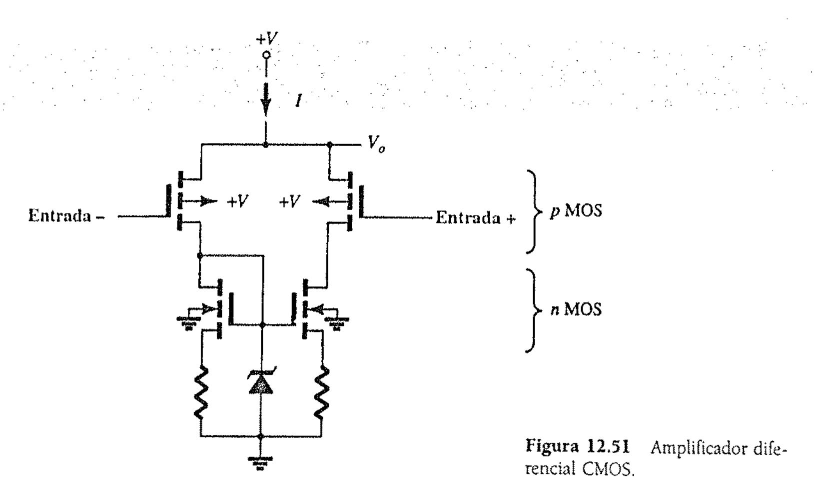


Figura 12.51 Amplificador diferencial CMOS.

12.11 RESUMEN

Conclusiones y conceptos importantes

1. Una conexión en cascada es una conexión en serie.
2. Para el caso de una conexión en cascada, la amplificación es el producto de las ganancias de etapa.
3. Una conexión cascode presenta una alta impedancia de entrada con una baja impedancia de salida.

4. Una conexión Darlington presenta dos transistores conectados como un "super" transistor.
5. Un par de retroalimentación que emplea un transistor *npn* y uno *pnp*, presenta un "super" transistor equivalente.
6. Un circuito CMOS presenta un inversor de muy baja potencia u otro circuito lógico digital.
7. Una fuente de corriente presenta un elemento de circuito con una corriente constante (no dependiente del voltaje a través del elemento).
8. Un circuito espejo de corriente presenta una fuente de corriente constante en un circuito CI.
9. Un circuito amplificador diferencial presenta un circuito flexible y de alta ganancia el cual es la etapa básica de un circuito op-amp.
10. La operación de modo común ofrece la cancelación de ruido en un circuito amplificador diferencial.
11. La operación en modo diferencial ofrece la alta ganancia de una conexión de etapa diferencial.
12. Un circuito BiFET se construye mediante transistores **Bi**polares y transistores **FET**.
13. Un circuito BiMOS se construye mediante el uso de transistores **Bi**polares y **MOS**FETs.

Ecuaciones

Conexión en cascada:

$$A_v = A_{v_1}A_{v_2} = (-g_{m_1}R_{D_1})(-g_{m_2}R_{D_2})$$

$$A_v = \frac{-R_C \| R_L}{r_e}$$

$$Z_i = R_1 \| R_2 \| \beta r_e$$

Conexión Darlington:

$$\beta_D = \beta_1\beta_2$$

$$\beta_D = \beta^2$$

$$Z_i = R_B \| (r_i + \beta_D R_E)$$

$$A_i = \beta_D \frac{R_B}{(R_B + \beta_D R_E)}$$

$$Z_o = R_E \| r_i \| \frac{r_i}{\beta_D} \approx \frac{r_i}{\beta_D}$$

$$A_v = \frac{V_o}{V_i} = \frac{R_E + \beta_D R_E}{r_i + (R_E + \beta_D R_E)} \approx 1$$

Par de retroalimentación:

$$Z_i = R_B \| (r_i + \beta_1\beta_2 R_C)$$

$$A_i = \beta_1\beta_2 \frac{R_B}{R_B + Z_i}$$

$$Z_o \approx \frac{r_{i_1}}{\beta_1\beta_2}$$

$$A_v = \frac{\beta_1\beta_2 R_C}{(\beta_1\beta_2 R_C + r_{i_1})}$$

Circuito amplificador diferencial:

$$A_v = \frac{V_o}{V_i} = \frac{R_C}{2r_e}$$

$$A_d = \frac{V_o}{V_i} = \frac{\beta R_C}{2r_i}$$

$$A_c = \frac{\beta R_C}{r_i + 2(\beta + 1)R_E}$$

12.12 ANÁLISIS POR COMPUTADORA

Es posible obtener el análisis por computadora de distintos circuitos compuestos por medio de PSpice, Electronics Workbench o Mathcad.

PSpice para Windows

Al emplear PSpice, primero se debe utilizar el programa de captura esquemática para dibujar el circuito. Luego, se deben establecer los valores y parámetros del dispositivo, ejecutar el análisis y observar los resultados mediante el análisis del esquema, el archivo de salida o la ejecución de **PROBE** para ver distintas formas de onda.

Mientras que los modelos de transistor BJT tienen valores implícitos, "default", de **Beta** y los modelos JFET tienen valores implícitos, "default", de **VTO** y **KP,** estos valores pueden modificarse a aquéllos del circuito particular que se analiza. También se define una gran cantidad de otros valores de dispositivo para los modelos de dispositivos BJT y JFET que se proporcionan. Éstos pueden modificarse o, con el objetivo de hacerlos coincidir con los valores de circuito calculados, todos se pueden borrar menos los principales valores.

Programa 12.1: Amplificador en cascada JFET

El circuito multietapa JFET de la figura 12.2 se puede dibujar mediante la captura de esquemas (**Schematic Capture**) como se muestra en la figura 12.52. Dibuje el circuito y coloque cada uno de los componentes, dispositivos y fuentes de señales como se muestra. Seleccione los valores de componentes y establézcalos de la misma forma que en la figura 12.2.

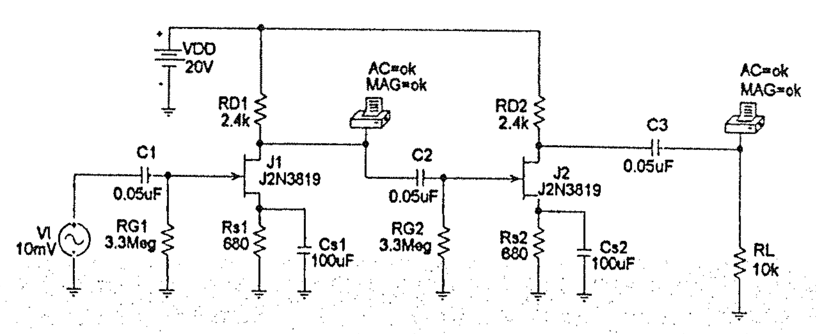


Figura 12.52 Circuito del Centro de Diseño para analizar el amplificador en cascada JFET.

Algunos de los pasos para dibujar el circuito son:

Seleccione **VDC** y establezca el nombre (**NAME**) en V_{DD} y el valor (**VALUE**) en 20 V.

Seleccione **VSIN** y establezca el nombre en V_i y el valor en 10 mV.

Coloque símbolos **VPRINT1** en la salida del drenaje de la etapa 1 y en la salida de la carga, y configúrelos para que desplieguen la magnitud de ac (establezca AC = ok y MAG = ok).

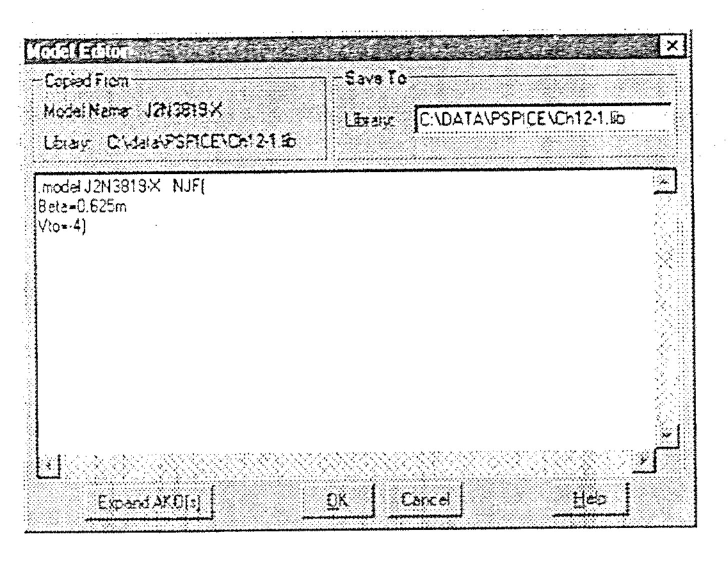


Figura 12.53 Presentación de la definición del modelo JFET resultante.

Seleccione el JFET parte número J2N3819 y establezca los valores de JFET como los utilizados en la figura 12.2 (**Beta** = 0.625E-3 y **VP** = –4V). Esto se realiza al seleccionar el dispositivo JFET, mediante **Edit-Model-Edit-Instance Model (Text)**, y al capturar los dos parámetros del dispositivo (Beta y $V_{to}[=V_P]$). Para obtener los mismos resultados que los de la figura 12.2, elimine todos los demás parámetros del dispositivo JFET como se señala en la figura 12.53.

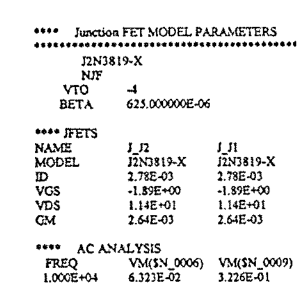
Establezca todos los valores de resistores y de capacitores como se indica en la figura 12.52.

Utilice la configuración del análisis (**Analysis Setup**) para efectuar un barrido lineal en ac de V_i para un punto en f = 10 kHz.

Almacene el esquema.

Ejecute el análisis del circuito al presionar el botón de simular (**Simulate**).

Revise la salida del análisis (**Analysis Output**) para ver los resultados. En la figura 12.54 se muestra un archivo de salida editado. Observe que los dispositivos JFET tienen **VTO** = –4 y **Beta** = 625E–6 (como los de la figura 12.2). El valor de polarización de dc muestra que I_{DQ} = 2.78 mA (siendo el de la figura 12.2 igual a 2.8 mA). El análisis de ac muestra que la magnitud de voltaje de ac en la salida es de 3.226E-01 = 322.6 mV (donde los resultados redondeados de la figura 12.2 son igual a 310 mV).



```
Cascade JFET Amplifier

****   Junction FET MODEL PARAMETERS
******************************************
         J2N3819-X
         NJF
   VTO      -4
   BETA     625.000000E-06

**** JFETS
NAME        J_J2          J_J1
MODEL       J2N3819-X     J2N3819-X
ID          2.78E-03      2.78E-03
VGS         -1.89E+00     -1.89E+00
VDS         1.14E+01      1.14E+01
GM          2.64E-03      2.64E-03

****   AC ANALYSIS
  FREQ        VM($N_0006)   VM($N_0009)
  1.000E+04   6.323E-02     3.226E-01
```

Figura 12.54 Salida PSpice para el circuito de la figura 12.52 (editado).

Es posible desplegar los valores de dc, en distintos lugares del circuito, determinados por el análisis, al presionar el botón **Enable Bias Voltage Display.** La pantalla resultante se muestra en la figura 12.55. Al presionar repetidamente este botón hará que la presentación de los voltajes de dc del esquema aparezca y desaparezca.

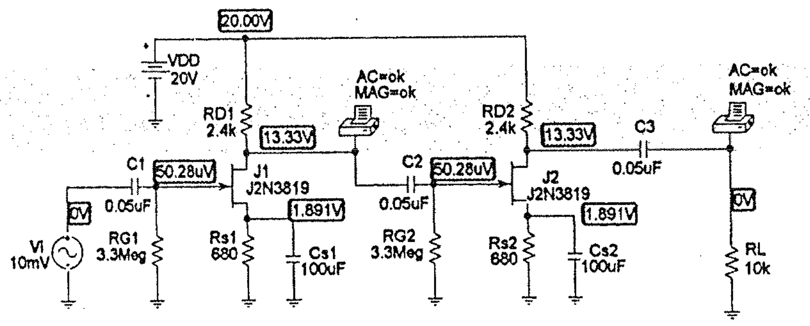


Figura 12.55 Presentación que muestra los valores de polarización de dc.

A continuación se presenta un resumen de los resultados obtenidos de los resultados de salida:

Resultados de polarización de dc (para cada transistor):

$$V_G = 0\text{ V}, \quad V_D = 13.33\text{ V} \quad V_S = 1.89\text{ V}$$

Parámetros de JFET (para cada transistor):

$$I_{DQ} = 2.78\text{ mA}, \quad V_{GSQ} = -1.89\text{ V}$$

$$g_m = 2.64\text{ mS } (g_m = 2.6\text{ mS en el ejemplo 12.1})$$

Resultados de ac:

$$A_{v_1} = V_{o_1}/V_i = 6.323 \times 10^{-2}/1 \times 10^{-2} = 6.3 \ (= 6.2 \text{ en el ejemplo 12.1})$$

$$A_{v_2} = V_o/V_{o_1} = 3.226 \times 10^{-1}/6.323 = 10^{-2} = 5.1$$

$$V_o = 3.226 \times 10^{-1} = 322.6\text{ mV} \quad (V_L = 310\text{ mV en el ejemplo 12.1})$$

La ganancia de voltaje de ac y el voltaje de salida de ac obtenidos en el ejemplo 12.1 y determinados mediante PSpice se comparan muy bien.

Programa 12.2: Amplificador BJT en cascada

El amplificador BJT en cascada de la figura 12.4 se dibuja en el esquema del Centro de Diseño de la figura 12.56. El esquema indica que se desplieguen las magnitudes de ac para la salida del colector de la primera etapa y la salida a través de la carga R_L. Los modelos de BJT se han editado de forma que sólo se empleen el valor "default" de **IS** = 6.734E-15 y el valor deseado de **BF** = 200. El barrido de ac se establece para un punto de frecuencia en f = 10 kHz.

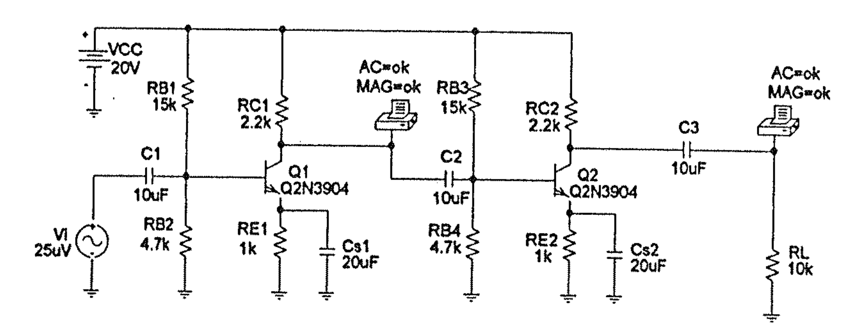


Figura 12.56 Circuito del Centro de Diseño para analizar el amplificador BJT de dos etapas.

Algunos de los pasos para dibujar el circuito son:

Seleccione **VDC** y establezca el nombre (**NAME**) en V_{CC} y el valor (**VALUE**) en 20 V.

Seleccione **VSIN** y establezca el nombre en V_i y el valor en 25 μV.

Coloque símbolos **VPRINT1** en la salida del drenaje de la etapa 1 y en la salida de la carga, y configúrelos para que desplieguen la magnitud de ac (establezca **AC** = ok y **MAG** = ok).

Seleccione el BJT parte número Q2N3904 y establezca los valores de BJT como los que se utilizaron en la figura 12.4 (BF-200). Esto se realiza al seleccionar el dispositivo BJT, mediante **Edit-Model-Edit Instance Model (Text)**, y al capturar el parámetro del dispositivo (BF[=Beta]). Para obtener los mismos resultados que los de la figura 12.4, elimine todos los demás parámetros del dispositivo BJT.

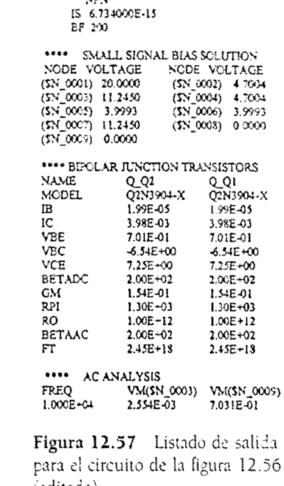
Establezca todos los valores de resistores y de capacitores como se muestra en la figura 12.56.

Utilice la configuración del análisis (**Analysis Setup**) para efectuar un barrido lineal en ac de V_i para un punto en f = 10 kHz.

Almacene el esquema.

Ejecute el análisis del circuito al presionar el botón de simular (**Simulate**).

Revise la salida del análisis (**Analysis Output**) para ver los resultados. En la figura 12.57 se muestra un archivo de salida editado. Observe que los dispositivos BJT tienen BF = 200 (como el de la figura 12.4). El valor de polarización de dc muestra que V_B = 4.7004 V (= 4.7 V para la figura 12.4), V_E = 3.993 V (= 4 V para la figura 12.4), V_C = 11.245 V (= 11 V para la figura 12.4) e I_{CQ} = 3.98 mA (en la figura 12.4 igual a 4 mA). El análisis de ac muestra que la magnitud de voltaje de ac en la salida es de 7.031E-01 = 703.1 mV (para los resultados redondeados de la figura 12.2 es igual a 710 mV).



```
Cascade BJT Amplifier

****   BJT MODEL PARAMETERS
        Q2N3904-X
        NPN
      IS  6.734000E-15
      BF  200

****   SMALL SIGNAL BIAS SOLUTION
NODE   VOLTAGE       NODE   VOLTAGE
($N_0001) 20.0000    ($N_0002)  4.7004
($N_0003) 11.2450    ($N_0004)  4.7004
($N_0005)  3.9993    ($N_0006)  3.9993
($N_0007) 11.2450    ($N_0008)  0.0000
($N_0009)  0.0000

**** BIPOLAR JUNCTION TRANSISTORS
NAME        Q_Q2         Q_Q1
MODEL       Q2N3904-X    Q2N3904-X
IB          1.99E-05     1.99E-05
IC          3.98E-03     3.98E-03
VBE         7.01E-01     7.01E-01
VBC         -6.54E+00    -6.54E+00
VCE         7.25E+00     7.25E+00
BETADC      2.00E+02     2.00E+02
GM          1.54E-01     1.54E-01
RPI         1.30E+03     1.30E+03
RO          1.00E+12     1.00E+12
BETAAC      2.00E+02     2.00E+02
FT          2.45E+18     2.45E+18

****   AC ANALYSIS
FREQ        VM($N_0003)  VM($N_0009)
1.000E+04   2.554E-03    7.031E-01
```

Figura 12.57 Listado de salida para el circuito de la figura 12.56 (editado).

Programa 12.3: Circuito Darlington

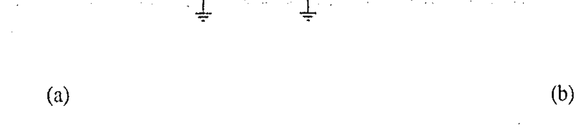
El circuito Darlington de la figura 12.11 se dibuja en el esquema del Centro de Diseño de la figura 12.58a. El modelo BJT ha sido editado para los valores del modelo del dispositivo de **IS** = 100E-18 y **BF** = 89.4. Éstos corresponden con el circuito de la figura 12.11. La configuración del análisis proporciona un solo punto de ac en f = 10 kHz. En la figura 12.58b se muestra el listado de salida resultante.

Algunos de los pasos para dibujar el circuito son:

Seleccione **VDC** y establezca el nombre (**NAME**) en V_{CC} y el valor (**VALUE**) en 18 V.

Seleccione **VSIN** y establezca el nombre en V_i y el valor en 100 mV.

Coloque símbolos **VPRINT1** en la salida de la carga, y configúrelos para que desplieguen la magnitud de ac (establezca **AC** = ok y **MAG** = ok).



(a)

```
Darlington Amplifier

****   BJT MODEL PARAMETERS
              Q2N3904-X
              NPN
        IS    100.000000E-18
        BF    89.4

****   SMALL SIGNAL BIAS SOLUTION
NODE   VOLTAGE        NODE   VOLTAGE
$N_0001)   8.1391     $N_0002)   0.0000
($N_0003) 18.0000     ($N_0004)  9.5727
($N_0005)  0.0000     ($N_0006)  8.9142

****   AC ANALYSIS
FREQ          VM($N_0002)
1.000E+04     9.936E-02
```

(b)

Figura 12.58 (a) Esquema del Centro de Diseño para el circuito Darlington; (b) listado de salida para el circuito del inciso (a) (editado).

Seleccione el BJT parte número Q2N3904 y establezca los valores de BJT como los utilizados en la figura 12.11 (BF = 89.4 e IS = 100E-18). Esto se realiza al seleccionar el dispositivo BJT, mediante **Edit-Model-Edit-Instance Model (Text)**, y al capturar los dos parámetros del dispositivo (BF [=Beta] e IS). Para obtener los mismos resultados de la figura 12.11, elimine todos los demás parámetros del dispositivo BJT.

Establezca todos los valores de resistores y de capacitores como se muestra en la figura 12.58a.

Utilice la configuración del análisis (**Analysis Setup**) para efectuar un barrido lineal en ac de V_i para un punto en f = 10 kHz.

Almacene el esquema.

Ejecute el análisis del circuito al presionar el botón de simular (**Simulate**).

Revise la salida del análisis (**Analysis Output**) para ver los resultados. En la figura 12.58b se muestra un archivo de salida editado. El valor de polarización de dc muestra que V_E = 8.1391 V (≅ 8 V en el circuito de la figura 12.11) y V_B = 9.5727 V (≅ 9.6 V en el circuito de la figura 12.11). Para una entrada de 100 mV a una frecuencia de 10 kHz, la salida resultante es 99.36 mV.

A continuación se presenta un resumen de los resultados obtenidos a partir de los resultados de salida:

Polarización de dc:

$$V_{B_1} = 9.65 \text{ V} \qquad V_E = 8.06 \text{ V}$$

Al proporcionar VBE (Darlington) = 1.59 V.

Parámetros del transistor:

$$I_{B_1} = 2.53\ \mu\text{A},\ I_{C_1} = 0.23 \text{ mA } (\beta_1 = 0.23 \text{ mA}/2.53\ \mu\text{A} = 90.9)$$

$$I_{B_2} = 229\ \mu\text{A},\ I_{C_2} = 20.4 \text{ mA } (\beta_2 = 20.4 \text{ mA}/229\ \mu\text{A} = 89.1)$$

Para una beta de Darlington de

$$\beta_D = \beta_1\beta_2 = (90.9)(89.1) = 8100$$

Resulta difícil hacer que el modelo de transistor de PSpice coincida exactamente con el modelo de transistor ideal de la figura 12.12. Observe que el resultado de PSpice proporciona

$$V_{BE_1} = 0.736 \text{ V}, \qquad V_{BE_2} = 0.852 \text{ V}$$

mientras que el modelo utilizado en la figura 12.12 especifica que $V_{BE}(D)$ = 1.6 V (cerca del mismo que 0.736 V + 0.852 V).

Operación de ac: Para una entrada de V_i = 100 mV, la salida en el listado de PSpice es

$$V_o = 9.93\text{E-}2 = 99.36 \text{ mV}$$

Al proporcionar una ganancia de amplificador de

$$A_v = V_o/V_i = 9.936 \times 10^{-2}/1 \times 10^{-1} = 0.9936$$

mientras que los resultados del ejemplo 12.10 proporcionan A_v = 0.998, lo cual es muy cercano.

Electronics Workbench

Este mismo circuito puede analizarse mediante Electronics Workbench. La figura 12.59 muestra un esquema creado por medio de EWB. Con el objetivo de efectuar una comparación con el circuito PSpice de la figura 12.58a, el circuito de EWB tiene un voltímetro de dc colocado en la base del transistor de entrada (**Q1**), y otro voltímetro de dc colocado en el emisor del transistor de salida (**Q2**). La comparación de los niveles de voltaje de dc se presenta a continuación:

PSpice	*EWB*
V_{B_1} = 9.5727 V	V_{B_1} = 9.617 V
V_{E_2} = 8.1391 V	V_{E_2} = 7.793 V

La ligera diferencia en las respuestas es comprensible, si se considera que EWB emplea algunos parámetros de transistor diferentes a los de PSpice.

Para la entrada de V_i = 100 mV a 10 kHz, el voltaje de salida de ac se ve como V_o (ac) = 99.36 mV, en la solución tanto de EWB como de PSpice.

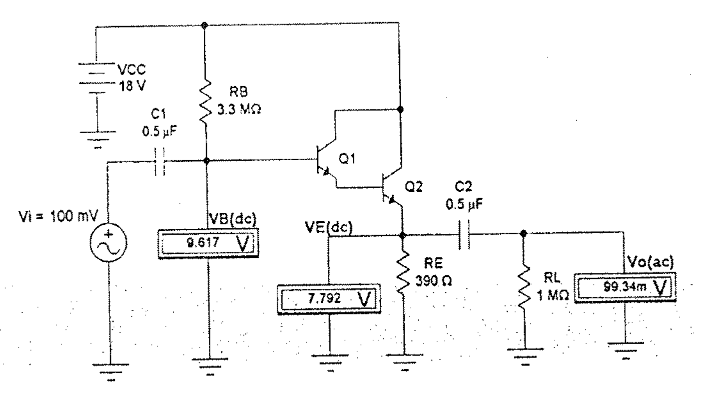


Figura 12.59 Circuito de la figura 12.58a analizado mediante el uso de EWB.

Programa 12.4: Circuito inversor CMOS

En el esquema del Centro de Diseño de la figura 12.60 se dibuja un circuito inversor CMOS. La entrada la proporciona una fuente de voltaje de pulso V_i, la cual varía entre 0 y 5 V.

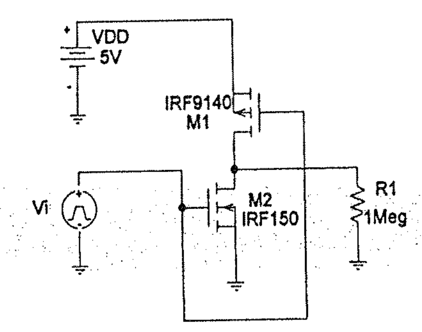


Figura 12.60 Circuito inversor CMOS.

Algunos de los pasos para dibujar el circuito son:

Seleccione **VDC** y establezca el nombre (**NAME**) en V_{DD} y el valor (**VALUE**) en 5 V.

Seleccione la fuente de voltaje de pulso, **VPULSE** y establezca el nombre (**NAME**) en V_i, **V1** = 0 V, **V2** = 5 V, **PW** = 1 ms y **PER** = 2 ms. Observe la figura 12.61.

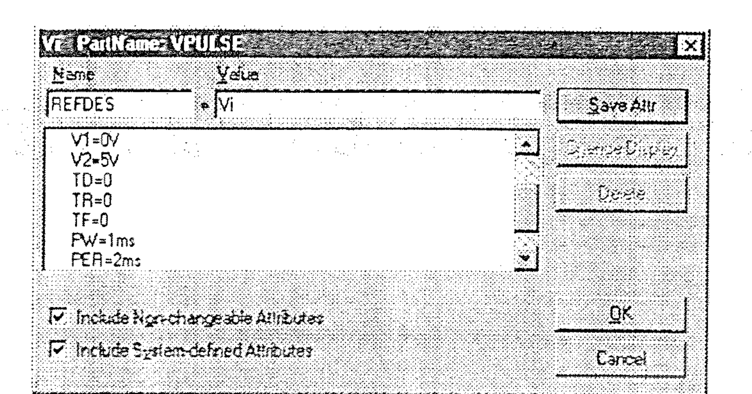


Figura 12.61 Establecimiento de valores para la fuente VPULSE.

Seleccione el dispositivo *p*MOS IRF9140 y establezca $V_{to} = -2$ y KP = 20E-6.
Seleccione el dispositivo *n*MOS IRF150 y establezca $V_{to} = 2$ y KP = 20E-6.
Coloque el resistor **R1** de 1Meg como carga de salida.
Almacene el esquema.
Ejecute el análisis del circuito al presionar el botón **Simulate**.

Revise la salida del análisis para ver los resultados. En la figura 12.62 se presenta un archivo de salida editado.

CMOS Inverter Circuit

**** MOSFET MODEL PARAMETERS

	IRF9140-X	IRF150-X
	PMOS	NMOS
VTO	-2	2
KP	20.000000E-06	20.000000E-06

**** MOSFETS

NAME	M_M1	M_M2
MODEL	IRF9140-X	IRF150-X
ID	-4.92E-06	4.93E-12
VGS	-5.00E+00	0.00E+00
VDS	-8.31E-02	4.92E+00
VTH	-2.00E+00	2.00E+00
VDSAT	-3.00E+00	0.00E+00
GM	1.66E-06	0.00E+00
GDS	5.83E-05	0.00E+00

Figura 12.62 Listado de salida para el inversor CMOS (editado).

Ejecute **PROBE**, seleccione y despliegue V_i, añada una segunda gráfica, y seleccione y despliegue el voltaje a través de R_1. Las formas de onda resultantes se muestran en la figura 12.63.

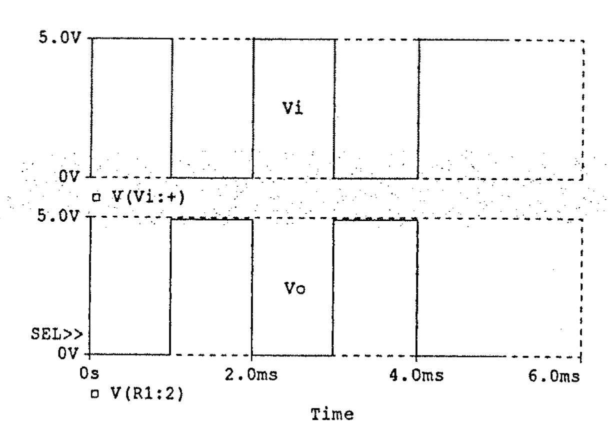


Figura 12.63 Formas de onda de entrada y de salida.

Mathcad

La solución de polarización de dc del ejemplo 12.11 y los cálculos de ac para el mismo circuito del ejemplo 12.12 se resuelven en el siguiente ejemplo de Mathcad. Mathcad proporciona al usuario la capacidad de capturar valores de circuito y de resolver las distintas ecuaciones de circuito, al proporcionar el resultado de todas las corrientes, los voltajes y de otras impedancias y ganancias deseadas.

dc bias calculations:

$Vcc := 18 \quad RB := 2\cdot 10^6 \quad beta1 := 140 \quad beta2 := 180 \quad RC := 75$

$IB1 := \frac{(Vcc - 0.7)}{(RB + (beta1\cdot beta2\cdot RC))} \qquad IB1 = 4.447\cdot 10^{-6}$

$IB2 := beta1\cdot IB1 \qquad IB2 = 6.226\cdot 10^{-4}$

$IC1 := IB2$

$IE1 := IB1 + IC1 \qquad IE1 = 6.271\cdot 10^{-4}$

$IC2 := beta2\cdot IB2 \qquad IC2 = 0.112$

$IC := IE1 + IC2 \qquad IC = 0.113$

$Vodc := Vcc - IC\cdot RC \qquad Vodc = 9.548$

$Vidc := Vodc - 0.7 \qquad Vidc = 8.848$

ac calculations:

$ri1 := 3000$

$RBe := ri1 + beta1\cdot beta2\cdot RC$

$Zi := \frac{(RB\cdot RBe)}{(RB + RBe)} \qquad Zi = 9.725\cdot 10^5$

$Ai := (beta1\cdot beta2)\cdot\left[\frac{RB}{(RB + Zi)}\right] \qquad Ai = 1.696\cdot 10^4$

$Zo := \frac{ri1}{(beta1\cdot beta2)} \qquad Zo = 0.119$

$Av := \frac{(beta1\cdot beta2\cdot RC)}{(beta1\cdot beta2\cdot RC + ri1)} \qquad Av = 0.998$

PROBLEMAS

§ 12.2 Conexión en cascada

1. Para el amplificador JFET en cascada de la figura 12.64, calcule las condiciones de polarización de dc para las dos etapas idénticas, mediante el empleo de JFETs con $I_{DSS} = 8$ mA y $V_P = -4.5$ V.
2. Para el amplificador JFET en cascada de la figura 12.64, mediante el empleo de JFETs idénticos con $I_{DSS} = 8$ mA y $V_P = -4.5$ V, calcule la ganancia de voltaje de cada etapa, la ganancia total del amplificador y el voltaje de salida, V_o.

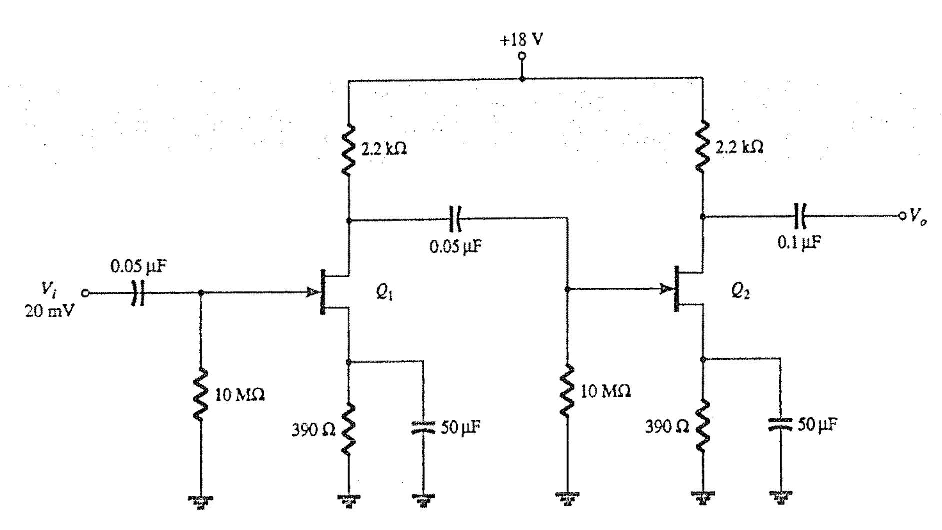


Figura 12.64 Problemas 1-5, 30 y 31.

3. Si se cambian ambos JFETs en el amplificador de cascada de la figura 12.64 por unos JFETs que tengan las especificaciones de I_{DSS} = 12 mA y V_P = −3 V, calcule la polarización de dc resultante para cada etapa.
4. Si se cambian ambos JFETs en el amplificador de cascada de la figura 12.64 por unos JFETs que tengan las especificaciones de I_{DSS} = 12 mA y V_P = −3 V, y y_{os} = 25 μS, calcule la ganancia de voltaje resultante para cada etapa, la ganancia de voltaje total y el voltaje de salida V_o.
5. Para el amplificador en cascada de la figura 12.64, mediante JFETs con las especificaciones de I_{DSS} = 12 mA, V_P = −3 V y y_{os} = 25 μS, calcule la impedancia de entrada (Z_i) y la impedancia de salida del circuito (Z_o).
6. Para el amplificador a BJT en cascada de la figura 12.65, calcule los voltajes de polarización de dc y la corriente de colector de cada etapa.
7. Calcule la ganancia de voltaje de cada etapa y la ganancia de voltaje de ac total para el circuito amplificador BJT en cascada de la figura 12.65.
8. Para el circuito de la figura 12.65, calcule la impedancia de entrada (Z_i) y la impedancia de salida (Z_o).

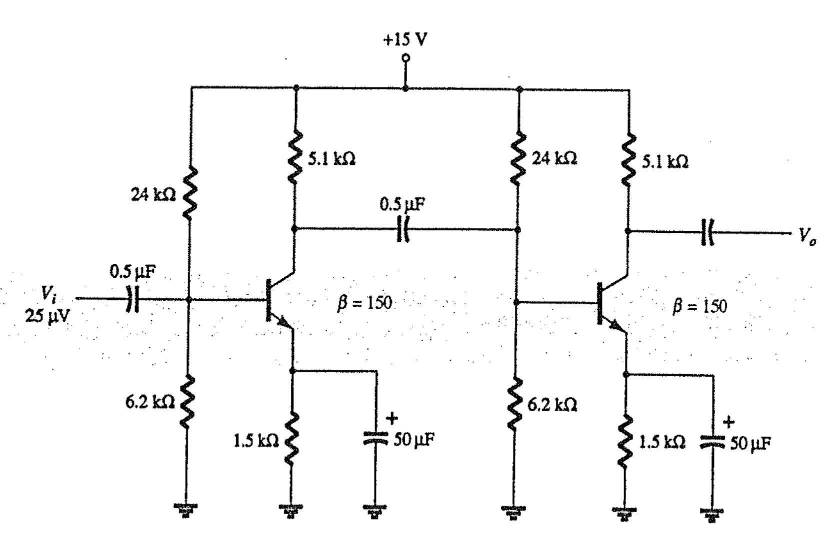


Figura 12.65 Problemas 6-8 y 32.

9. Para el amplificador en cascada de la figura 12.66, calcule los voltajes de polarización de dc y la corriente de colector de cada etapa.
10. Para el circuito amplificador de la figura 12.66, calcule la ganancia de voltaje de cada etapa y la ganancia de voltaje total del amplificador.
11. Calcule la impedancia de entrada (Z_i) y la impedancia de salida (Z_o) para el circuito amplificador de la figura 12.66.

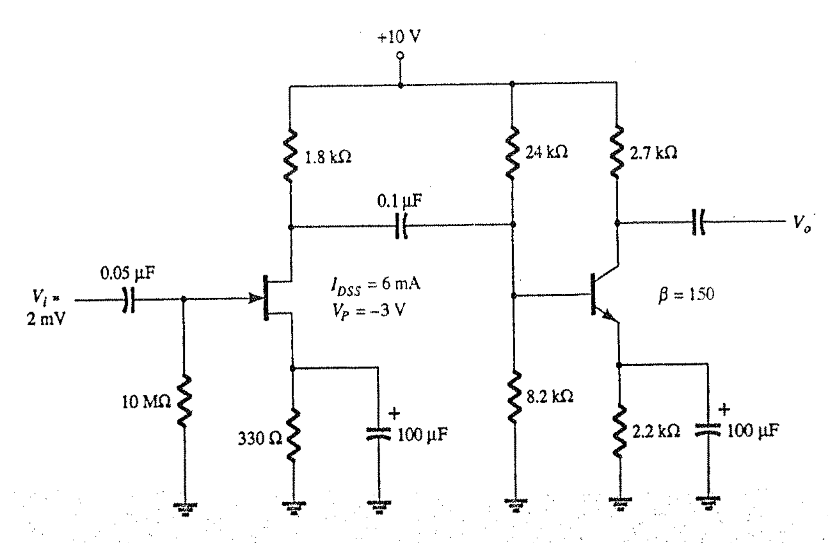


Figura 12.66 Problemas 9-11.

§ 12.3 Conexión cascode

12. En el circuito amplificador cascode de la figura 12.67, calcule los voltajes de polarización de dc V_{B_1}, V_{B_2} y V_{C_2}.
*13. Para el circuito amplificador cascode de la figura 12.67, calcule la ganancia de voltaje, A_v, y el voltaje de salida, V_o.
14. Calcule el voltaje de ac a través de una carga de 10 kΩ conectada a la salida del circuito de la figura 12.67.

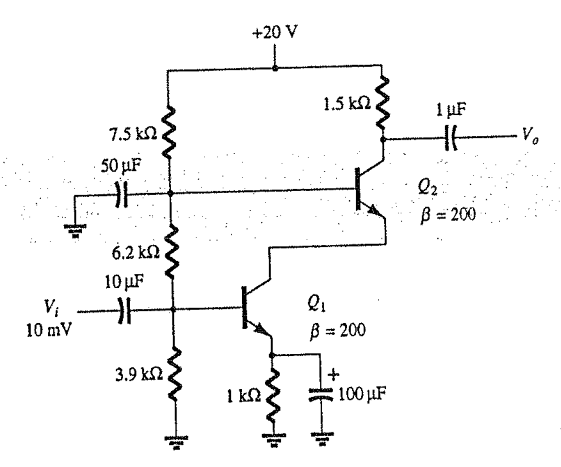
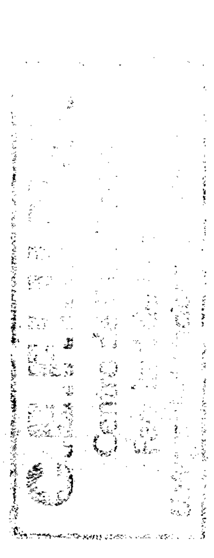


Figura 12.67 Problemas 12-14.



§ 12.4 Conexión Darlington

15. Para el circuito de la figura 12.68, calcule el voltaje de polarización de dc V_{E_2} y la corriente de emisor I_{E_2}.

*16. Para el circuito de la figura 12.68, calcule la ganancia de voltaje del amplificador.

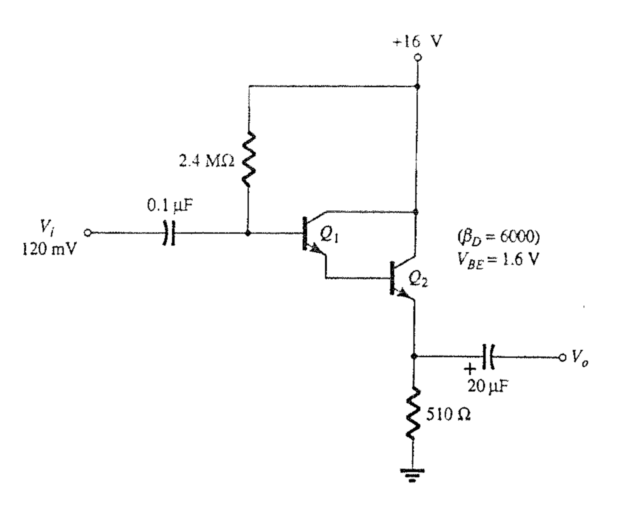


Figura 12.68 Problemas 15, 16 y 33.

§ 12.5 Par de retroalimentación

17. Para el circuito de par de retroalimentación de la figura 12.69, calcule los valores de polarización de dc de V_{B_1}, V_{C_2} e I_C.

*18. Calcule el voltaje de ac de salida del circuito de la figura 12.69.

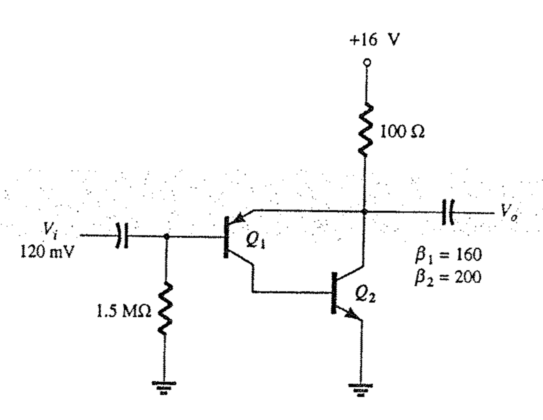


Figura 12.69 Problemas 17 y 18.

§ 12.6 Circuito CMOS

19. Determine los transistores que se encuentran apagados y los que se encuentran encendidos en el circuito de la figura 12.70 para una entrada de:
(a) $V_1 = 0$ V y $V_2 = 0$ V.
(b) $V_1 = +5$ V y $V_2 = +5$ V.
(c) $V_1 = 0$ V y $V_2 = +5$ V.

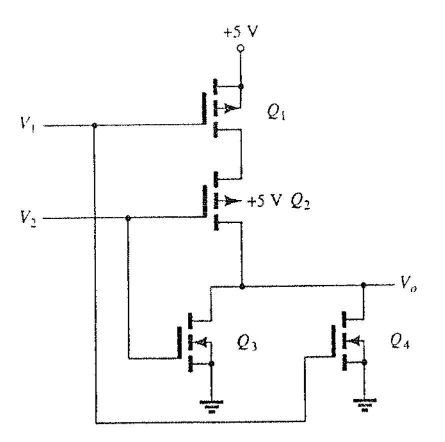


Figura 12.70 Problemas 19, 20 y 34.

20. Para el circuito de la figura 12.70, complete la tabla de voltajes siguiente.

V_1	V_2	V_o
0 V	0 V	
0 V	+5 V	
+5 V	0 V	
+5 V	+5 V	

§ 12.7 Circuitos de fuente de corriente

21. Calcule la corriente a través de la carga de 2 kΩ en el circuito de la figura 12.71.

22. Para el circuito de la figura 12.72, calcule la corriente I.

*23. Calcule la corriente I en el circuito de la figura 12.73.

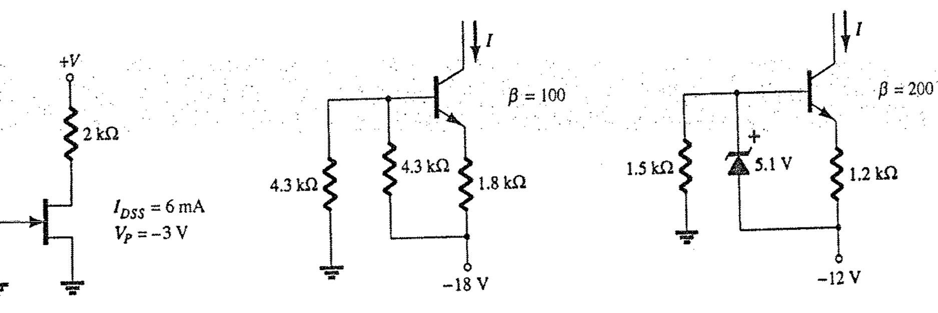


Figura 12.71 Problema 21. **Figura 12.72** Problema 22. **Figura 12.73** Problema 23.

§ 12.8 Circuitos de espejo de corriente

24. Calcule la corriente reflejada I en el circuito de la figura 12.74.

*25. Calcule las corrientes de colector de Q_1 y Q_2 en la figura 12.75.

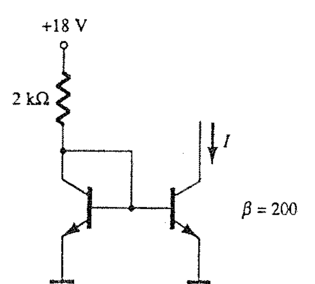


Figura 12.74 Problema 24.

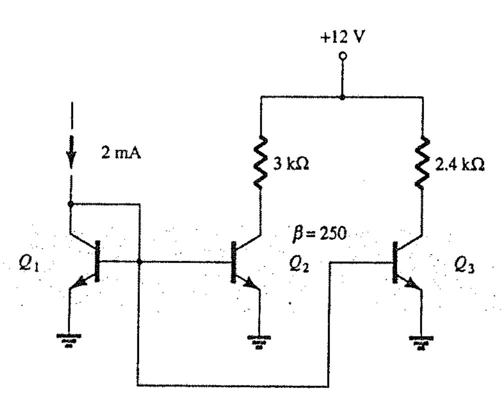


Figura 12.75 Problema 25.

§ 12.9 Circuito amplificador diferencial

26. Calcule los valores de polarización de dc de I_C y V_C para los transistores pareados de la figura 12.76.

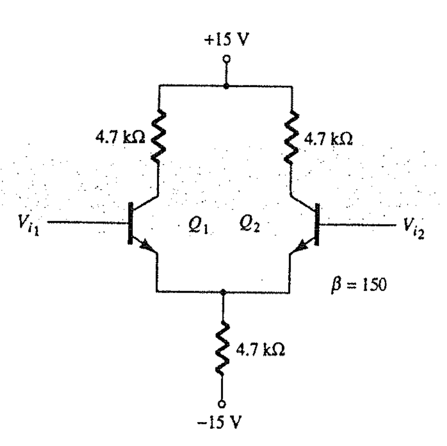


Figura 12.76 Problema 26.

27. Calcule los valores de polarización de dc de I_C y V_C para los transistores pareados de la figura 12.77.

*28. Calcule V_o en el circuito de la figura 12.78.

*29. Calcule V_o en el circuito de la figura 12.79.

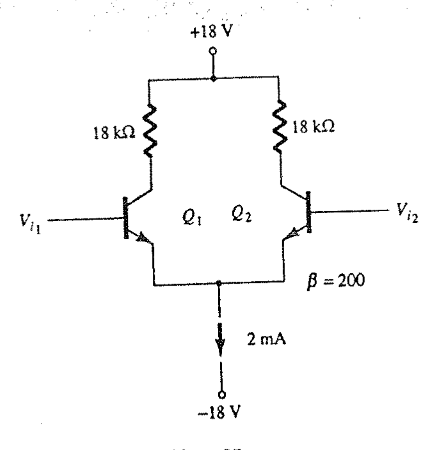


Figura 12.77 Problema 27.

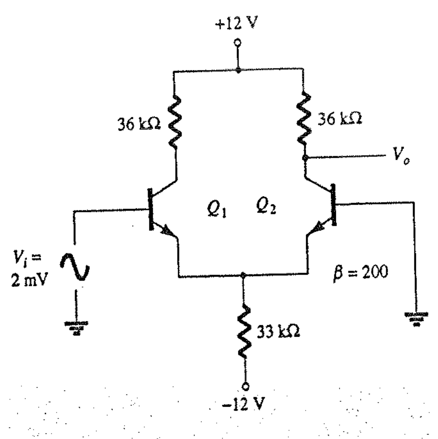


Figura 12.78 Problema 28.

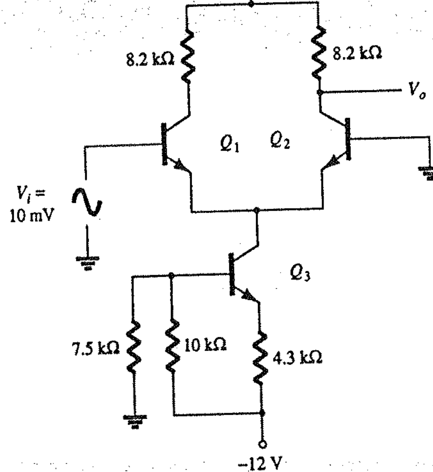


Figura 12.79 Problema 29.

§ 12.12 Análisis por computadora

*30. Utilice el Centro de Diseño para dibujar un circuito esquemático del amplificador JFET en cascada, como en la figura 12.64. Establezca los parámetros del JFET para I_{DSS} = 12 mA y V_P = 3 V, y haga que el análisis determine la polarización de dc.

*31. Utilice el Centro de Diseño para dibujar un circuito esquemático de un amplificador JFET en cascada, como el que se muestra en la figura 12.64. Prepare el análisis para que calcule el voltaje de salida de ac, V_o, para I_{DSS} = 12 mA y V_P = −3 V.

*32. Utilice el Centro de Diseño para dibujar un circuito esquemático del amplificador BJT en cascada de la figura 12.65. Haga que el análisis calcule el voltaje de ac de salida en cada etapa.

*33. Utilice el Centro de Diseño para dibujar un circuito esquemático del amplificador Darlington de la figura 12.68. Haga que el análisis determine la polarización de dc y el voltaje de salida de ac.

*34. Utilice el Centro de Diseño para dibujar un circuito esquemático del circuito CMOS de la figura 12.70. Haga que el análisis determine los voltajes de salida de dc para los siguientes conjuntos de voltajes de entrada:
(a) $V_1 = 0$ V y $V_2 = 0$ V.
(b) $V_1 = 0$ V y $V_2 = 5$ V.
(c) $V_1 = 5$ V y $V_2 = 5$ V.

*Observe: Los asteriscos indican problemas con mayor dificultad.

CAPÍTULO

Amplificadores operacionales 13

13.1 INTRODUCCIÓN

Un amplificador operacional, u *op-amp*, es un amplificador diferencial de muy alta ganancia que posee alta impedancia de entrada y baja impedancia de salida. Por lo general, el amplificador operacional se utiliza para proporcionar cambios en la amplitud de voltaje (amplitud y polaridad), en osciladores, en circuitos de filtro y en muchos tipos de circuitos de instrumentación. Un op-amp contiene varias etapas de amplificador diferencial para obtener una ganancia de voltaje muy alta.

En la figura 13.1 se muestra un op-amp básico con dos entradas y una salida como resultaría de la utilización de una etapa de entrada con amplificación diferencial. Recuerde del capítulo 12, que cada entrada ocasiona una salida ya sea de la misma polaridad (o fase) o de la opuesta, lo que depende de si la señal se aplica sobre la entrada de signo positivo (+) o de signo negativo (−).

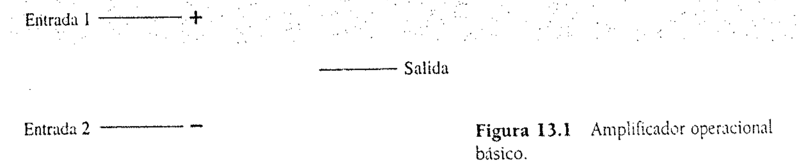


Figura 13.1 Amplificador operacional básico.

Entrada de terminal simple

La operación con entrada de terminal simple se obtiene cuando la señal de entrada se conecta sólo a una terminal de entrada mientras que la otra se conecta a tierra. En la figura 13.2 se ilus-

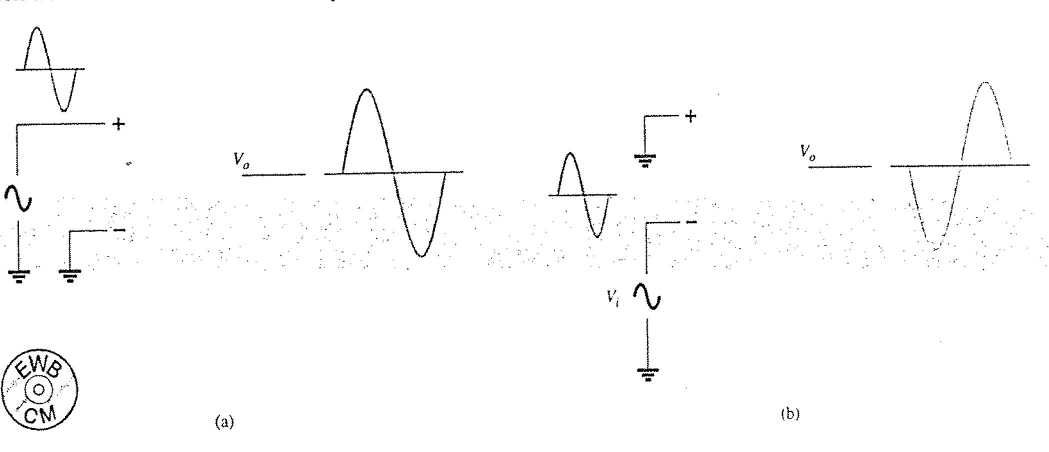


Figura 13.2 Operación de terminal simple.

tran las señales conectadas para esta operación. En la figura 13.2a, la entrada se aplica a la entrada de signo positivo (con la entrada de signo negativo en tierra), lo cual da por resultado una salida que tiene la misma polaridad que la de la señal de entrada aplicada. La figura 13.2b presenta una señal de entrada aplicada a la entrada de signo negativo, con lo que la salida es de fase opuesta a la señal aplicada.

Entrada de terminal doble (diferencial)

Además de la utilización de una sola entrada, es posible aplicar señales en cada entrada, lo que representa la operación de terminal doble. La figura 13.3a muestra la aplicación de una entrada V_d, entre las dos terminales de entrada (recuerde que ninguna de las entradas se conecta a tierra), lo que da por resultado una salida amplificada en fase con la aplicada entre las entradas de signo positivo y de signo negativo. La figura 13.3b muestra la misma acción ocasionada cuando dos señales distintas se aplican a las entradas, donde la señal es diferencial $V_{i_1} - V_{i_2}$.

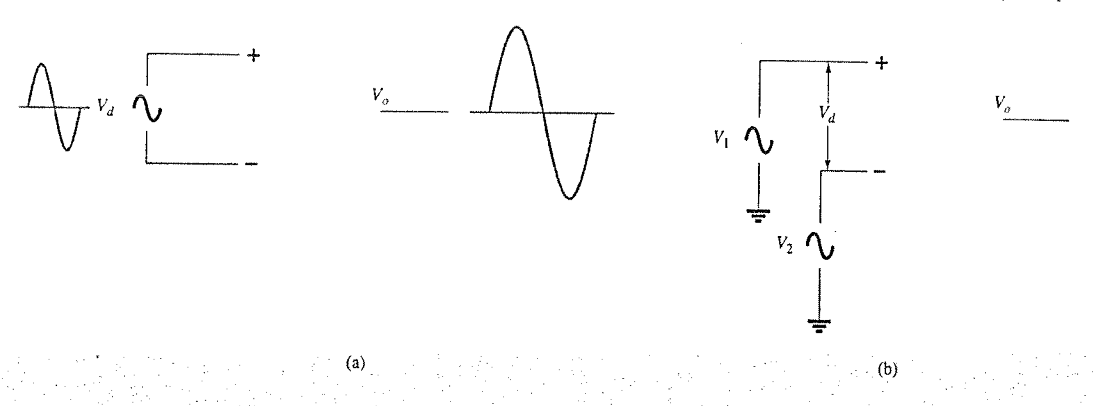


Figura 13.3 Operación de terminal doble (diferencial).

Figura 13.4 Salida de terminal doble.

Salida de terminal doble

Mientras que la operación presentada hasta ahora tuvo una sola salida, es posible operar el *op-amp* con salidas opuestas, como se muestra en la figura 13.4. Una entrada aplicada sobre cualquier entrada dará como resultado salidas provenientes de las dos terminales de salida, y estas salidas son de polaridad opuesta. La figura 13.5 muestra una entrada de terminal simple con una salida de terminal doble. Como se muestra, la señal aplicada sobre la entrada de signo positivo ocasiona dos salidas amplificadas con polaridad opuesta. La figura 13.6 muestra la misma operación con una sola salida que se mide entre las terminales de salida (no con respecto a tierra). Esta señal de salida diferencial será $V_{o_1} - V_{o_2}$. A la salida diferencial también se le denomina *señal flotante*, debido a que ninguna terminal de salida se encuentra conectada a la terminal de tierra (referencia). Observe que la salida diferencial es dos veces mayor que V_{o_1} y V_{o_2} debido a que éstos son de polaridad opuesta y al restarlos se obtiene el doble de su magnitud [es decir, 10 V − (−10 V) = 20 V]. La figura 13.7 muestra una operación de entrada diferencial y de salida diferencial. La entrada se aplica entre las dos terminales de entrada y la salida se toma de entre las dos terminales de salida. Esto representa una operación diferencial completa.

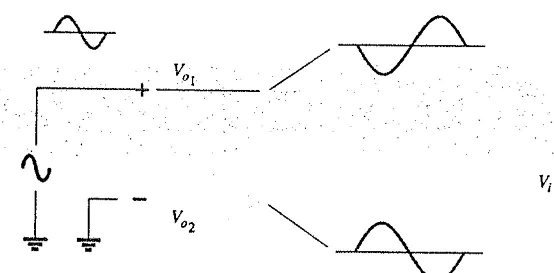


Figura 13.5 Salida de terminal doble con entrada de terminal simple.

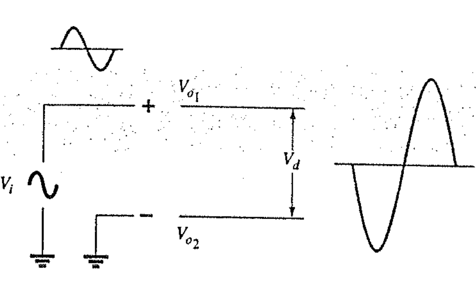


Figura 13.6 Salida de terminal doble.

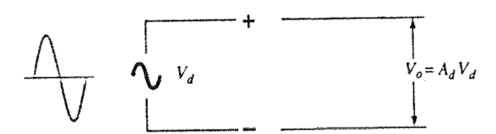


Figura 13.7 Operación de entrada diferencial y salida diferencial.

Operación en modo común

Cuando se aplican las mismas señales de entradas sobre ambas entradas, se obtiene la operación en modo común, como se muestra en la figura 13.8. De forma ideal, las dos entradas son igualmente amplificadas y debido a que ocasionan señales con polaridad opuesta en la salida, estas señales se cancelan, lo que da por resultado una salida de 0 V. De forma práctica, se obtendrá una señal pequeña de salida.

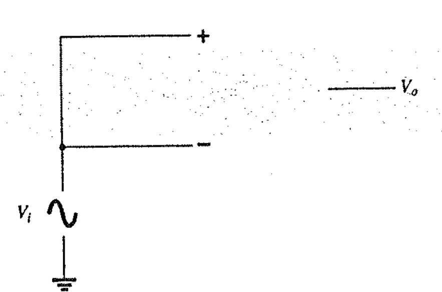


Figura 13.8 Operación en modo común.

Rechazo en modo común

Una característica importante de una conexión diferencial es que las señales que son opuestas en las entradas, son altamente amplificadas, mientras que aquellas que son comunes a las dos entradas, son sólo ligeramente amplificadas; la operación general es que se amplificará la señal diferencial, mientras que se rechazará la señal común a las dos entradas. Dado que el ruido (cualquier señal de entrada no deseada) es, por lo general, común a ambas entradas, la conexión diferencial tiende a ofrecer atenuación de esta entrada no deseada, mientras que ofrece una salida amplificada de la señal diferencial aplicada a las entradas. Esta característica de operación, referida como rechazo en modo común, se analiza con mayor detalle en la siguiente sección.

13.2 OPERACIÓN EN MODO DIFERENCIAL Y EN MODO COMÚN

Una de las características más importantes de una conexión en circuito diferencial, como la que ofrece el op-amp, es la habilidad del circuito para amplificar vigorosamente las señales que son opuestas en las dos entradas, mientras que sólo se amplifican ligeramente las señales que son comunes a ambas entradas. Un op-amp proporciona un componente de salida, resultado de la amplificación de la diferencia de las señales aplicadas sobre las entradas de signo positivo y de

signo negativo y un componente que resulta de las señales comunes para las dos entradas. Debido a que la amplificación de las señales de entrada opuestas es mucho mayor que la de las señales de entrada común, el circuito presenta un rechazo en modo común descrito por un valor numérico denominado *relación de rechazo en modo común* (CMRR, por sus siglas en inglés, *Common Mode Rejection Ratio*).

Entradas diferenciales

Cuando se aplican entradas separadas al op-amp, la señal diferencial resultante será la diferencia entre las dos entradas.

$$V_d = V_{i_1} - V_{i_2} \quad (13.1)$$

Entradas comunes

Cuando ambas señales de entrada son idénticas, es posible definir un elemento de señal común debido a las dos entradas como el promedio de la suma de las dos señales.

$$V_c = \tfrac{1}{2}(V_{i_1} + V_{i_2}) \quad (13.2)$$

Voltaje de salida

Debido a que en general, cualquier señal aplicada a un op-amp posee tanto componentes en fase como fuera de fase, la salida resultante puede expresarse como

$$V_o = A_d V_d + A_c V_c \quad (13.3)$$

donde V_d = voltaje diferencial dado por la ecuación 13.1
V_c = voltaje común dado por la ecuación 13.2
A_d = ganancia diferencial del amplificador
A_c = ganancia en modo común del amplificador

Entradas de polaridad opuesta

Si las entradas de polaridad opuesta aplicadas a un op-amp son idealmente de signo opuesto, $V_{i_1} = -V_{i_2} = V_s$, el voltaje diferencial resultante será

Ecuación 13.1: $V_d = V_{i_1} - V_{i_2} = V_s - (-V_s) = 2V_s$

mientras que el voltaje común resultante será

Ecuación 13.2: $V_c = \tfrac{1}{2}(V_{i_1} + V_{i_2}) = \tfrac{1}{2}[V_s + (-V_s)] = 0$

de forma que el voltaje de salida será

Ecuación 13.3: $V_o = A_d V_d + A_c V_c = A_d(2V_s) + 0 = 2\,A_d V_s$

Esto muestra que cuando las entradas poseen el signo opuesto ideal (sin elemento común), la salida será la ganancia diferencial multiplicada por dos veces la señal de entrada aplicada a una de las entradas.

Entradas con la misma polaridad

Si se aplican entradas de la misma polaridad al op-amp, $V_{i_1} = V_{i_2} = V_s$, el voltaje diferencial resultante será

Ecuación 13.1: $V_d = V_{i_1} - V_{i_2} = V_s - V_s = 0$

mientras que el voltaje común resultante será

Ecuación 13.2: $V_c = \tfrac{1}{2}(V_{i_1} + V_{i_2}) = \tfrac{1}{2}(V_s + V_s) = V_s$

de forma que el voltaje de salida resultante será

Ecuación 13.3: $V_o = A_d V_d + A_c V_c = A_d(0) + A_c V_s = A_c V_s$

Esto muestra que cuando las entradas son señales ideales en fase (sin señal diferencial), la salida será la ganancia en modo común multiplicada por la señal de entrada V_s, que muestra que sólo ocurre la operación en modo común.

Rechazo en modo común

Las soluciones anteriores proporcionan las relaciones que pueden usarse para medir A_d y A_c en los circuitos op-amps.

1. *Para medir A_d*: Haga $V_{i_1} = -V_{i_2} = V_s = 0.5$ V, de forma que

   Ecuación 13.1: $V_d = (V_{i_1} - V_{i_2}) = (0.5\text{ V} - (-0.5\text{ V}) = 1\text{ V}$

   y Ecuación 13.2: $V_c = \tfrac{1}{2}(V_{i_1} + V_{i_2}) = \tfrac{1}{2}[0.5\text{ V} + (-0.5\text{ V})] = 0\text{ V}$

   Bajo estas condiciones, el voltaje de salida es

   Ecuación 13.3: $V_o = A_d V_d + A_c V_c = A_d(1\text{ V}) + A_c(0) = A_d$

   De esta forma, al hacer los voltajes de entrada $V_{i_1} = -V_{i_2} = 0.5$ V se obtiene un voltaje de salida numéricamente igual al valor de A_d.

2. *Para medir A_c*: Haga $V_{i_1} = V_{i_2} = V_s = 1$ V, de forma que

   Ecuación 13.1: $V_d = (V_{i_1} - V_{i_2}) = (1\text{ V} - 1\text{ V}) = 0\text{ V}$

   y Ecuación 13.2: $V_c = \tfrac{1}{2}(V_{i_1} + V_{i_2}) = \tfrac{1}{2}(1\text{ V} + 1\text{ V}) = 1\text{ V}$

   Bajo estas condiciones, el voltaje de salida es

   Ecuación 13.3: $V_o = A_d V_d + A_c V_c = A_d(0\text{ V}) + A_c(1\text{ V}) = A_c$

   De esta forma, al hacer los voltajes de entrada $V_{i_1} = V_{i_2} = 1$ V, se obtiene un voltaje de salida numéricamente igual al valor de A_c.

Relación de rechazo en modo común

Una vez que se obtuvieron A_d y A_c (como en el proceso de medición antes discutido), es posible calcular ahora un valor para la relación de rechazo en modo común (CMRR), la cual se define por la siguiente ecuación:

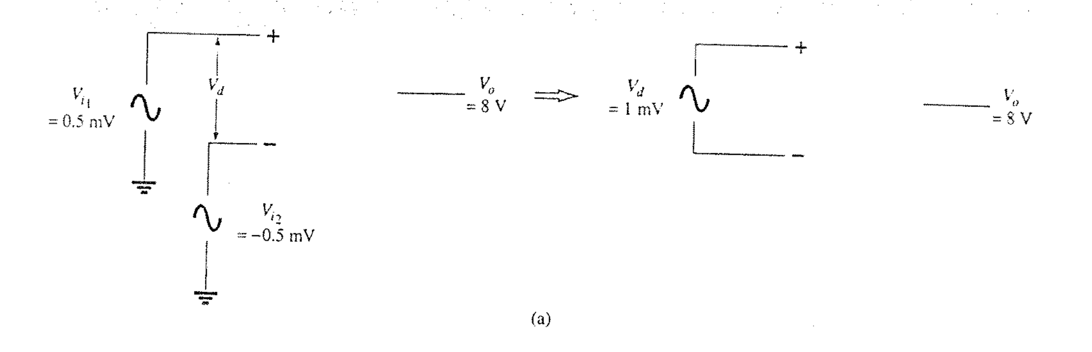
$$\text{CMRR} = \frac{A_d}{A_c} \quad (13.4)$$

El valor de CMRR puede también expresarse en términos logarítmicos como

$$\text{CMRR (log)} = 20 \log_{10} \frac{A_d}{A_c} \quad \text{(dB)} \quad (13.5)$$

EJEMPLO 13.1

Calcule el CMRR para las mediciones de circuito mostradas en la figura 13.9.



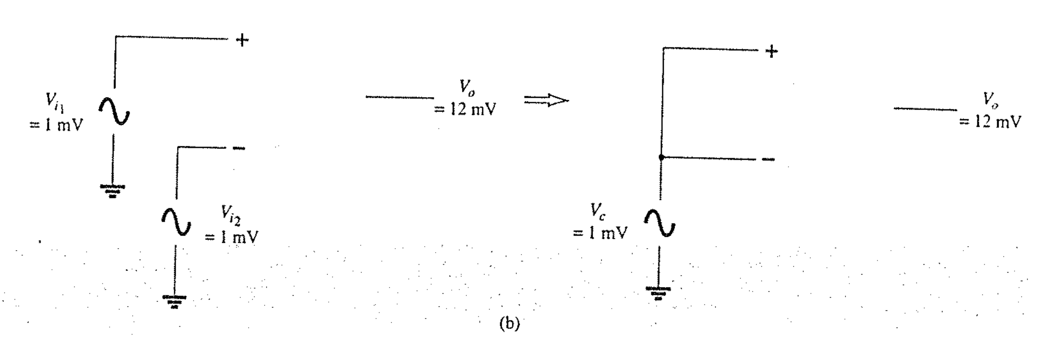


Figura 13.9 Operación en modo diferencial y en modo común: (a) modo diferencial; (b) modo común.

Solución

A partir de la medición mostrada en la figura 13.9a, mediante el empleo del procedimiento en el paso 1 anterior, se obtiene

$$A_d = \frac{V_o}{V_d} = \frac{8\text{ V}}{1\text{ mV}} = 8000$$

La medición mostrada en la figura 13.9b, mediante el procedimiento en el paso 2 anterior, da

$$A_c = \frac{V_o}{V_c} = \frac{12\text{ mV}}{1\text{ mV}} = 12$$

Al utilizar la ecuación 13.4, el valor de CMRR es

$$\text{CMRR} = \frac{A_d}{A_c} = \frac{8000}{12} = \mathbf{666.7}$$

que también puede expresarse como

$$\text{CMRR} = 20\log_{10}\frac{A_d}{A_c} = 20\log_{10} 666.7 = \mathbf{56.48\ dB}$$

Debe quedar claro que la operación deseada tendrá una A_d muy grande con A_c muy pequeña. Es decir, los componentes de la señal con polaridad opuesta aparecerán fuertemente amplificados en la salida, mientras que los componentes de la señal que se encuentren en fase se cancelarán en su mayoría, de manera que la ganancia de modo común A_c es muy pequeña. De forma ideal, el valor de CMRR es infinito. De forma práctica, mientras mayor sea el valor de CMRR, mejor será la operación del circuito.

Es posible expresar el voltaje de salida en términos del valor de CMRR de la siguiente forma:

$$\text{Ecuación 13.3:}\quad V_o = A_dV_d + A_cV_c = A_dV_d\left(1 + \frac{A_cV_c}{A_dV_d}\right)$$

Mediante la ecuación 13.4 podemos escribir la anterior ecuación como

$$\boxed{V_o = A_dV_d\left(1 + \frac{1}{\text{CMRR}}\frac{V_c}{V_d}\right)} \qquad (13.6)$$

Incluso cuando los dos componentes de señal V_d y V_c están presentes, la ecuación 13.6 muestra que para valores grandes de CMRR, el voltaje de salida será en su mayor parte resultado de la señal diferencial, con el componente de modo común notablemente reducido o rechazado. Algunos ejemplos prácticos ayudarán a clarificar esta idea.

EJEMPLO 13.2

Determine el voltaje de salida de un op-amp para voltajes de entrada de $V_{i_1} = 150\ \mu\text{V}$, $V_{i_2} = 140\ \mu\text{V}$. El amplificador tiene una ganancia diferencial de $A_d = 4000$ y el valor de CMRR es:
(a) 100.
(b) 10^5.

Solución

$$\text{Ecuación 13.1:}\quad V_d = V_{i_1} - V_{i_2} = (150 - 140)\ \mu\text{V} = 10\ \mu\text{V}$$

$$\text{Ecuación 13.2:}\quad V_c = \frac{1}{2}(V_{i_1} + V_{i_2}) = \frac{150\ \mu\text{V} + 140\ \mu\text{V}}{2} = 145\ \mu\text{V}$$

$$\text{(a) Ecuación 13.6:}\quad V_o = A_dV_d\left(1 + \frac{1}{\text{CMRR}}\frac{V_c}{V_d}\right)$$

$$= (4000)(10\ \mu\text{V})\left(1 + \frac{1}{100}\frac{145\ \mu\text{V}}{10\ \mu\text{V}}\right)$$

$$= 40\text{ mV}(1.145) = \mathbf{45.8\ mV}$$

$$\text{(b)}\quad V_o = (4000)(10\ \mu\text{V})\left(1 + \frac{1}{10^5}\frac{145\ \mu\text{V}}{10\ \mu\text{V}}\right) = 40\text{ mV}(1.000145) = \mathbf{40.006\ mV}$$

El ejemplo 13.2 muestra que mientras mayor sea el valor de CMRR, más cercano será el voltaje de salida a la entrada diferencial multiplicada por la ganancia diferencial con rechazo de la señal de modo común.

13.3 FUNDAMENTOS DEL AMPLIFICADOR OPERACIONAL

Un amplificador operacional es un amplificador de muy alta ganancia que cuenta con una impedancia de entrada muy alta (por lo general de algunos megaohms) y con una impedancia de salida baja (menor a 100 Ω). El circuito básico se construye mediante el empleo de un amplificador diferencial que tenga dos entradas (de signo positivo y de signo negativo) y al menos

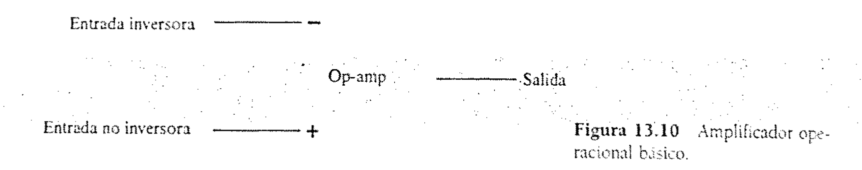


Figura 13.10 Amplificador operacional básico.

una salida. En la figura 13.10 se muestra una unidad op-amp básica. Conforme a lo establecido con anterioridad, la entrada de signo positivo (+) produce una salida que se encuentra en fase con la señal aplicada, mientras que una entrada en la entrada de signo negativo (−) ocasiona una salida con polaridad opuesta. El circuito equivalente de ac del op-amp se presenta en la figura 13.11a. Como se muestra, la señal de entrada aplicada entre las terminales de entrada observa una impedancia de entrada R_i que, por lo general, es muy alta. El voltaje de salida se muestra como la ganancia del amplificador multiplicada por la señal de entrada tomada a través de una impedancia R_o, que comúnmente es muy baja. Un circuito op-amp ideal, como el que se muestra en la figura 13.11b, tendría una impedancia de entrada infinita, una impedancia de salida cero y una ganancia de voltaje infinita.

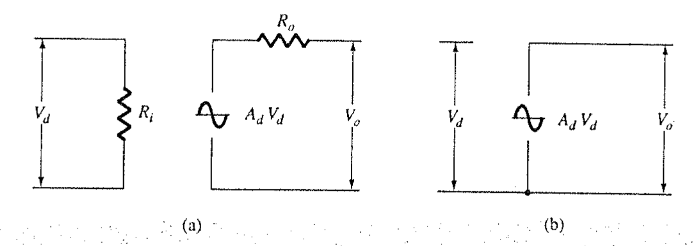


Figura 13.11 Equivalente de ac de un circuito op-amp: (a) práctico; (b) ideal.

Op-amp básico

En la figura 13.12, se muestra la conexión del circuito básico mediante el uso de un op-amp. El circuito mostrado, presenta una operación similar a la de un multiplicador de ganancia constante. Una señal de entrada V_1, se aplica a través del resistor R_1 a la entrada de signo negativo. Luego, la salida se conecta de regreso a la misma entrada de signo negativo a través del resistor R_f. La entrada con el signo positivo se conecta a tierra. Dado que la señal V_1 básicamente se aplica a la entrada de signo negativo, la salida resultante será opuesta en fase a la señal de entrada. La figura 13.13a muestra el reemplazo del op-amp por su circuito equivalente de ac. Si se utiliza el circuito equivalente ideal del op-amp, y se reemplaza R_i mediante una resistencia infinita y R_o por una resistencia cero, el circuito equivalente de ac sería el mostrado en la figura 13.13b. Después el circuito se vuelve a dibujar, como se ilustra en la figura 13.13c, a partir de donde se comienza con el análisis.

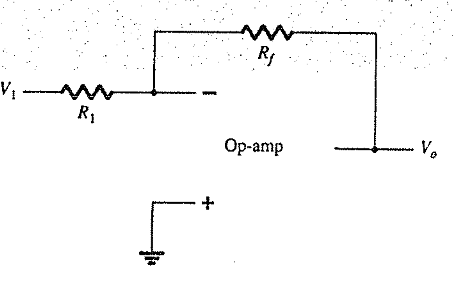
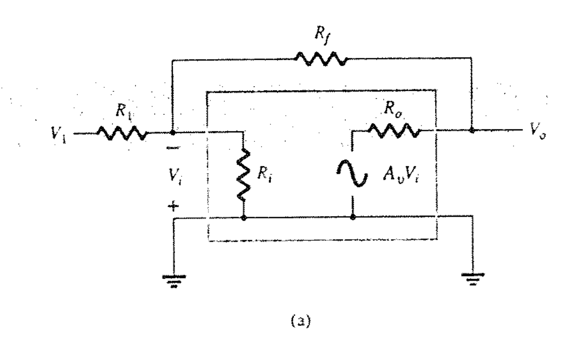


Figura 13.12 Conexión básica de un op-amp.



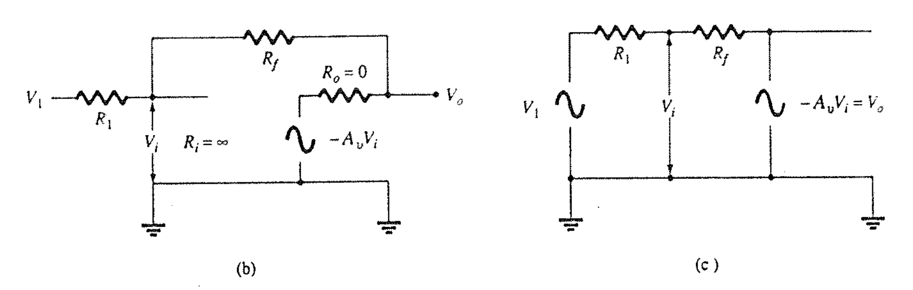


Figura 13.13 Operación del op-amp como multiplicador de ganancia constante: (a) circuito equivalente de ac del op-amp; (b) circuito equivalente ideal del op-amp; (c) circuito equivalente redibujado.

Mediante la superposición, se puede resolver para el voltaje V_1 en términos de los componentes debidos a cada una de las fuentes. Para la fuente V_1 solamente ($-A_v V_i$ se hace cero),

$$V_{i_1} = \frac{R_f}{R_1 + R_f} V_1$$

Para la fuente $-A_v V_i$ solamente (V_1 se hace cero),

$$V_{i_2} = \frac{R_1}{R_1 + R_f}(-A_v V_i)$$

El voltaje total V_i será entonces

$$V_i = V_{i_1} + V_{i_2} = \frac{R_f}{R_1 + R_f} V_1 + \frac{R_1}{R_1 + R_f}(-A_v V_i)$$

a partir del cual se puede obtener V_i como

$$V_i = \frac{R_f}{R_f + (1 + A_v)R_1} V_1 \qquad (13.7)$$

Si $A_v \gg 1$ y $A_v R_1 \gg R_f$, como sucede por lo general, entonces

$$V_i = \frac{R_f}{A_v R_1} V_1$$

Al resolver para V_o/V_i, se obtiene

$$\frac{V_o}{V_i} = \frac{-A_v V_i}{V_i} = \frac{-A_v}{V_i}\frac{R_f V_1}{A_v R_1} = -\frac{R_f}{R_1}\frac{V_1}{V_i}$$

de forma que

$$\frac{V_o}{V_1} = -\frac{R_f}{R_1} \qquad (13.8)$$

El resultado en la ecuación 13.8, muestra que la relación del voltaje de salida total al voltaje de entrada total depende únicamente de los valores de los resistores R_1 y R_f, siempre y cuando A_v sea muy grande.

Ganancia unitaria

Si $R_f = R_1$, la ganancia es

$$\text{ganancia de voltaje} = -\frac{R_f}{R_1} = -1$$

por lo que el circuito proporciona una ganancia de voltaje unitaria con una inversión de 180° en la fase. Si R_f es exactamente igual a R_1, la ganancia de voltaje será exactamente igual a 1.

Ganancia de magnitud constante

Si R_f es múltiplo de R_1, la ganancia total del amplificador será una constante. Por ejemplo, si $R_f = 10R_1$, entonces

$$\text{ganancia de voltaje} = -\frac{R_f}{R_1} = -10$$

con lo que el circuito proporcionará una ganancia de voltaje de exactamente 10 junto con una inversión de 180° en la fase de la señal de entrada. Si se seleccionan valores precisos de resistores para R_f y R_1, es posible obtener un intervalo amplio de ganancias, y ésta será tan precisa como lo sean los resistores empleados y solamente se afectará ligeramente por la temperatura y otros factores del circuito.

Tierra virtual

El voltaje de salida se encuentra limitado por el voltaje de entrada suministrado que, por lo regular, es de unos cuantos volts. Como se estableció antes, las ganancias de voltaje son muy altas. Por ejemplo, si $V_o = -10$ V y $A_v = 20{,}000$, entonces el voltaje de entrada sería de

$$V_i = \frac{-V_o}{A_v} = \frac{10\text{ V}}{20{,}000} = 0.5\text{ mV}$$

Si el circuito cuenta con una ganancia total (V_o/V_i) de, digamos, 1, el valor de V_1 sería entonces de 10 V. En comparación con todos los demás voltajes de entrada y de salida, el valor de V_i es entonces pequeño y podrá ser considerado como 0 V.

Observe que aunque $V_i \approx 0$ V, no es exactamente 0 V. (El voltaje de salida será de unos cuantos volts debido a la muy pequeña entrada V_i multiplicada por una ganancia A_v muy grande.) El hecho de que $V_i \approx 0$ V lleva al concepto de que en la entrada del amplificador existe un corto circuito virtual o tierra virtual.

El concepto de corto virtual implica que a pesar de que el voltaje sea aproximado a 0 V, no existirá corriente a través de la entrada del amplificador hacia tierra. En la figura 13.14 se representa el concepto de tierra virtual. La línea gruesa se utiliza para indicar que podemos considerar que existe un corto con $V_i \approx 0$ V pero que éste es un corto virtual por lo que no existe corriente que vaya del corto a tierra. La corriente solamente pasa por los resistores R_1 y R_f como se muestra.

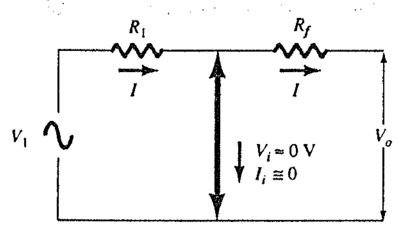


Figura 13.14 Tierra virtual en un op-amp.

Mediante el concepto de tierra virtual es posible escribir ecuaciones para la corriente I como sigue:

$$I = \frac{V_1}{R_1} = -\frac{V_o}{R_f}$$

la cual puede resolverse para V_o/V_1:

$$\frac{V_o}{V_1} = -\frac{R_f}{R_1}$$

El concepto de tierra virtual, que depende de que A_v sea muy grande, permite una solución sencilla para determinar la ganancia de voltaje total. Es necesario entender que aunque el circuito de la figura 13.14 no es físicamente correcto, permite un medio sencillo para determinar la ganancia de voltaje total.

13.4 CIRCUITOS PRÁCTICOS CON AMPLIFICADORES OPERACIONALES

Es posible conectar el op-amp en un gran número de circuitos para proporcionar diversas características de operación. En esta sección se cubren algunas de las conexiones de circuitos más comunes.

Amplificador inversor

El circuito amplificador con ganancia constante que se utiliza más comúnmente es el amplificador inversor, que se muestra en la figura 13.15. La salida se obtiene al multiplicar la entrada por una ganancia fija o constante, establecida por el resistor de entrada (R_1) y por el resistor de retroalimentación (R_f) (esta salida también se invierte a partir de la entrada). Mediante la ecuación 13.8 podemos escribir

$$V_o = -\frac{R_f}{R_1}V_1$$

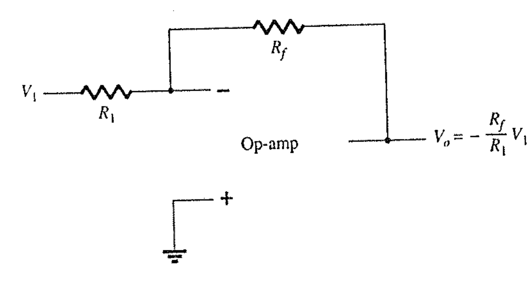


Figura 13.15 Multiplicador inversor de ganancia constante.

EJEMPLO 13.3

Si el circuito de la figura 13.15 tiene $R_1 = 100$ kΩ y $R_f = 500$ kΩ, ¿qué voltaje de salida resulta para una entrada de $V_1 = 2$ V?

Solución

$$\text{Ecuación 13.8:}\quad V_o = -\frac{R_f}{R_1}V_1 = -\frac{500\text{ k}\Omega}{100\text{ k}\Omega}(2\text{ V}) = \mathbf{-10\text{ V}}$$

Amplificador no inversor

La conexión de la figura 13.16a muestra un circuito op-amp que funciona como un amplificador no inversor o multiplicador de ganancia constante. Es necesario observar que la conexión del amplificador inversor es generalmente la más utilizada, ya que cuenta con una mejor estabilidad de frecuencia (lo que se analizará más adelante). Para determinar la ganancia de voltaje del circuito, se puede utilizar la representación equivalente que se muestra en la figura 13.16b. Observe que el voltaje a través de R_1 es V_1 dado que $V_i \approx 0$ V. Éste debe ser igual al voltaje de salida, a través de un divisor de voltaje de R_1 y R_f, de forma que

$$V_1 = \frac{R_1}{R_1 + R_f} V_o$$

la cual da por resultado

$$\boxed{\frac{V_o}{V_1} = \frac{R_1 + R_f}{R_1} = 1 + \frac{R_f}{R_1}} \qquad (13.9)$$

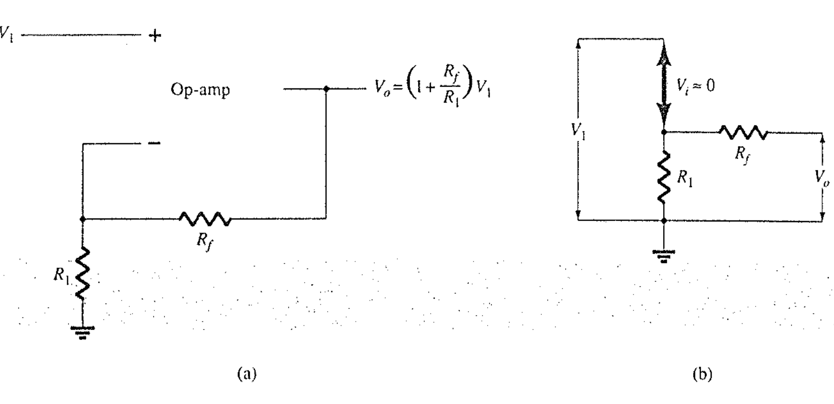


Figura 13.16 Multiplicador no inversor de ganancia constante.

EJEMPLO 13.4

Calcule el voltaje de salida de un amplificador no inversor (como el de la figura 13.16) para los valores de $V_1 = 2$ V, $R_f = 500$ kΩ y $R_1 = 100$ kΩ.

Solución

Ecuación 13.9: $$V_o = \left(1 + \frac{R_f}{R_1}\right)V_1 = \left(1 + \frac{500\text{ k}\Omega}{100\text{ k}\Omega}\right)(2\text{ V}) = 6(2\text{ V}) = \mathbf{+12\ V}$$

Seguidor unitario

El circuito seguidor unitario, como el que aparece en la figura 13.17a, proporciona una ganancia unitaria (1) sin inversión de polaridad o fase. A partir del circuito equivalente (ver figura 13.17b) queda claro que

$$\boxed{V_o = V_1} \qquad (13.10)$$

y que la salida tiene la misma polaridad y magnitud que la entrada. El circuito opera como un circuito emisor, o fuente-seguidor, excepto que la ganancia es exactamente unitaria.

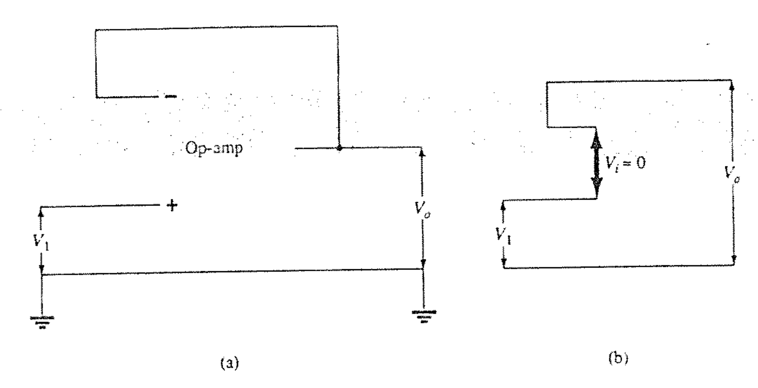


Figura 13.17 (a) Seguidor unitario; (b) circuito equivalente de tierra virtual.

Amplificador sumador

Es probable que el circuito de op-amp más utilizado sea el circuito amplificador sumador que se muestra en la figura 13.18a. El circuito muestra un circuito amplificador sumador de tres entradas, el cual proporciona un medio para sumar de forma algebraica tres voltajes, cada uno multiplicado por un factor de ganancia constante. Mediante la representación equivalente que se muestra en la figura 13.18b, el voltaje de salida puede expresarse en términos de las entradas como

$$\boxed{V_o = -\left(\frac{R_f}{R_1}V_1 + \frac{R_f}{R_2}V_2 + \frac{R_f}{R_3}V_3\right)} \qquad (13.11)$$

En otras palabras, cada entrada suma un voltaje a la salida multiplicada por su multiplicador de ganancia constante separado. Si se utilizan más entradas, cada una de ellas añadirá un componente adicional a la salida.

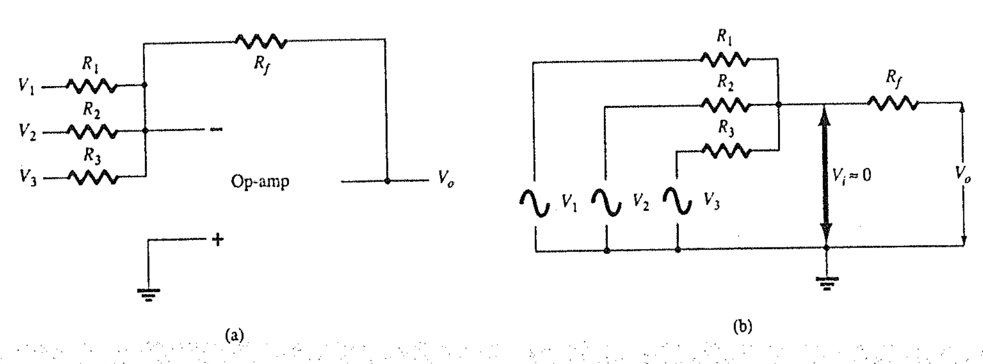


Figura 13.18 (a) Amplificador sumador; (b) circuito equivalente de tierra virtual.

EJEMPLO 13.5

Calcule el voltaje de salida de un amplificador sumador de op-amp para los siguientes conjuntos de voltajes y resistores. En todos los casos utilice $R_f = 1$ MΩ.

(a) $V_1 = +1$ V, $V_2 = +2$ V, $V_3 = +3$ V, $R_1 = 500$ kΩ, $R_2 = 1$ MΩ, $R_3 = 1$ MΩ.
(b) $V_1 = -2$ V, $V_2 = +3$ V, $V_3 = +1$ V, $R_1 = 200$ kΩ, $R_2 = 500$ kΩ, $R_3 = 1$ MΩ.

Solución

Mediante el uso de la ecuación 13.11:

$$\text{(a)}\quad V_o = -\left[\frac{1000\ \text{k}\Omega}{500\ \text{k}\Omega}(+1\ \text{V}) + \frac{1000\ \text{k}\Omega}{1000\ \text{k}\Omega}(+2\ \text{V}) + \frac{1000\ \text{k}\Omega}{1000\ \text{k}\Omega}(+3\ \text{V})\right]$$

$$= -[2(1\ \text{V}) + 1(2\ \text{V}) + 1(3\ \text{V})] = \mathbf{-7\ V}$$

$$\text{(b)}\quad V_o = -\left[\frac{1000\ \text{k}\Omega}{200\ \text{k}\Omega}(-2\ \text{V}) + \frac{1000\ \text{k}\Omega}{500\ \text{k}\Omega}(+3\ \text{V}) + \frac{1000\ \text{k}\Omega}{1000\ \text{k}\Omega}(+1\ \text{V})\right]$$

$$= -[5(-2\ \text{V}) + 2(3\ \text{V}) + 1(1\ \text{V})] = \mathbf{+3\ V}$$

Integrador

Hasta ahora, los componentes de entrada y de retroalimentación han sido sólo resistores. Si el componente de retroalimentación utilizado es un capacitor, como se muestra en la figura 13.19a, a la conexión resultante se le denomina *integrador*. El circuito equivalente de tierra virtual (figura 13.19b) muestra que es posible deducir una expresión para el voltaje entre la entrada y la salida en términos de la corriente I, que va de la entrada a la salida. Recuerde que tierra virtual significa que es posible considerar el voltaje en la unión de R y X_C como tierra (debido a que $V_i \approx 0$ V) pero que no existe corriente que vaya a tierra en ese punto. La impedancia capacitiva puede expresarse como

$$X_C = \frac{1}{j\omega C} = \frac{1}{sC}$$

donde $s = j\omega$ en la notación de Laplace.* Al resolver para V_o/V_1 se tiene

$$I = \frac{V_1}{R} = -\frac{V_o}{X_C} = \frac{-V_o}{1/sC} = -sCV_o$$

$$\frac{V_o}{V_1} = \frac{-1}{sCR} \qquad (13.12)$$

La expresión anterior puede volverse a escribir en el dominio del tiempo como

$$v_o(t) = -\frac{1}{RC}\int v_1(t)\,dt \qquad (13.13)$$

Figura 13.19 Integrador.

*La notación de Laplace permite la expresión de operaciones diferenciales o integrales que son parte del cálculo, en forma algebraica mediante el operador s. Los lectores que no se encuentren familiarizados con el cálculo deberán ignorar los pasos que llevan a la ecuación 13.13 y seguir el significado físico que se utilizará en lo sucesivo.

La ecuación 13.13 muestra que la salida es la integral de la entrada con una inversión y un multiplicador de escala de $1/RC$. La habilidad para integrar una señal determinada proporciona a una computadora analógica la habilidad de resolver ecuaciones diferenciales y por tanto, proporciona la habilidad de resolver eléctricamente analogías de operación de sistemas físicos.

La operación de integración es la de una sumatoria, ya que se suma el área por debajo de una forma de onda o curva a lo largo de un periodo. Si se aplica un voltaje fijo como entrada de un circuito integrador, la ecuación 13.13 muestra que el voltaje de salida crece a lo largo de un periodo, con lo que se proporciona una rampa de voltaje. Entonces la ecuación 13.13 se puede entender ya que muestra que la rampa de voltaje de salida (para un voltaje de entrada fijo) es opuesta en polaridad al voltaje de entrada y es multiplicada por el factor $1/RC$. Aunque el circuito de la figura 13.19 puede operar sobre una variedad de señales de entrada, los siguientes ejemplos utilizan solamente un voltaje de entrada fijo, lo que da por resultado una rampa de voltaje de salida.

Como ejemplo, considere un voltaje de entrada $V_1 = 1$ V, para el circuito integrador de la figura 13.20a. El factor de escala $1/RC$ es

$$-\frac{1}{RC} = \frac{1}{(1\ \text{M}\Omega)(1\ \mu\text{F})} = -1$$

por lo que la salida es una rampa de voltaje negativa como se muestra en la figura 13.20b. Si, por ejemplo, el factor de escala se cambia al hacer $R = 100$ kΩ, entonces

$$-\frac{1}{RC} = \frac{1}{(100\ \text{k}\Omega)(1\ \mu\text{F})} = -10$$

y la salida será una rampa de voltaje más pronunciada, como se indica en la figura 13.20c.

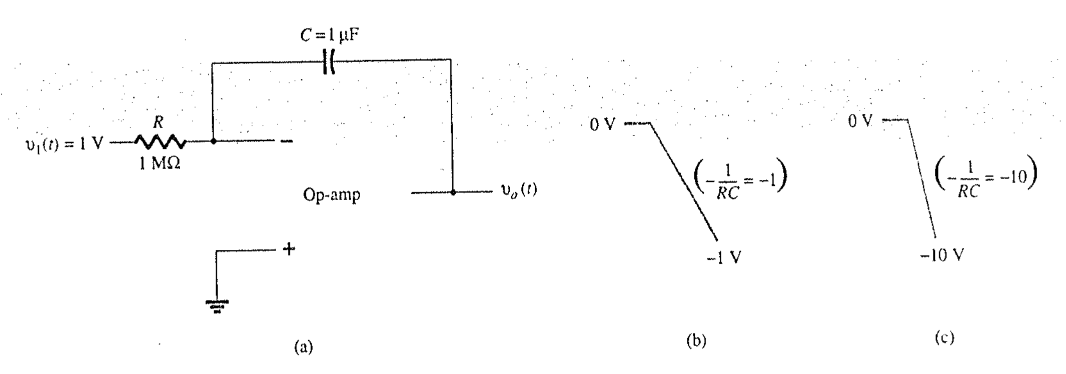
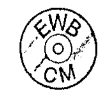


Figura 13.20 Operación de un integrador con una entrada en escalón.



Es posible aplicar más de una entrada a un integrador, como se señala en la figura 13.21, con lo que se obtiene la operación resultante dada por

$$v_o(t) = -\left[\frac{1}{R_1C}\int v_1(t)\,dt + \frac{1}{R_2C}\int v_2(t)\,dt + \frac{1}{R_3C}\int v_3(t)\,dt\right] \qquad (13.14)$$

En la figura 13.21 se ofrece un ejemplo de un integrador sumador como el que se utiliza en una computadora analógica. El circuito real incluye resistores de entrada y capacitores de retroalimentación, mientras que la representación de computadora analógica, solamente indica el factor de escala para cada entrada.

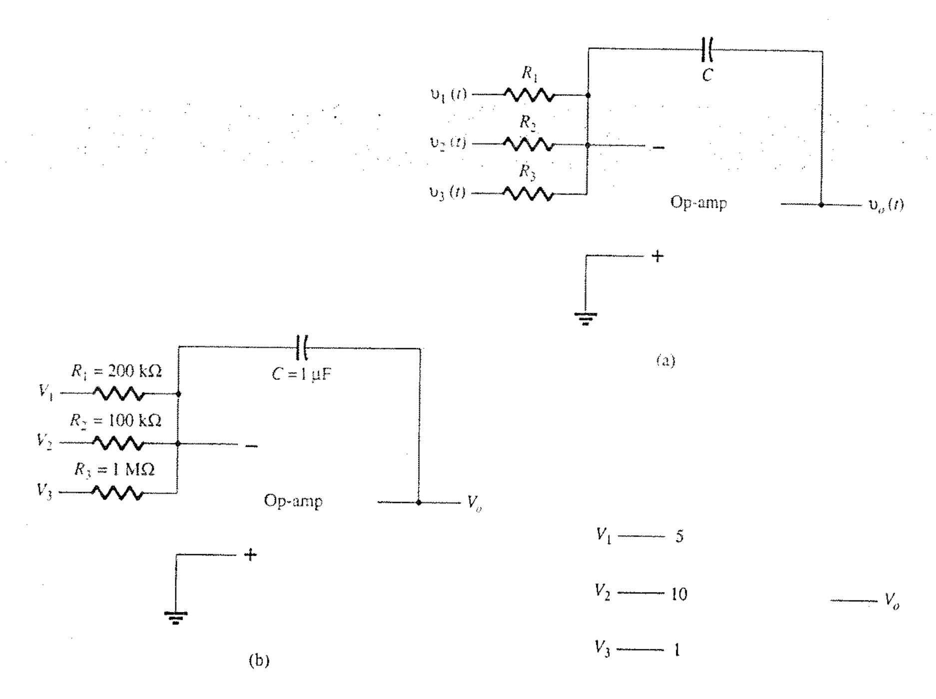


Figura 13.21 (a) Circuito integrador sumador; (b) valores de los componentes; (c) representación de computadora analógica del circuito integrador.

Diferenciador

En la figura 13.22 se muestra un circuito diferenciador. Aunque no es tan útil como las formas de circuitos antes mencionadas, el diferenciador ofrece una operación útil, donde la relación resultante para el circuito es

$$v_o(t) = -RC\frac{dv_1(t)}{dt} \tag{13.15}$$

mientras que el factor de escala es $-RC$.

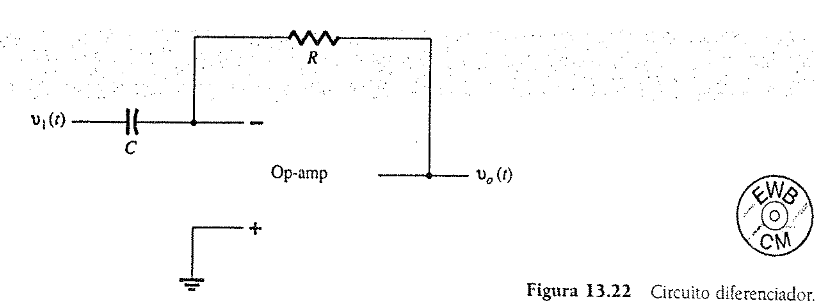


Figura 13.22 Circuito diferenciador.

13.5 ESPECIFICACIONES DEL AMPLIFICADOR OPERACIONAL: PARÁMETROS DE DESVÍO DE DC

Antes de revisar distintas aplicaciones prácticas mediante el uso de op-amps, es necesario familiarizarse con algunos de los parámetros utilizados para definir la operación de la unidad. Estas especificaciones incluyen tanto características operativas de dc como de transitorios o de frecuencia.

Corriente y voltajes de desvío

Mientras que la salida del op-amp debe ser igual a 0 V cuando la entrada es de 0 V, en la operación real se presenta cierto voltaje de desvío a la salida. Por ejemplo, si se conectan 0 V sobre ambas entradas del op-amp y luego se leen 26 mV(dc) a la salida, representa 26 mV de voltaje no deseado generado por el circuito y no por la señal de entrada. Sin embargo, dado que el usuario puede conectar el circuito amplificador para obtener distintas operaciones de ganancia y de polaridad, el fabricante especifica un voltaje de entrada de desvío para el op-amp. El voltaje de desvío de la salida, se determina entonces por el voltaje de desvío de entrada y por la ganancia del amplificador, según lo conecte el usuario.

Se puede mostrar que el voltaje de desvío de salida es afectado por dos condiciones de circuito distintas que son: (1) un voltaje de desvió de entrada V_{IO}, y (2) una corriente de desvío debido a la diferencia en las corrientes generadas en las terminales de entrada de signo positivo (+) y de signo negativo (−).

VOLTAJE DE DESVÍO DE ENTRADA, V_{IO}

La hoja de especificaciones del fabricante proporciona un valor de V_{IO} para el op-amp. Para determinar el efecto de este voltaje de entrada sobre la salida, considere la conexión que se muestra en la figura 13.23. Mediante el empleo de $V_o = AV_i$, podemos escribir

$$V_o = AV_i = A\left(V_{IO} - V_o\frac{R_1}{R_1 + R_f}\right)$$

Al resolver para V_o se obtiene

$$V_o = V_{IO}\frac{A}{1 + A[R_1/(R_1 + R_f)]} \approx V_{IO}\frac{A}{A[R_1/(R_1 + R_f)]}$$

a partir de la cual podemos escribir

$$V_o(\text{desvío}) = V_{IO}\frac{R_1 + R_f}{R_1} \tag{13.16}$$

La ecuación 13.16 ilustra la forma en la que el voltaje de desvío de salida es resultado de un voltaje de desvío de entrada especificado para una conexión del amplificador típica del op-amp.

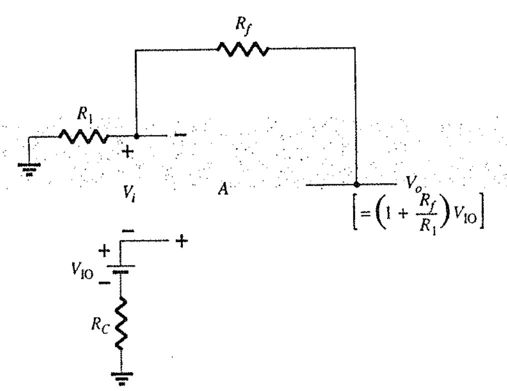


Figura 13.23 Operación que muestra el efecto del voltaje de desvío de entrada V_{IO}.

EJEMPLO 13.6

Calcule el voltaje de desvío de salida del circuito de la figura 13.24. Las especificaciones del op-amp señalan que $V_{IO} = 1.2$ mV.

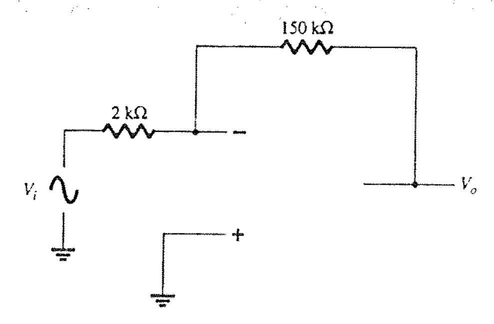


Figura 13.24 Conexión del op-amp para los ejemplos 13.6 y 13.7.

Solución

Ecuación 13.16: $V_o(\text{desvío}) = V_{IO}\dfrac{R_1 + R_f}{R_1} = (1.2\text{ mV})\left(\dfrac{2\text{ k}\Omega + 150\text{ k}\Omega}{2\text{ k}\Omega}\right) = \mathbf{91.2\text{ mV}}$

VOLTAJE DE DESVÍO DE SALIDA DEBIDO A LA CORRIENTE DE DESVÍO DE ENTRADA, I_{IO}

También se tiene un voltaje de desvío de salida como resultado de la diferencia en las corrientes de polarización de dc en ambas entradas. Dado que los dos transistores de entrada nunca están pareados completamente, cada uno operará con una corriente ligeramente diferente. Para una conexión típica de op-amp, como la que se muestra en la figura 13.25, el voltaje de desvío de salida puede calcularse de la siguiente forma. Al reemplazar las corrientes de polarización a través de los resistores de entrada por la caída de voltaje que cada uno desarrolla, como se muestra en la figura 13.26, es posible determinar la expresión para el voltaje de salida resultante. Al utilizar la superposición, el voltaje de salida debido a la corriente de polarización de entrada I^+_{IB}, denotado por V^+_o, es

$$V^+_o = I^+_{IB} R_C\left(1 + \frac{R_f}{R_1}\right)$$

mientras que el voltaje de salida debido únicamente a I^-_{IB}, denotado por V^-_o, es

$$V^-_o = I^-_{IB} R_1\left(-\frac{R_f}{R_1}\right)$$

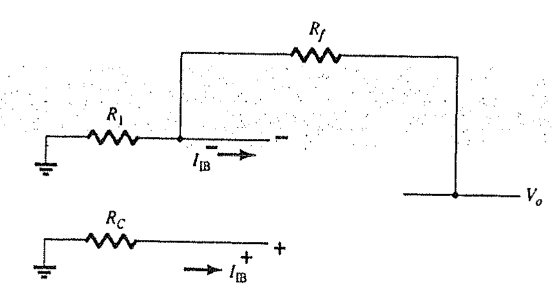


Figura 13.25 Conexión de op-amp que muestra las corrientes de polarización de entrada.

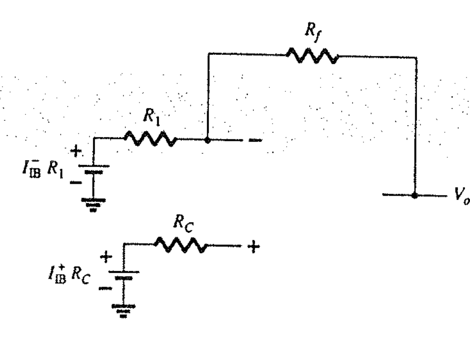


Figura 13.26 Redibujo del circuito de la figura 13.25.

para un voltaje de desvío de salida total de

$$V_o(\text{desvío debido a } I^+_{IB} \text{ e } I^-_{IB}) = I^+_{IB} R_C\left(1 + \frac{R_f}{R_1}\right) - I^-_{IB} R_1\frac{R_f}{R_1} \quad (13.17)$$

Debido a que la principal consideración es la diferencia entre las corrientes de polarización de entrada en lugar de cada valor, se define la corriente de desvío I_{IO} como

$$I_{IO} = I^+_{IB} - I^-_{IB}$$

Ya que la resistencia de compensación R_C es por lo general igual al valor de R_1, al utilizar $R_C = R_1$ en la ecuación 13.17 podemos escribir

$$V_o(\text{desvío}) = I^+_{IB}(R_1 + R_f) - I^-_{IB} R_f$$
$$= I^+_{IB}R_f - I^-_{IB} R_f = R_f(I^+_{IB} - I^-_{IB})$$

lo que resulta en

$$\boxed{V_o(\text{desvío debido a } I_{IO}) = I_{IO} R_f} \quad (13.18)$$

EJEMPLO 13.7

Calcule el voltaje de desvío para el circuito de la figura 13.24 para una especificación del op-amp que proporciona $I_{IO} = 100$ nA.

Solución

Ecuación 13.18: $V_o = I_{IO} R_f = (100\text{ nA})(150\text{ k}\Omega) = \mathbf{15\text{ mV}}$

DESVÍO TOTAL DEBIDO A V_{IO} E I_{IO}

Dado que la salida del op-amp puede tener un voltaje de desvío de salida debido a ambos factores cubiertos antes, el voltaje de desvío de salida total puede expresarse como

$$|V_o(\text{desvío})| = |V_o(\text{desvío debido a } V_{IO})| + |V_o(\text{desvío debido a } I_{IO})| \quad (13.19)$$

La magnitud absoluta se utiliza para dar cabida al hecho de que la polaridad del desvío puede ser positiva o negativa.

EJEMPLO 13.8

Calcule el voltaje de desvío total para el circuito de la figura 13.27 para un op-amp con valores especificados del voltaje de desvío de entrada de $V_{IO} = 4$ mV, y de la corriente de desvío de entrada de $I_{IO} = 150$ nA.

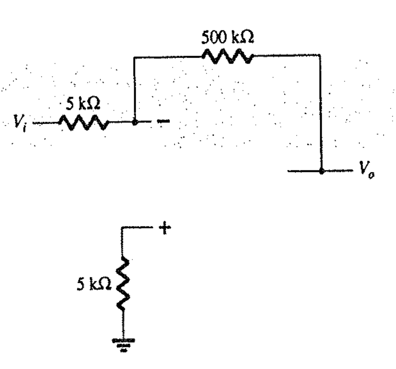


Figura 13.27 Circuito de op-amp para el ejemplo 13.8.

Solución

El desvío debido a V_{IO} es

$$\text{Ecuación 13.16:}\quad V_o(\text{desvío debido a } V_{IO}) = V_{IO}\frac{R_1 + R_f}{R_1} = (4\ \text{mV})\left(\frac{5\ \text{k}\Omega + 500\ \text{k}\Omega}{5\ \text{k}\Omega}\right)$$

$$= 404\ \text{mV}$$

$$\text{Ecuación 13.18:}\quad V_o(\text{desvío debido a } I_{IO}) = I_{IO}R_f = (150\ \text{nA})(500\ \text{k}\Omega) = 75\ \text{mV}$$

lo que resulta en un desvío total de

$$\text{Ecuación 13.19:}\quad V_o(\text{desvío total}) = V_o(\text{desvío debido a } V_{IO}) + V_o(\text{desvío debido a } I_{IO})$$

$$= 404\ \text{mV} + 75\ \text{mV} = \mathbf{479\ mV}$$

CORRIENTE DE POLARIZACIÓN DE ENTRADA, I_{IB}

Existe un parámetro relacionado con I_{IO} y con las corrientes de polarización separadas I_{IB}^+ e I_{IB}^-, que es la corriente de polarización promedio, definida como

$$I_{IB} = \frac{I_{IB}^+ + I_{IB}^-}{2} \tag{13.20}$$

Es posible determinar las corrientes de polarización de entrada separadas, mediante los valores especificados de I_{IO} e I_{IB}. Se puede demostrar que para $I_{IB}^+ > I_{IB}^-$

$$I_{IB}^+ = I_{IB} + \frac{I_{IO}}{2} \tag{13.21a}$$

$$I_{IB}^- = I_{IB} - \frac{I_{IO}}{2} \tag{13.21b}$$

EJEMPLO 13.9

Calcule las corrientes de polarización de cada entrada del amplificador que cuenta con los valores especificados de $I_{IO} = 5$ nA e $I_{IB} = 30$ nA.

Solución

Mediante el empleo de la ecuación 13.21:

$$I_{IB}^+ = I_{IB} + \frac{I_{IO}}{2} = 30\ \text{nA} + \frac{5\ \text{nA}}{2} = \mathbf{32.5\ nA}$$

$$I_{IB}^- = I_{IB} - \frac{I_{IO}}{2} = 30\ \text{nA} - \frac{5\ \text{nA}}{2} = \mathbf{27.5\ nA}$$

13.6 ESPECIFICACIONES DEL AMPLIFICADOR OPERACIONAL: PARÁMETROS DE FRECUENCIA

Un op-amp está diseñado para ser un amplificador de alta ganancia y de amplio ancho de banda. Esta operación tiende a ser inestable (oscilar) como consecuencia de la retroalimentación positiva (capítulo 17). Para asegurar una operación estable, los op-amps se fabrican con circuitos de compensación internos, lo que también ocasionan que la ganancia de lazo abierto tan alta disminuya con el incremento de frecuencia. A esta reducción en la ganancia se le conoce como *atenuación progresiva*. En la mayoría de los op-amps, la atenuación progresiva ocurre con una relación de 20 dB por década (−20 dB/década) o de 6 dB por octava (−6 dB/octava). (Remitirse al capítulo 11 para una cobertura introductoria de los dB y de la respuesta a la frecuencia.)

Observe que mientras las especificaciones del op-amp proporcionan una ganancia de voltaje de lazo abierto (A_{VD}), el usuario con frecuencia conecta resistores de retroalimentación al op-amp para reducir la ganancia de voltaje del circuito a un valor mucho menor (ganancia de voltaje de lazo cerrado, A_{CL}). Como resultado de esta reducción en la ganancia se obtienen varias mejoras al circuito. En primer lugar, la ganancia de voltaje del amplificador es un valor más estable y preciso establecido por los resistores externos; en segundo lugar, la impedancia de entrada del circuito se incrementa por encima de la del op-amp individual; en tercer lugar, la impedancia de salida del circuito es menor que la del op-amp en lo individual; y por último, la respuesta a la frecuencia del circuito es mayor que la del op-amp individual.

Ganancia-ancho de banda

Gracias al circuito de compensación interna incluido en un op-amp, la ganancia de voltaje cae a medida que la frecuencia se incrementa. Las especificaciones del op-amp ofrecen una descripción de la ganancia en función del ancho de banda. La figura 13.28 proporciona una gráfica de la ganancia en función de la frecuencia para un op-amp típico. A baja frecuencia y hasta la operación de dc, la ganancia el valor A_{VD} (ganancia diferencial de voltaje) es listada por la especificación del fabricante y por lo general, es un valor muy grande. A medida que la frecuencia de la señal de entrada se incrementa, la ganancia de lazo abierto comienza a disminuir hasta que finalmente alcanza el valor de 1 (unitaria). La frecuencia en este valor de ganancia, la especifica el fabricante como el ancho de banda de ganancia unitaria B_1. Aunque este valor es una frecuencia (ver figura 13.28) en la que la ganancia se hace 1, puede considerarse un ancho de banda, dado que la banda de frecuencia desde 0 Hz hasta la frecuencia de ganancia unitaria es también un ancho de banda. Por lo que es posible referirse al punto en el que la ganancia se reduce a 1 como la frecuencia de ganancia unitaria (f_1) o ancho de banda de ganancia unitaria (B_1).

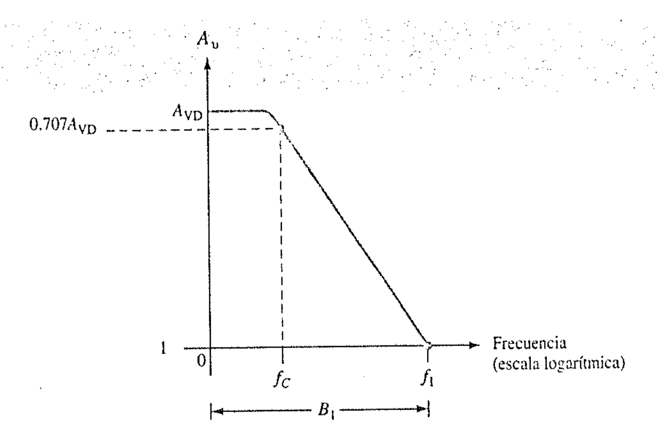


Figura 13.28 Gráfica de ganancia en función de la frecuencia.

Otra frecuencia de interés es la que se muestra en la figura 13.28, en la cual, la ganancia cae a 3 dB (o 0.707 la ganancia de dc, A_{VD}), lo que representa la frecuencia de corte del op-amp, f_C. De hecho, la frecuencia de ganancia unitaria y la frecuencia de corte se encuentran relacionadas mediante

$$\boxed{f_1 = A_{VD}f_C} \tag{13.22}$$

La ecuación 13.22 indica que la frecuencia de ganancia unitaria también puede denominarse como producto ganancia-ancho de banda del op-amp.

EJEMPLO 13.10

Determine la frecuencia de corte de un op-amp que tiene los valores especificados de $B_1 = 1$ MHz y $A_{VD} = 200$ v/mV.

Solución

Dado que $f_1 = B_1 = 1$ MHz, podemos utilizar la ecuación 13.22 para calcular

$$f_C = \frac{f_1}{A_{VD}} = \frac{1\text{ MHz}}{200\text{ V/mV}} = \frac{1 \times 10^6}{200 \times 10^3} = \mathbf{5\ Hz}$$

Rapidez de respuesta, SR

Otro parámetro que refleja la habilidad del op-amp para manejar señales con variación es la rapidez de respuesta (SR por sus siglas en inglés *Slew Rate*), definido como

Rapidez de respuesta = velocidad máxima a la que puede cambiar la salida del amplificador en volts por microsegundos (V/μs)

$$\text{SR} = \frac{\Delta V_o}{\Delta t} \quad \text{V}/\mu\text{s} \qquad \text{con } t \text{ en } \mu\text{s} \tag{13.23}$$

La rapidez de respuesta ofrece un parámetro que especifica la velocidad máxima de cambio del voltaje de salida cuando lo maneja una señal grande de entrada en escalón.* Si se tuviera la intención de manejar la salida a una velocidad mayor que la rapidez de respuesta, la salida no sería capaz de cambiar los suficientemente rápido y no variará sobre el rango completo esperado, lo que ocasiona un recorte o distorsión de la señal. En cualquier caso, la salida no sería la copia amplificada de la señal de entrada si se excede la rapidez de respuesta.

EJEMPLO 13.11

Para un op-amp que tiene una rapidez de respuesta de SR = 2 V/μs, ¿cuál será la ganancia de voltaje de lazo cerrado máxima que puede utilizarse cuando la señal de entrada varía por 0.5 V en 10 μs?

Solución

Dado que $V_o = A_{CL}V_i$, podemos utilizar

$$\frac{\Delta V_o}{\Delta t} = A_{CL}\frac{\Delta V_i}{\Delta t}$$

de la que se obtiene

$$A_{CL} = \frac{\Delta V_o/\Delta t}{\Delta V_i/\Delta t} = \frac{\text{SR}}{\Delta V_i/\Delta t} = \frac{2\text{ V}/\mu\text{s}}{0.5\text{ V}/10\ \mu\text{s}} = \mathbf{40}$$

Cualquier ganancia de voltaje de lazo cerrado con magnitud mayor a 40 hará variar la salida a un ritmo mayor que lo que permite la rapidez de respuesta, por lo que la ganancia máxima de lazo cerrado es 40.

*La ganancia de lazo cerrado es la que se obtiene cuando la salida se conecta de regreso a la entrada en alguna forma.

Frecuencia máxima de señal

La frecuencia máxima a la que puede operar un op-amp depende de los parámetros del op-amp tanto del ancho de banda (BW) como de la rapidez de respuesta (SR). Para una señal senoidal de forma general

$$v_o = K\,\text{sen}(2\pi f t)$$

se puede mostrar que la tasa de cambio máximo de voltaje será

$$\text{señal de la tasa de cambio máximo} = 2\pi f K \qquad \text{V/s}$$

Para prevenir una distorsión a la salida, la tasa de cambio también deberá ser menor que la rapidez de respuesta, es decir,

$$2\pi f K \leq \text{SR}$$

$$\omega K \leq \text{SR}$$

de forma que

$$f \leq \frac{\text{SR}}{2\pi K} \quad \text{Hz} \qquad \omega \leq \frac{\text{SR}}{K} \quad \text{rad/s} \tag{13.24}$$

Adicionalmente, la frecuencia máxima f, en la ecuación 13.24, se encuentra también limitada por el ancho de banda de ganancia unitaria.

EJEMPLO 13.12

Para la señal y el circuito de la figura 13.29, determine la frecuencia máxima que puede emplearse. La rapidez de respuesta es SR = 0.5 V/μs.

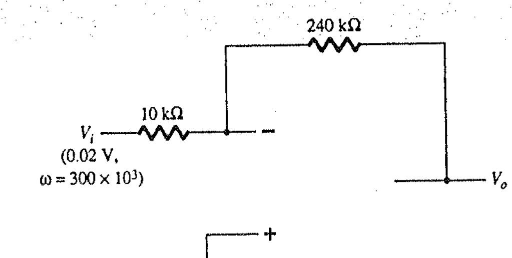


Figura 13.29 Circuito op-amp del ejemplo 13.12.

Solución

Para una ganancia de magnitud

$$A_{CL} = \left|\frac{R_f}{R_1}\right| = \frac{240\text{ k}\Omega}{10\text{ k}\Omega} = 24$$

el voltaje de salida proporciona

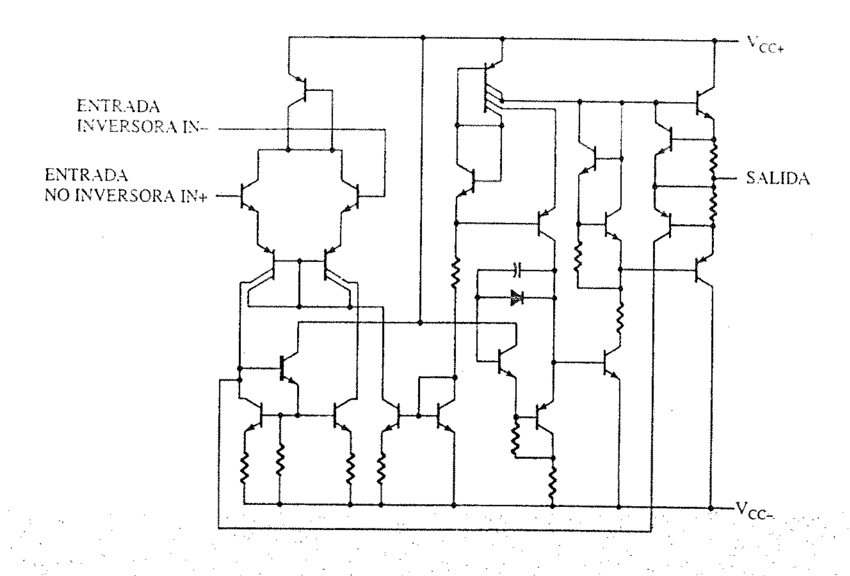
$$K = A_{CL}V_i = 24(0.02\text{ V}) = 0.48\text{ V}$$

$$\text{Ecuación 13.24:} \quad \omega \leq \frac{\text{SR}}{K} = \frac{0.5\text{ V}/\mu\text{s}}{0.48\text{ V}} = \mathbf{1.1 \times 10^6\ rad/s}$$

Dado que la frecuencia de la señal, $\omega = 300 \times 10^3$ rad/s, es menor que el valor máximo determinado arriba, no existirá distorsión a la salida.

13.7 ESPECIFICACIONES PARA EL AMPLIFICADOR OPERACIONAL TÍPICO

En esta sección se analizará la forma en la que se interpretan las especificaciones del fabricante para un amplificador operacional típico. En la figura 13.30 se proporciona información del op-amp bipolar común de CI número 741. El op-amp se encuentra disponible en distintos encapsulados, donde el de línea doble, DIP, de 8 terminales y el plano de 10 terminales son los más comunes.



Valores nominales máximos absolutos sobre un intervalo de temperatura al aire libre (a menos que se indique lo contrario)

		uA741M	uA741C	UNIDAD
Voltaje de alimentación V_{CC+} (ver nota 1)		22	18	V
Voltaje de alimentación V_{CC-} (ver nota 1)		–22	–18	V
Voltaje de entrada diferencial (ver nota 2)		± 30	± 30	V
Voltaje de entrada a cualquier entrada (ver notas 1 y 3)		± 15	± 15	V
Voltaje entre cualquier terminal de anulación de desvío (N1/N2) y V_{CC-}		± 0.5	± 0.5	V
Duración del corto circuito a la salida (ver nota 4)		sin límite	sin límite	
Disipación continua total de potencia a temperatura al aire libre (o por debajo) 25°C (ver nota 5)		500	500	mW
Intervalo de temperatura de operación de aire libre		–55 a 125	0 a 70	°C
Intervalo de temperatura de almacenamiento		–65 a 150	–65 a 150	°C
Temperatura de soldado 1.6 mm (1/16 pulgada) del encapsulado durante 60 segundos	Encapsulado FH, FK, J, JG o U	–300	–300	°C
Temperatura de soldadura 1.6 mm (1/16 pulgada) del encapsulado durante 10 segundos	Encapsulado D, N o P		260	°C

NOTAS:
1. Todos los valores de voltaje, a menos que se indique lo contrario, son con respecto al punto medio entre VCC+ y VCC–.
2. Los voltajes diferenciales son en la terminal de entrada no inversora con respecto a la terminal de entrada inversora.
3. La magnitud del voltaje de entrada, nunca debe exceder la magnitud del voltaje de alimentación o de 15 volts, lo que sea menor.
4. La salida puede ponerse en corto a tierra o a cualquier fuente de alimentación. Sólo para el uA741M, la duración ilimitada del corto circuito aplica a (o por encima de) 125°C de temperatura del encapsulado o 75°C de temperatura al aire libre.
5. Para una operación superior a 25°C de temperatura al aire libre, referirse a las curvas de pérdida de disipación, en la sección 2. En los encapsulados J y JG, los circuitos integrados uA741M están montados sobre aleación; los circuitos integrados uA741C están montados sobre vidrio.

Figura 13.30 Especificaciones del op-amp 741.

características eléctricas a temperatura al aire libre especificada V_{CC+} = 15 V, V_{CC-} = –15 V

PARÁMETRO		CONDICIONES DE PRUEBA		uA741M MÍN	uA741M TÍPICO	uA741M MÁX	uA741C MÍN	uA741C TÍPICO	uA741C MÁX	UNIDAD
V_{IO}	Voltaje de desvío de entrada	$V_O = 0$	25°C		1	5		1	6	mV
			Intervalo completo			6			7.5	
$\Delta V_{IO(adj)}$	Intervalo de ajuste del voltaje de desvío	$V_O = 0$	25°C		±15			±15		mV
I_{IO}	Corriente de desvío de entrada	$V_O = 0$	25°C		20	200		20	200	nA
			Intervalo completo			500			300	
I_{IB}	Corriente de polarización de entrada	$V_O = 0$	25°C		80	500		80	500	nA
			Intervalo completo			1500			800	
V_{ICR}	Intervalo de voltaje de entrada en modo común		25°C	±12	±13		±12	±13		V
			Intervalo completo	±12			±12			
V_{OM}	Excursión máxima del voltaje pico de salida	$R_L = 10\ k\Omega$	25°C	±12	±14		±12	±14		V
		$R_L \geq 10\ k\Omega$	Intervalo completo	±12			±12			
		$R_L = 2\ k\Omega$	25°C	±10	±13		±10	±13		
		$R_L \geq 2\ k\Omega$	Intervalo completo	±10			±10			
A_{VD}	Amplificación de voltaje diferencial a gran señal	$R_L \geq 2\ k\Omega$	25°C	50	200		20	200		V/mV
		$V_O = \pm 10$ V	Intervalo completo	25			15			
r_i	Resistencia de entrada		25°C	0.3	2		0.3	2		MΩ
r_o	Resistencia de salida	$V_O = 0$ (Ver nota 6)	25°C		75			75		Ω
C_i	Capacitancia de entrada		25°C		1.4			1.4		pF
CMRR	Relación de rechazo en modo común	$V_{IC} = V_{ICR}$ mín	25°C	70	90		70	90		dB
			Intervalo completo	70			70			
K_{SVS}	Sensibilidad al voltaje de alimentación ($\Delta V_{IO}/\Delta V_{CC}$)	$V_{CC} = \pm 9$ V a ± 15 V	25°C		30	150		30	150	μV/V
			Intervalo completo			150			150	
I_{OS}	Corriente de salida en corto circuito		25°C		±25	±40		±25	±40	mA
I_{CC}	Corriente de alimentación	Sin carga, $V_O = 0$	25°C		1.7	2.8		1.7	2.8	mA
			Intervalo completo			3.3			3.3	
P_D	Disipación total de potencia	Sin carga, $V_O = 0$	25°C		50	85		50	85	mW
			Intervalo completo			100			100	

características de operación V_{CC+} = 15 V, V_{CC-} = –15 V, T_A = 25°C

PARÁMETRO		CONDICIONES DE PRUEBA	uA741M MÍN	uA741M TÍPICO	uA741M MÁX	uA741C MÍN	uA741C TÍPICO	uA741C MÁX	UNIDAD
t_r	Tiempo de subida	$V_I = 20$ mV, $R_L = 2\ k\Omega$, $C_L = 100$ pF, ver figura 1		0.3			0.3		μs
	Factor de sobretiro			5%			5%		
SR	Rapidez de respuesta a ganancia unitaria	$V_I = 10$ V, $R_L = 2\ k\Omega$, $C_L = 100$ pF, Ver figura 1		0.5			0.5		V/μs

Figura 13.30 Continuación.

Valores nominales máximos absolutos

Los valores nominales máximos absolutos ofrecen información acerca de los voltajes de alimentación más altos que pueden utilizarse, la excursión máxima de la señal de entrada y la potencia máxima a la que el dispositivo puede operar. Según la versión particular del 741 empleado, el mayor voltaje de alimentación será el de una fuente doble de ±18 V o ±22 V. Además, el circuito integrado puede disipar internamente de 310 a 570 mW, según el encapsulado de CI utilizado. La tabla 13.1 resume algunos de los valores típicos para utilizarse en ejemplos y problemas.

TABLA 13.1 Valores nominales máximos absolutos

Voltaje de alimentación	±22 V
Disipación interna de potencia	500 mW
Voltaje de entrada diferencial	±30 V
Voltaje de entrada	±15 V

EJEMPLO 13.13

Determine el consumo de corriente de una fuente de alimentación doble de ±12 V si el CI disipa 500 nW.

Solución

Si se asume que cada fuente proporciona la mitad de la potencia total al CI, entonces

$$P = VI$$

$$250 \text{ mW} = 12 \text{ V}(I)$$

por lo que cada fuente de alimentación debe proporcionar una corriente de

$$I = \frac{250 \text{ mW}}{12 \text{ V}} = \mathbf{20.83 \text{ mA}}$$

Características eléctricas

Las características eléctricas incluyen muchos de los parámetros cubiertos con anterioridad en este capítulo. El fabricante proporciona una cierta combinación de valores típicos, mínimos y máximos para distintos parámetros que considera más útiles para el usuario. En la tabla 13.2 se presenta un resumen de ellos.

TABLA 13.2 Características eléctricas del μA741: $V_{CC} = \pm 15$ V, $T_A = 25°$C

Característica	*MÍN*	*TÍPICO*	*MÁX*	*Unidad*
V_{IO} Voltaje de desvío de entrada		1	6	mV
I_{IO} Corriente de desvío de entrada		20	200	nA
I_{IB} Corriente de polarización de entrada		80	500	nA
V_{ICR} Intervalo de voltaje de entrada en modo común	±12	±13		V
V_{OM} Excursión máxima de voltaje pico de salida	±12	±14		V
A_{VD} Amplificación de voltaje diferencial a gran señal	20	200		V/mV
r_i Resistencia de entrada	0.3	2		MΩ
r_o Resistencia de salida		75		Ω
C_i Capacitancia de entrada		1.4		pF
CMRR Relación de rechazo en modo común	70	90		dB
I_{CC} Corriente de alimentación		1.7	2.8	mA
P_D Disipación de potencia total		50	85	mW

V_{IO} Voltaje de desvío de entrada: El voltaje de desvío de entrada es con frecuencia de 1 mV, pero puede llegar a ser tan alto como 6 mV. Luego, el voltaje de desvío de salida puede ser calculado con base en el circuito empleado. Si interesa la peor condición posible, deberá utilizarse el máximo valor. Los valores típicos son aquellos que comúnmente se esperan obtener al utilizar el op-amp.

I_{IO} Corriente de desvío de entrada: La corriente de desvío de entrada se presenta de forma típica como de 20 nA, con el máximo valor esperado en 200 nA.

I_{IB} Corriente de polarización de entrada: La corriente de polarización de entrada es, por lo regular, de 80 nA y puede llegar a 500 nA.

V_{ICR} Intervalo de voltaje de entrada en modo común: Este parámetro presenta el intervalo en el cual, el voltaje de entrada puede variar (utilizando una fuente de ±15 V), es de ±12 a ±13 V. Las entradas con magnitud mayor a este valor, probablemente ocasionarán distorsión en la salida y por lo tanto deberán evitarse.

V_{OM} Excursión máxima de voltaje pico de salida: Este parámetro presenta el máximo valor de variación de la salida (con una fuente de ±15 V). Según la ganancia de lazo cerrado del circuito, la señal de entrada deberá limitarse para que la salida no varíe por una cantidad mayor a ±12 V, en el peor de los casos o a ±14 V, en el caso típico.

A_{VD} Amplificación de voltaje diferencial a gran señal: Ésta es la ganancia de voltaje de lazo abierto del op-amp. Aunque se presenta un valor mínimo de 20 V/mV o 20,000 V/V, el fabricante también presenta un valor típico de 200 V/mV o 200,000 V/V.

r_i Resistencia de entrada: La resistencia de entrada del op-amp cuando se mide en lazo abierto, es por lo regular de 2 MΩ, pero puede ser tan pequeña como de 0.3 MΩ o 300 kΩ. En un circuito en lazo cerrado, esta impedancia de entrada puede ser mucho mayor, como se estableció anteriormente.

r_o Resistencia de salida: La resistencia de salida del op-amp se presenta como típica de 75 Ω. El fabricante no ofrece valores mínimos ni máximos para este op-amp. Nuevamente, en un circuito en lazo cerrado, la impedancia de salida puede ser menor, según la ganancia del circuito.

C_i Capacitancia de entrada: Para consideraciones de alta frecuencia, resulta útil conocer que la entrada del op-amp tiene típicamente 1.4 pF de capacitancia, un valor por lo regular pequeño en comparación incluso con las capacitancias parásitas del cableado.

CMRR Relación de rechazo en modo común: Este parámetro del op-amp es típicamente de 90 dB, pero puede llegar a ser tan bajo como 70 dB. Dado que 90 dB es equivalente de 31622.78, el op-amp amplifica el ruido (entradas comunes) por cerca de 30,000 veces menos que las entradas diferenciales.

I_{CC} Corriente de alimentación: El op-amp consume por lo regular un total de 2.8 mA, de una fuente de voltaje doble, pero el consumo puede ser tan pequeño como 1.7 mA. Este parámetro ayuda al usuario a determinar el tamaño de la fuente de voltaje que utilizará. También puede emplearse para calcular la potencia disipada por el CI ($P_D = 2V_{CC}I_{CC}$).

P_D Disipación de potencia total: La potencia total disipada por el op-amp es por lo regular de 50 mW, pero puede llegar a 85 mW. En referencia al parámetro anterior, el op-amp disipará cerca de 50 mW cuando consuma cerca de 1.7 mA mediante una fuente doble de 15 V. Para una alimentación de voltaje menor, el consumo de corriente será menor y la potencia total disipada también será más pequeña.

EJEMPLO 13.14

Mediante las especificaciones presentadas en la tabla 13.2, calcule el voltaje de desvío de salida típico para la conexión de circuito de la figura 13.31.

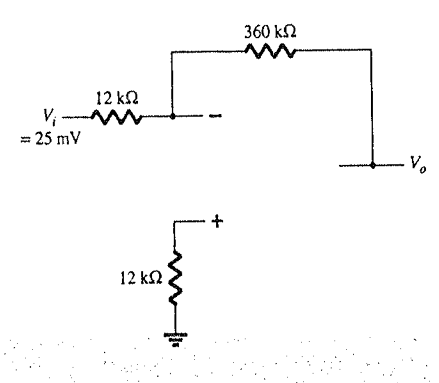


Figura 13.31 Circuito op-amp para los ejemplos 13.14, 13.15 y 13.17.

Solución

El desvío de salida debido a V_{IO} se calcula como

$$\text{Ecuación 13.16:} \quad V_o(\text{desvío}) = V_{IO}\frac{R_1 + R_f}{R_1} = (1 \text{ mV})\left(\frac{12 \text{ k}\Omega + 360 \text{ k}\Omega}{12 \text{ k}\Omega}\right) = 31 \text{ mV}$$

El voltaje de salida debido a I_{IO} se calcula como

Ecuación 13.18: $V_o(\text{desvío}) = I_{IO}R_f = 20\text{ nA}(360\text{ k}\Omega) = 7.2\text{ mV}$

Si asumimos que estos dos desvíos son de la misma polaridad en la salida, entonces el voltaje de desvío de salida total es

$$V_o(\text{desvío}) = 31\text{ mV} + 7.2\text{ mV} = \mathbf{38.2\text{ mV}}$$

EJEMPLO 13.15

Para las características típicas del op-amp 741 ($r_o = 75\ \Omega$, $A = 200\text{ k}\Omega$), calcule los siguientes valores para el circuito de la figura 13.31.

(a) A_{CL}.
(b) Z_i.
(c) Z_o.

Solución

(a) Ecuación 13.8: $\dfrac{V_o}{V_i} = -\dfrac{R_f}{R_1} = -\dfrac{360\text{ k}\Omega}{12\text{ k}\Omega} = \mathbf{-30} \cong \dfrac{1}{\beta}$

(b) $Z_i = R_1 = \mathbf{12\text{ k}\Omega}$

(c) $Z_o = \dfrac{r_o}{(1+\beta A)} = \dfrac{75\ \Omega}{1 + \left(\dfrac{1}{30}\right)(200\text{ k}\Omega)} = \mathbf{0.011\ \Omega}$

Características de operación

Otro grupo de valores que se utiliza para describir la operación del op-amp respecto a diferentes señales, se presenta en la tabla 13.3.

TABLA 13.3 Características de operación: $V_{CC} = \pm 15\text{ V}$, $T_A = 25°\text{C}$

Parámetro	*MÍN*	*TÍPICO*	*MÁX*	*Unidad*
B_1 Ancho de banda de ganancia unitaria		1		MHz
t_r Tiempo de subida		0.3		μs

EJEMPLO 13.16

Calcule la frecuencia de corte de un op-amp que cuente con las características dadas en las tablas 13.2 y 13.3.

Solución

$$\text{Ecuación 13.22:}\quad f_C = \frac{f_1}{A_{VD}} = \frac{B_1}{A_{VD}} = \frac{1\text{ MHz}}{20{,}000} = \mathbf{50\text{ Hz}}$$

EJEMPLO 13.17

Calcule la frecuencia máxima de la señal de entrada del circuito de la figura 13.31, con una entrada de $V_i = 25$ mV.

Solución

Para una ganancia de lazo cerrado $A_{CL} = 30$ y una entrada de $V_i = 25$ mV, el factor de ganancia de salida se calcula en

$$K = A_{CL}V_i = 30(25\text{ mV}) = 750\text{ mV} = 0.750\text{ V}$$

Mediante la ecuación 13.24, la frecuencia máxima de la señal $f_{máx}$, es

$$f_{máx} = \frac{SR}{2\pi K} = \frac{0.5\text{ V}/\mu\text{s}}{2\pi(0.750\text{ V})} = \mathbf{106\text{ kHz}}$$

Desempeño del op-amp

El fabricante proporciona varias descripciones gráficas para describir el desempeño del op-amp. La figura 13.32 incluye algunas curvas de desempeño típico las cuales comparan distintas características como función del voltaje de alimentación. Se aprecia que la ganancia de voltaje en lazo abierto se incrementa a medida que el valor del voltaje de alimentación crece. Mientras que la información tabulada anterior ofrece información para un voltaje de alimentación particular, las curvas de desempeño muestran la forma en la que la ganancia de voltaje se ve afectada al utilizar un intervalo de valores de voltaje de alimentación.

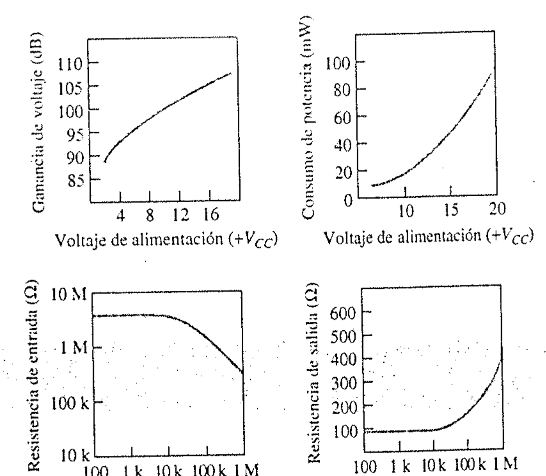


Figura 13.32 Curvas de desempeño.

EJEMPLO 13.18

Mediante la figura 13.32, determine la ganancia de voltaje de lazo abierto para un voltaje de alimentación $V_{CC} = \pm 12$ V.

Solución

A partir de la curva en la figura 13.32, $A_{VD} \approx 104$ dB. Ésta es una ganancia de voltaje lineal de

$$A_{VD}\,(\text{dB}) = 20\log_{10} A_{VD}$$
$$104\text{ dB} = 20\log A_{VD}$$
$$A_{VD} = \text{antilog}\,\frac{104}{20} = 158.5 \times 10^3$$

En otra curva de desempeño de la figura 13.32 se muestra la forma en la que varía el consumo de potencia como función del voltaje de alimentación. Como se muestra, el consumo de potencia se incrementa con valores más grandes del voltaje de alimentación. Por ejemplo, mientras que la disipación de potencia es cercana a 50 mW cuando $V_{CC} = \pm 15$ V, ésta cae a cerca de 5 mW cuando $V_{CC} = \pm 5$ V. Las otras dos curvas muestran la forma en la que las resistencias de entrada y de salida son afectadas por la frecuencia, la resistencia de entrada cae y la de salida se incrementa cuando la frecuencia es mayor.

13.8 RESUMEN

Conclusiones y conceptos importantes

1. La operación diferencial implica el uso de entradas con polaridad opuesta.
2. La operación en modo común implica el uso de entradas con la misma polaridad.
3. El rechazo en modo común compara la ganancia para entradas diferenciales con la de entradas comunes.
4. Un op-amp es un **amplificador operacional**.
5. Las características básicas de un op-amp son:

   Impedancia de entrada muy alta (por lo general megaohms)
   Ganancia de voltaje muy grande (por lo general unos cientos de miles o mayor)
   Impedancia de salida baja (por lo general menor a 100 Ω)

6. La tierra virtual es el concepto basado en el hecho práctico de que el voltaje de entrada diferencial entre las entradas de signo positivo (+) y de signo negativo (−) es prácticamente (virtualmente) de cero volts; cuando se calcula como el voltaje de salida (a lo mucho, el del voltaje de alimentación) dividido entre la ganancia de voltaje del op-amp muy alta.
7. La conexiones básicas del op-amp incluyen:

   Amplificador inversor
   Amplificador no inversor
   Amplificador de ganancia unitaria
   Amplificador sumador
   Amplificador integrador

8. Las especificaciones del op-amp incluyen:

   Voltajes y corrientes de desvío
   Parámetros de frecuencia
   Ganancia-ancho de banda
   Rapidez de respuesta

Ecuaciones

$$\text{CMRR} = 20 \log_{10} \frac{A_d}{A_c}$$

Amplificador inversor:

$$\frac{V_o}{V_i} = -\frac{R_f}{R_1}$$

Amplificador no inversor:

$$\frac{V_o}{V_i} = 1 + \frac{R_f}{R_1}$$

Seguidor unitario:

$$V_o = V_1$$

Amplificador sumador:

$$V_o = -\left(\frac{R_f}{R_1}V_1 + \frac{R_f}{R_2}V_2 + \frac{R_f}{R_3}V_3\right)$$

Amplificador integrador:

$$v_o(t) = -\frac{1}{RC}\int v_1(t)\, dt$$

$$\text{Rapidez de respuesta (SR)} = \frac{\Delta V_o}{\Delta t} \quad \text{V}/\mu\text{s}$$

13.9 ANÁLISIS POR COMPUTADORA

PSpice para Windows

Programa 13.1: Op-amp inversor

Primero se considerará un op-amp inversor, como el que se muestra en la figura 13.33. Cuando se enciende el voltaje de dc, visualización, el resultado después de ejecutar un análisis, muestra que para una entrada de 2 V y una ganancia de circuito de −5,

$$A_v = -R_F/R_1 = -500\text{ k}\Omega/100\text{ k}\Omega = -5$$

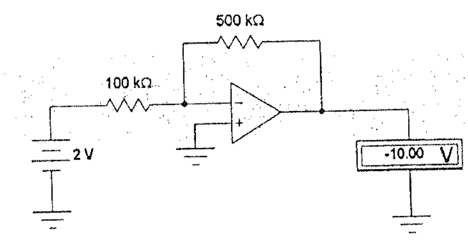


Figura 13.33 Op-amp inversor mediante el modelo ideal.

La salida es exactamente igual a −10 V.

$$V_o = A_v V_i = -5(2\text{ V}) = -10\text{ V}$$

La entrada de la terminal de signo negativo es −50.01 μV, la cual es virtualmente tierra o 0 V.

En la figura 13.34 se muestra un circuito práctico de op-amp inversor. Mediante los mismos valores de resistores que en la figura 13.33 para una unidad op-amp real, la μA741, la salida resultantes es igual a −9.96 V, cercana al valor ideal de −10 V. Esta ligera diferencia con respecto al ideal, se debe a la ganancia real y a la impedancia de entrada de la unidad op-amp μA741.

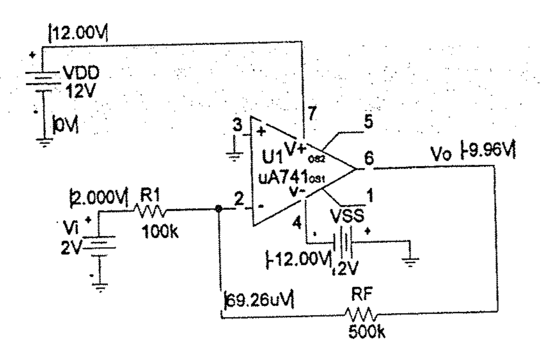


Figura 13.34 Circuito práctico op-amp inversor.

Antes de efectuar el análisis, mediante la selección de **Analysis Setup, Transfer Function** y luego **Output** con valor de **V(RF:2)** e **Input Source** de V_i se proporcionarán las características de pequeña señal en el listado de salida. La ganancia de salida se aprecia como

$$V_o/V_i = -5$$

Resistencia de entrada cuando $V_i = 1 \times 10^5$

Resistencia de salida cuando $V_o = 4.95 \times 10^{-3}$

Programa 13.2: Op-amp no inversor

La figura 13.35 muestra un circuito op-amp no inversor. Los voltajes de polarización se despliegan sobre la figura. La ganancia teórica del circuito amplificador deberá ser de

$$A_v = (1 + RF/R1) = 1 + 500\,\text{k}\Omega/100\,\text{k}\Omega = 6$$

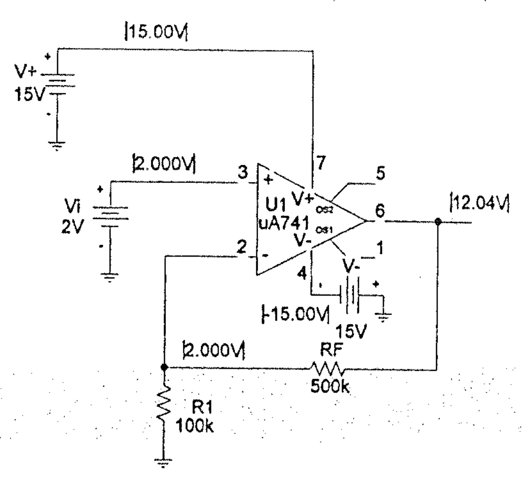


Figura 13.35 Esquema del Centro de Diseño para un circuito op-amp no inversor.

Para una entrada de 2 V, la salida resultante será

$$V_o = A_v V_i = 5(2\text{ V}) = 10\text{ V}$$

La salida no se encuentra invertida con respecto a la entrada.

Programa 13.3: Circuito op-amp sumador

En la figura 13.36 se muestra un circuito op-amp sumador como el del ejemplo 13.5. Los voltajes de polarización también se presentan en la figura 13.36, lo cuales muestran la salida resultante de 3 V, como se calculó en el ejemplo 13.5. Observe lo bien que funciona el concepto de tierra virtual con la entrada de signo negativo lo que es igual a solamente 3.791 μV.

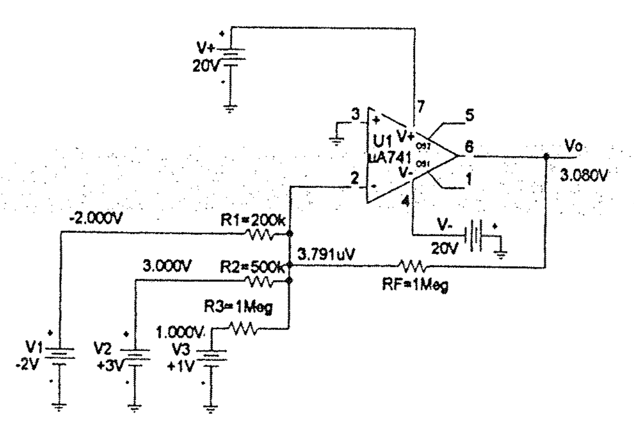


Figura 13.36 Amplificador sumador para el programa 13.3.

Programa 13.4: Circuito op-amp de ganancia unitaria

La figura 13.37 muestra un circuito op-amp de ganancia unitaria que presenta los voltajes de polarización. Para una entrada de +2 V, la salida es exactamente igual a +2 V.

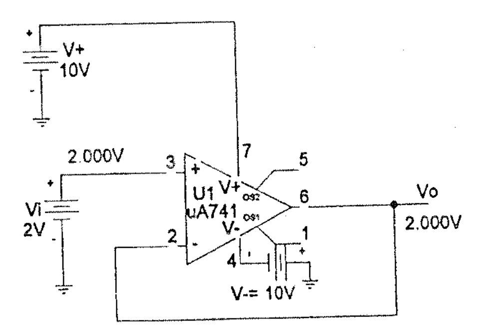


Figura 13.37 Amplificador de ganancia unitaria.

Programa 13.5: Circuito op-amp integrador

En la figura 13.38 se muestra un circuito op-amp integrador. La entrada se selecciona como **VPULSE,** la cual es una entrada de escalón, de la siguiente forma:
Se hace **ac** = 0, **dc** = 0, **V1** = 0 V, **V2** = 2 V, **TD** = 0, **TR** = 0, **TF** = 0, **PW** = 10 ms y **PER** = 20 ms. Con esto se proporciona un escalón de 0 a 2 V, sin tiempo de retardo, tiempo de subida ni tiempo de bajada, con un periodo de 10 ms y una repetición después de 20 ms. Para este problema, el voltaje se eleva instantáneamente a 2 V, luego permanece ahí por un tiempo suficiente para que la salida caiga como una rampa de voltaje de un nivel máximo de +20 V al nivel más bajo de −20 V. En teoría, la salida del circuito de la figura 13.38 es

$$v_o(t) = -1/RC \int v_i(t)\, dt$$

$$v_o(t) = -1/(10\,\text{k}\Omega)(0.01\,\mu\text{F}) \int 2\,dt = -10{,}000 \int 2\,dt = -20{,}000t$$

Ésta es una rampa de voltaje negativa que cae a un ritmo (pendiente) de −20,000 V/s. Esta rampa de voltaje caerá de +20 V a −20 V en

$$40\text{ V}/20{,}000 = 2 \times 10^{-3} = 2\text{ ms}$$

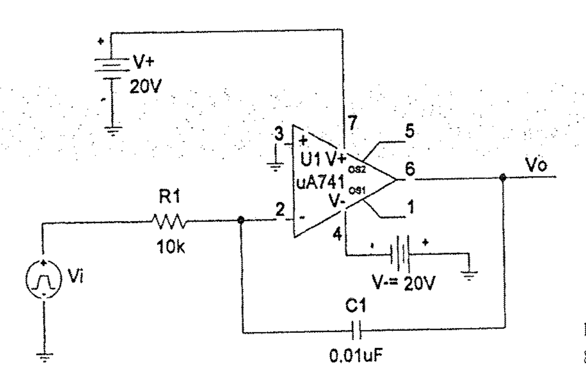


Figura 13.38 Circuito integrador de op-amp.

La figura 13.39 muestra la forma de onda de la entrada en escalón y la forma de onda del voltaje de rampa resultante que se obtuvo mediante PROBE.

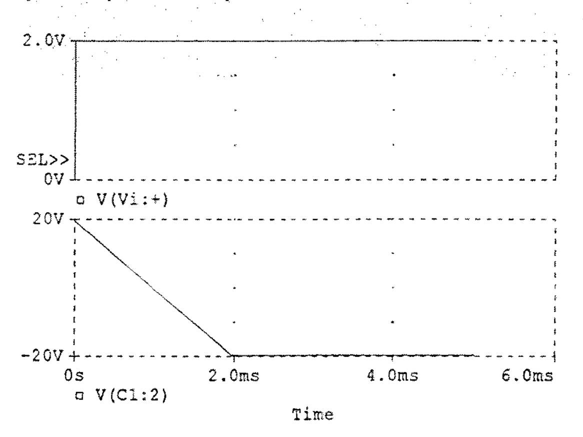
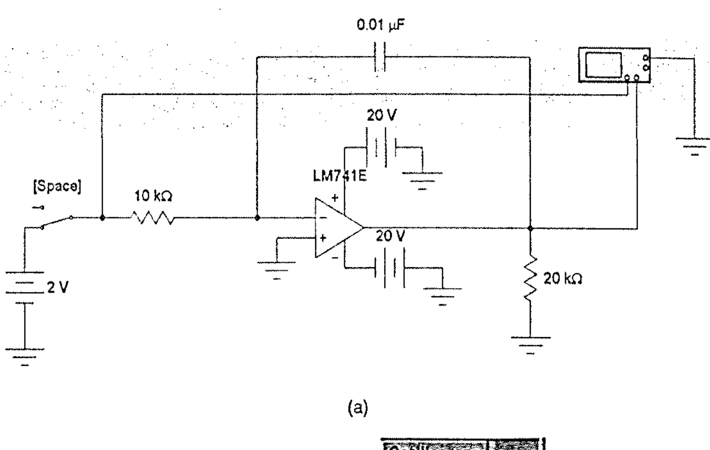


Figura 13.39 Forma de onda de Probe para el circuito integrador.

Electronics Workbench

El mismo circuito integrador puede construirse y operarse con EWB. La figura 13.40a ilustra el circuito integrador construido mediante EWB, con un osciloscopio conectado a la salida del op-amp. La gráfica del osciloscopio obtenida se muestra en la figura 13.40b, la cual tiene la forma de onda lineal de salida de +20 V hacia −20 V en un periodo de cerca de 2 ms.



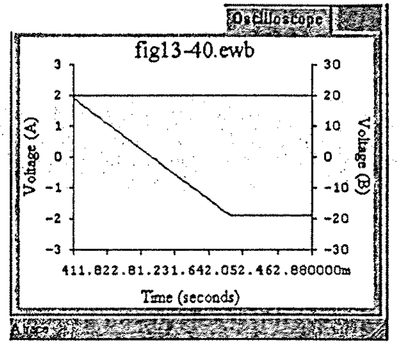


Figura 13.40 Circuito integrador en EWB: (a) circuito; (b) forma de onda.

Programa 13.6: Circuito multietapas con op-amp

En la figura 13.41 se muestra un circuito multietapas con op-amp. La entrada de la etapa 1 de 200 mV proporciona una salida de 200 mV a las etapas 2 y 3. La etapa 2 es un amplificador inversor con una ganancia de $-200\ \text{k}\Omega/20\ \text{k}\Omega = -10$, con una salida de la etapa 2 de $-10(200\ \text{mV}) = -2$ V. La etapa 3 es un amplificador no inversor con una ganancia de $(1 + 200\ \text{k}\Omega/10\ \text{k}\Omega = 21)$, lo que da por resultado una salida de 21(200 mV) = 4.2 V.

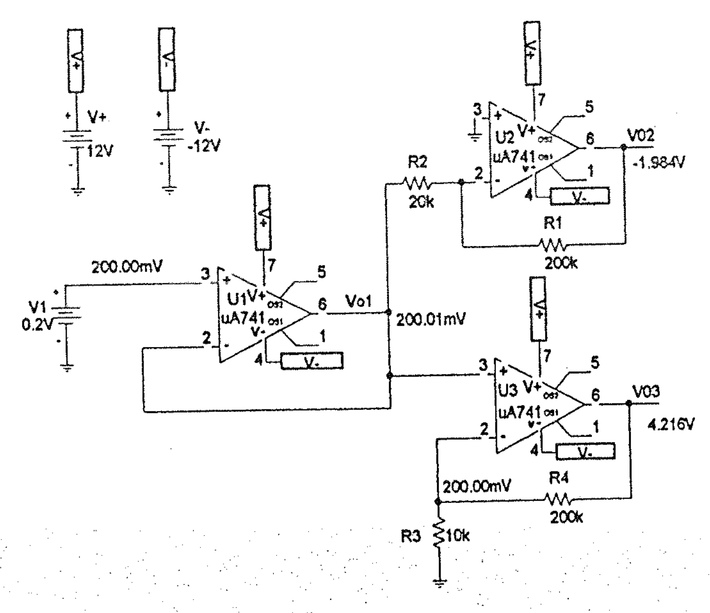


Figura 13.41 Circuito op-amp multietapas.

PROBLEMAS

§ 13.2 Operación en modo diferencial y en modo común

1. Calcule la CMRR (en dB) para las mediciones de circuito de V_d = 1 mV, V_o = 120 mV y V_c = 1 mV, V_o = 20 µV.
2. Determine el voltaje de salida de un op-amp para los voltajes de entrada de V_{i_1} = 200 µV y V_{i_2} = 140 µV. El amplificador tiene una ganancia diferencial de A_d = 6000, y el valor de CMRR es:
   (a) 200.
   (b) 10^5.

§ 13.4 Circuitos con amplificadores operacionales prácticos

3. ¿Cuál es el voltaje de salida del circuito de la figura 13.42?

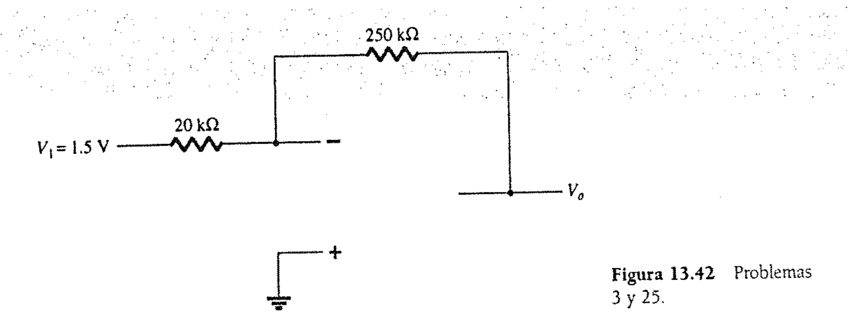


Figura 13.42 Problemas 3 y 25.

4. ¿Cuál es el intervalo de ajuste de la ganancia de voltaje en el circuito de la figura 13.43?

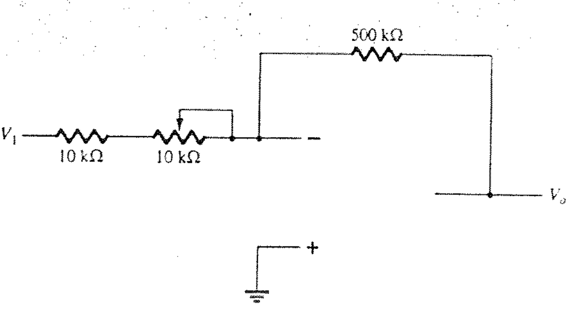


Figura 13.43 Problema 4.

5. ¿Qué voltaje se obtiene con una entrada de 2 V en el circuito de la figura 13.44?

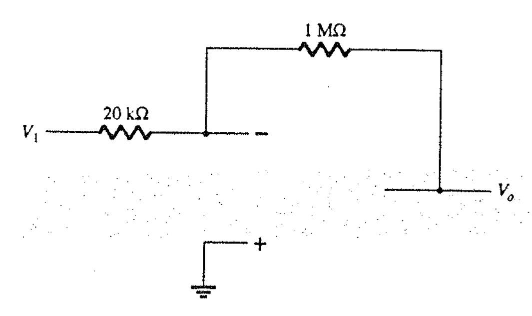


Figura 13.44 Problema 5.

6. ¿Cuál es el intervalo del voltaje de salida en el circuito de la figura 13.45, si la entrada puede variar de 0.1 a 0.5 V?
7. ¿Qué voltaje de salida se obtiene en el circuito de la figura 13.46 para una entrada de $V_1 = -0.3$ V?
8. ¿Qué entrada debe aplicarse a la entrada de la figura 13.46 para obtener una salida de 2.4 V?

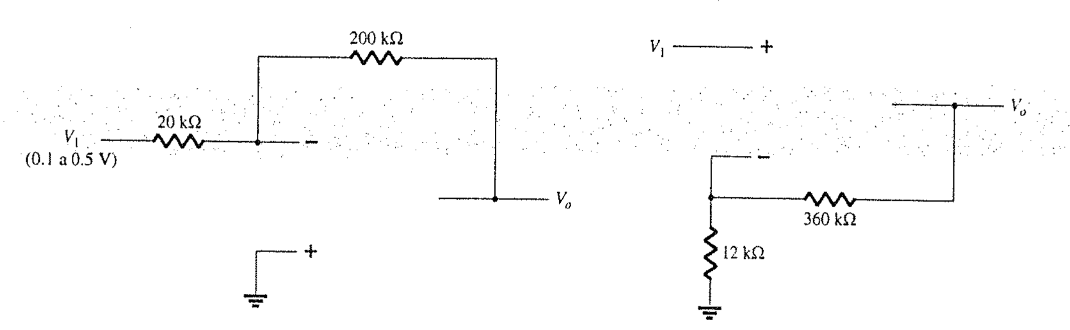


Figura 13.45 Problema 6.

Figura 13.46 Problemas 7, 8 y 26.

9. ¿Qué intervalo de voltaje de salida se desarrolla en el circuito de la figura 13.47?

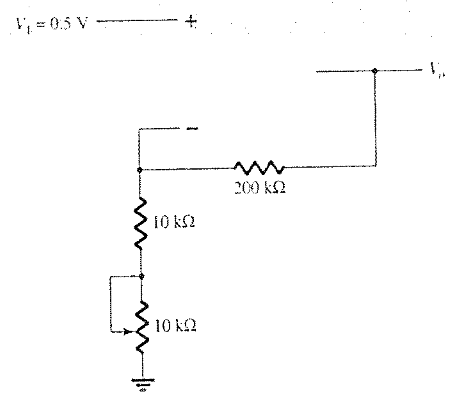


Figura 13.47 Problema 9.

10. Calcule el voltaje de salida desarrollado por el circuito de la figura 13.48 cuando $R_f = 330$ kΩ.
11. Calcule el voltaje de salida del circuito de la figura 13.48 cuando $R_f = 68$ kΩ.

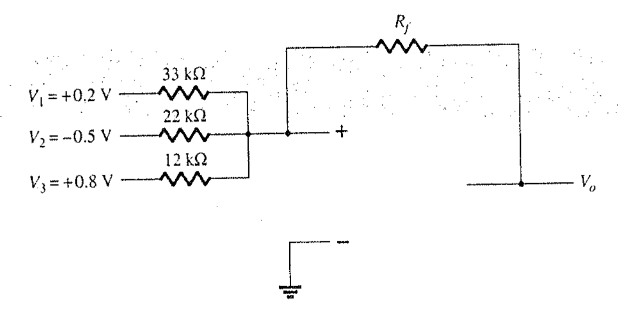


Figura 13.48 Problemas 10, 11 y 27.

12. Trace la forma de onda de salida resultante en la figura 13.49.

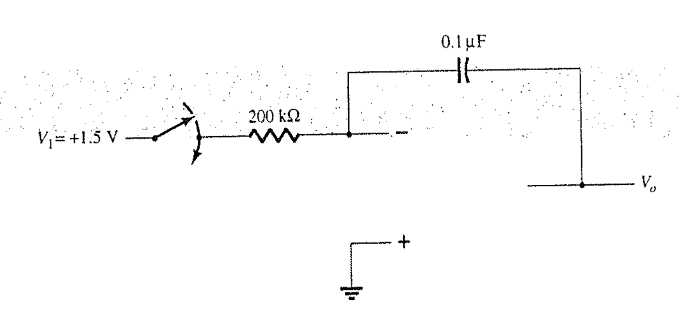


Figura 13.49 Problema 12.

13. ¿Qué voltaje de salida se obtiene en el circuito de la figura 13.50 cuando $V_i = +0.5$ V?

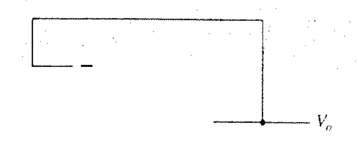


Figura 13.50 Problema 13.

14. Calcule el voltaje de salida del circuito de la figura 13.51.

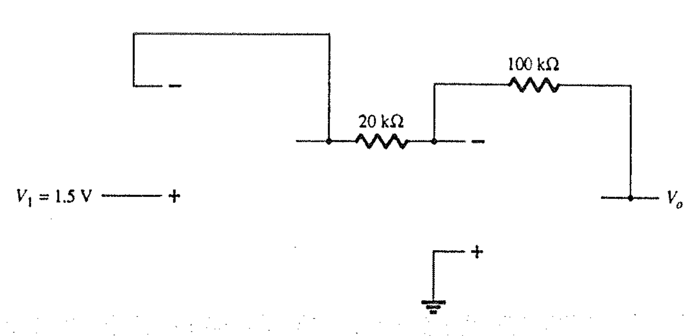


Figura 13.51 Problemas 14 y 28.

15. Calcule los voltajes de salida V_2 y V_3 en el circuito de la figura 13.52.

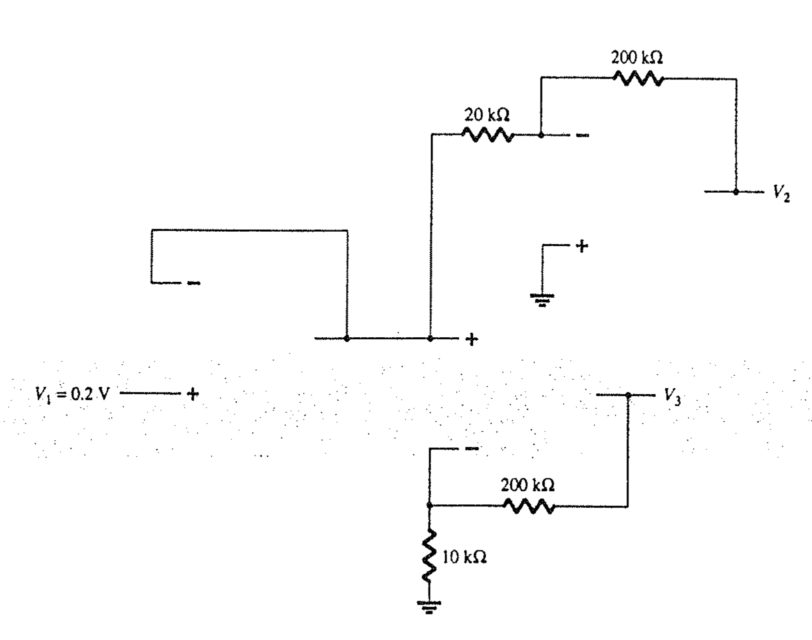


Figura 13.52 Problema 15.

16. Calcule el voltaje de salida V_o en el circuito de la figura 13.53.

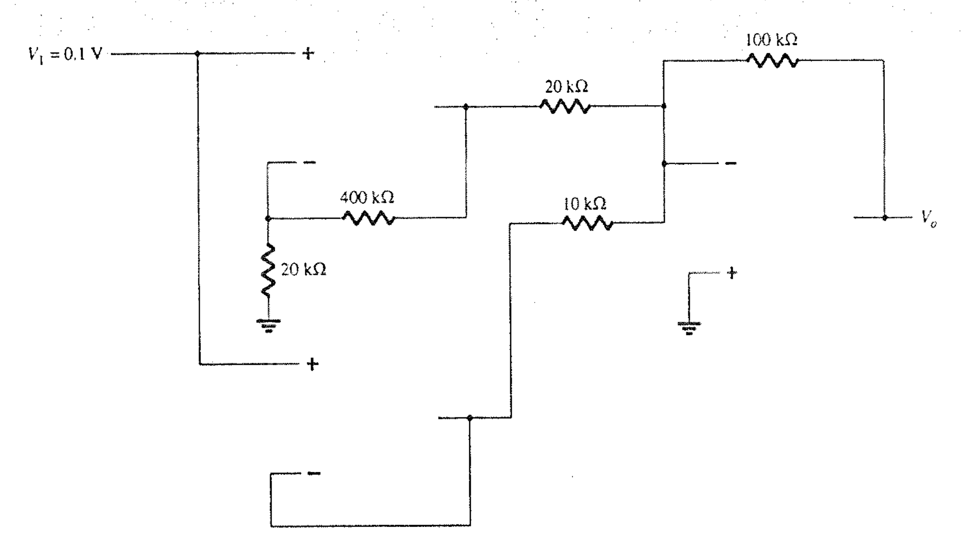


Figura 13.53 Problemas 16 y 29.

17. Calcule V_o en el circuito de la figura 13.54.

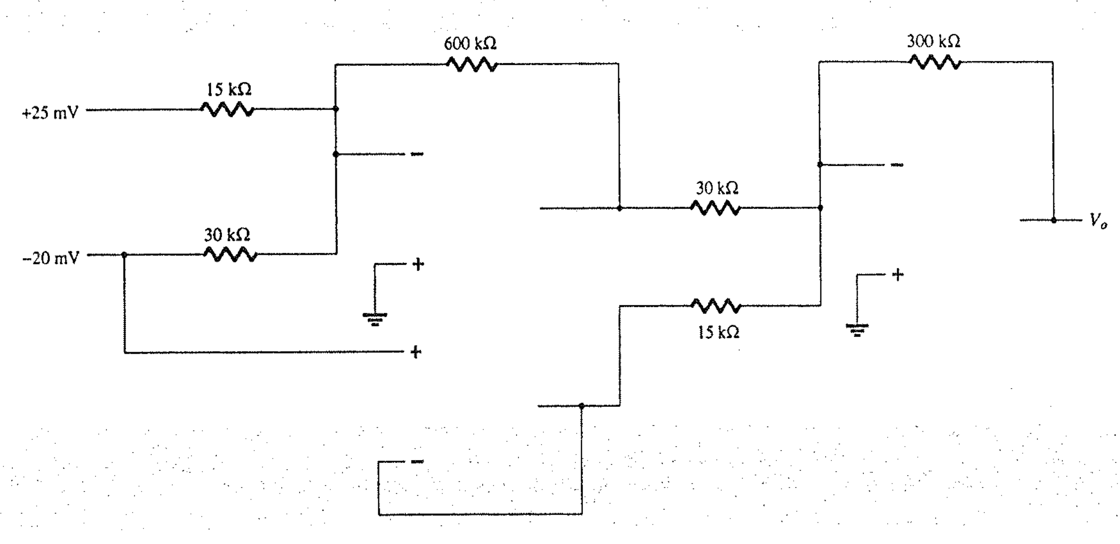


Figura 13.54 Problema 17.

§ 13.5 Especificaciones del op-amp: parámetros de desvío de dc

* 18. Calcule el voltaje de desvío total del circuito de la figura 13.55 para un op-amp con valores especificados de voltaje de desvío de entrada $V_{IO} = 6$ mV y corriente de desvío de entrada $I_{IO} = 120$ nA.

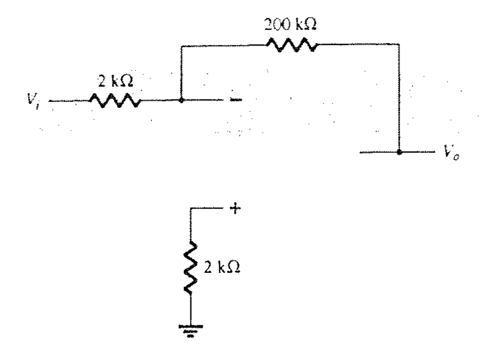


Figura 13.55 Problemas 18, 22, 23 y 24.

* 19. Calcule la corriente de polarización de entrada en cada entrada de un op-amp que cuenta con los valores especificados de I_{IO} = 4 nA e I_{IB} = 20 nA.

§ 13.6 Especificaciones del op-amp: parámetros de frecuencia

20. Determine la frecuencia de corte de un op-amp con los valores especificados de B_1 = 800 kHz y A_{VD} = 150 V/mV.

* 21. Para un op-amp que tiene una rapidez de respuesta de SR = 2.4 V/μs, ¿cuál es la ganancia de voltaje de lazo cerrado máxima que puede emplearse cuando la señal de entrada varía por 0.3 V en 10 μs?

* 22. Para una entrada V_1 = 50 mV en el circuito de la figura 13.55, determine la frecuencia máxima que puede emplearse. La rapidez de respuesta del op-amp SR = 0.4 V/μs.

* 23. Mediante las especificaciones presentadas en la tabla 13.2, calcule el voltaje de desvío típico para la conexión de circuito de la figura 13.55.

* 24. Para las características típicas el op-amp 741, calcule los siguientes valores para el circuito de la figura 13.55:
(a) A_{CL}.
(b) Z_i.
(c) Z_o.

§ 13.9 Análisis por computadora

* 25. Utilice la captura de esquema (Schematic Capture) o EWB para dibujar un circuito que determine el voltaje de salida en el circuito de la figura 13.42.

* 26. Utilice la captura de esquema o EWB para calcular el voltaje de salida en el circuito de la figura 13.46 para la entrada de V_i = 0.5 V.

* 27. Utilice la captura de esquema o EWB para calcular el voltaje de salida en el circuito de la figura 13.48 para R_f = 68 kΩ.

* 28. Utilice la captura de esquema o EWB para calcular el voltaje de salida en el circuito de la figura 13.51.

* 29. Utilice la captura de esquema o EWB para calcular el voltaje de salida en el circuito de la figura 13.53.

* 30. Utilice la captura de esquema o EWB para calcular el voltaje de salida en el circuito de la figura 13.54.

* 31. Utilice la captura de esquema o EWB para obtener la forma de onda de salida para una entrada en escalón de 2 V en un circuito integrador, como el que muestra en la figura 13.20, con valores de R = 40 kΩ y C = 0.003 μF.

*Observe: Los asteriscos indican problemas con mayor dificultad.

CAPÍTULO 14

Aplicaciones del amplificador operacional

14.1 MULTIPLICADOR DE GANANCIA CONSTANTE

Uno de los circuitos de op-amp más comunes es el multiplicador inversor de ganancia constante, el cual proporciona una ganancia o amplificación precisa. La figura 14.1 muestra una conexión de circuito estándar de este tipo, con la ganancia resultante dada por

$$A = -\frac{R_f}{R_1} \tag{14.1}$$

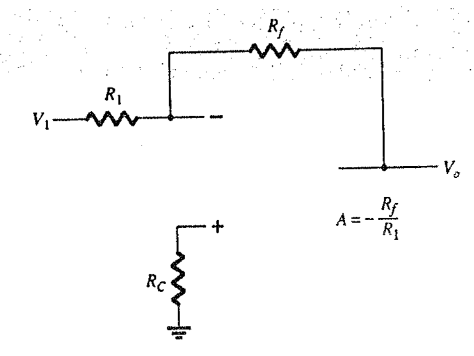


Figura 14.1 Amplificador de ganancia fija.

EJEMPLO 14.1

Determine el voltaje de salida para el circuito de la figura 14.2 con una entrada senoidal de 2.5 mV.

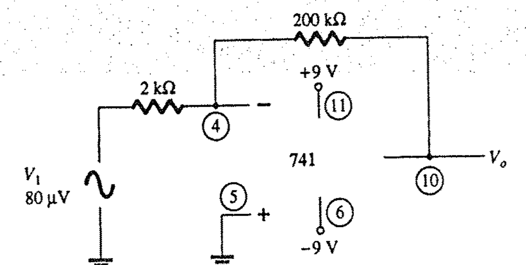


Figura 14.2 Circuito para el ejemplo 14.1.

Solución

El circuito de la figura 14.2 emplea un op-amp 741 para proporcionar una ganancia constante o fija, calculada a partir de la ecuación 14.1 como

$$A = -\frac{R_f}{R_1} = -\frac{200\ \text{k}\Omega}{2\ \text{k}\Omega} = -100$$

El voltaje de salida es entonces

$$V_o = AV_i = -100(2.5\ \text{mV}) = -250\ \text{mV} = \mathbf{-0.25\ V}$$

En la figura 14.3 de presenta un multiplicador no inversor de ganancia constante, con la ganancia dada por

$$\boxed{A = 1 + \frac{R_f}{R_1}} \qquad (14.2)$$

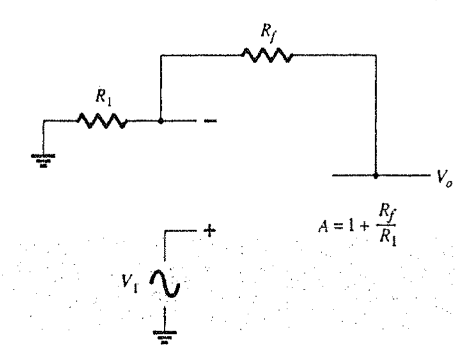
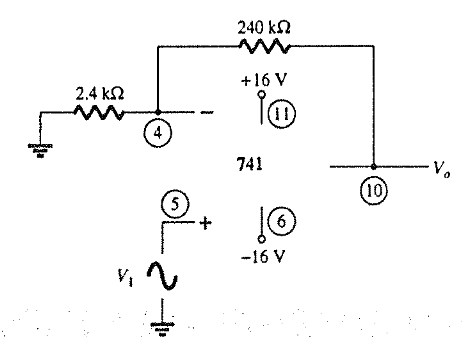


Figura 14.3 Amplificador no inversor de ganancia fija.

EJEMPLO 14.2

Calcule el voltaje de salida del circuito de la figura 14.4, para una entrada de 120 μV.



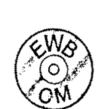


Figura 14.4 Circuito para el ejemplo 14.2.

Solución

La ganancia del circuito op-amp se calcula mediante la ecuación 14.2 de la siguiente forma

$$A = 1 + \frac{R_f}{R_1} = 1 + \frac{240\ \text{k}\Omega}{2.4\ \text{k}\Omega} = 1 + 100 = 101$$

El voltaje de salida será entonces de

$$V_o = AV_i = 101(120\ \mu\text{V}) = \mathbf{12.12\ mV}$$

Ganancias de etapas múltiples

Cuando varias etapas se conectan en serie, la ganancia global será el producto de las ganancias de las etapas individuales. La figura 14.5 muestra una conexión de tres etapas. La primera etapa está conectada para proporcionar una ganancia no inversora como la de la ecuación 14.2. Las siguientes dos etapas proporcionan una ganancia inversora dada por la ecuación 14.1. La ganancia global del circuito será entonces no inversora y calculada mediante

$$A = A_1 A_2 A_3$$

donde $A_1 = 1 + R_f/R_1$, $A_2 = -R_f/R_2$, y $A_3 = -R_f/R_3$.

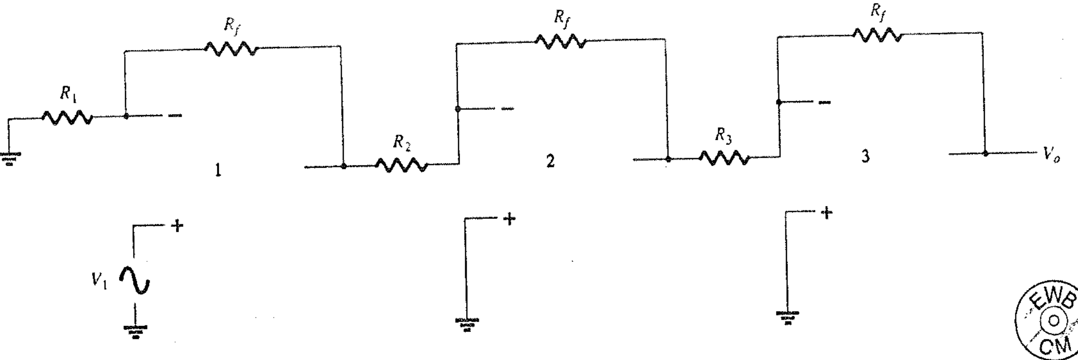


Figura 14.5 Conexión de ganancia constante con múltiples etapas.

EJEMPLO 14.3

Calcule el voltaje de salida mediante el empleo del circuito de la figura 14.5 con los componentes resistores de valor R_f = 470 kΩ, R_1 = 4.3 kΩ, R_2 = 33 kΩ y R_3 = 33 kΩ para una entrada de 80 µV.

Solución

La ganancia del amplificador se calcula como

$$A = A_1 A_2 A_3 = \left(1 + \frac{R_f}{R_1}\right)\left(-\frac{R_f}{R_2}\right)\left(-\frac{R_f}{R_3}\right)$$
$$= \left(1 + \frac{470\ \text{k}\Omega}{4.3\ \text{k}\Omega}\right)\left(-\frac{470\ \text{k}\Omega}{33\ \text{k}\Omega}\right)\left(-\frac{470\ \text{k}\Omega}{33\ \text{k}\Omega}\right)$$
$$= (110.3)(-14.2)(-14.2) = 22.2 \times 10^3$$

de forma que

$$V_o = AV_i = 22.2 \times 10^3(80\ \mu\text{V}) = \mathbf{1.78\ V}$$

EJEMPLO 14.4

Muestre la conexión de un op-amp cuádruple LM124 como un amplificador de tres etapas con ganancias de +10, –18 y –27. Utilice un resistor de retroalimentación de 270 kΩ para los tres circuitos. ¿Qué voltaje de salida se obtendrá para una entrada de 150 μV?

Solución

Para la ganancia de +10:

$$A_1 = 1 + \frac{R_f}{R_1} = +10$$

$$\frac{R_f}{R_1} = 10 - 1 = 9$$

$$R_1 = \frac{R_f}{9} = \frac{270\text{ k}\Omega}{9} = 30\text{ k}\Omega$$

Para la ganancia de −18:

$$A_2 = -\frac{R_f}{R_2} = -18$$

$$R_2 = \frac{R_f}{18} = \frac{270\text{ k}\Omega}{18} = 15\text{ k}\Omega$$

Para la ganancia de −27:

$$A_3 = -\frac{R_f}{R_3} = -27$$

$$R_3 = \frac{R_f}{27} = \frac{270\text{ k}\Omega}{27} = 10\text{ k}\Omega$$

En la figura 14.6 se presenta el circuito que muestra las conexiones de las terminales y todos los componentes empleados. Para una entrada de $V_1 = 150\ \mu\text{V}$, el voltaje de salida será

$$V_o = A_1A_2A_3V_1 = (10)(-18)(-27)(150\ \mu\text{V}) = 4860(150\ \mu\text{V})$$
$$= \mathbf{0.729\ V}$$

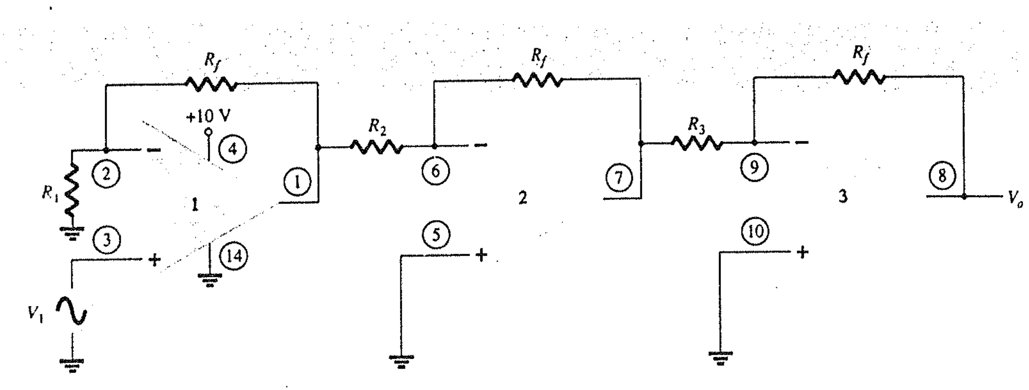


Figura 14.6 Circuito del ejemplo 14.4 (mediante LM124).

También es posible utilizar varias etapas de op-amp para proporcionar ganancias separadas, como se demuestra en el siguiente ejemplo.

EJEMPLO 14.5

Muestre la conexión de tres etapas de op-amp mediante el empleo de un circuito integrado LM348 para proporcionar salidas que sean 10, 20 y 50 veces mayores que la entrada. Utilizar un resistor de retroalimentación de R_f= 500 kΩ en todas la etapas.

Solución

El componente de resistencia para cada etapa se calcula como

$$R_1 = -\frac{R_f}{A_1} = -\frac{500\text{ k}\Omega}{-10} = 50\text{ k}\Omega$$

$$R_2 = -\frac{R_f}{A_2} = -\frac{500\text{ k}\Omega}{-20} = 25\text{ k}\Omega$$

$$R_3 = -\frac{R_f}{A_3} = -\frac{500\text{ k}\Omega}{-50} = 10\text{ k}\Omega$$

El circuito resultante se dibuja en la figura 14.7.

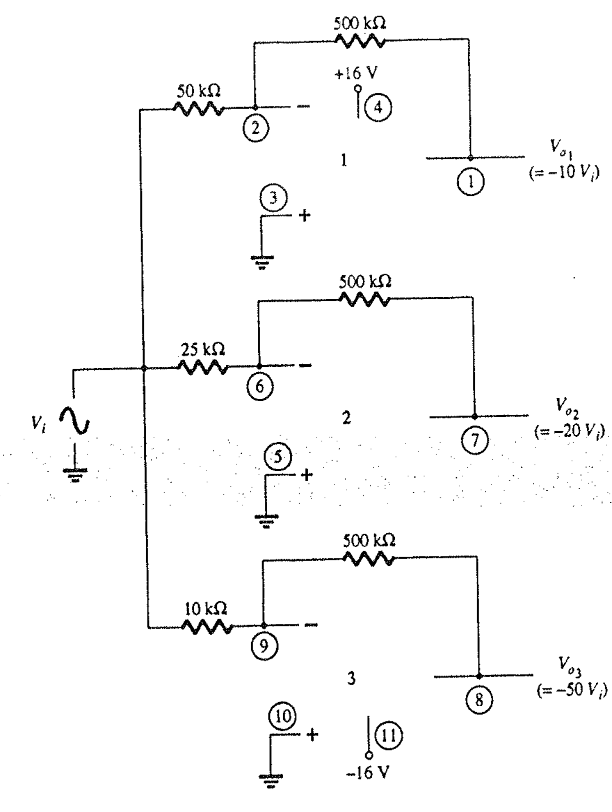


Figura 14.7 Circuito para el ejemplo 14.5 (mediante el LM348).

14.2 SUMADOR DE VOLTAJE

Otro uso común de un op-amp es como amplificador sumador. En la figura 14.8 se muestra la conexión la cual presenta la salida como la suma de las tres entradas, cada una multiplicada por una ganancia diferente. El voltaje de salida será

$$V_o = -\left(\frac{R_f}{R_1}V_1 + \frac{R_f}{R_2}V_2 + \frac{R_f}{R_3}V_3\right) \qquad (14.3)$$

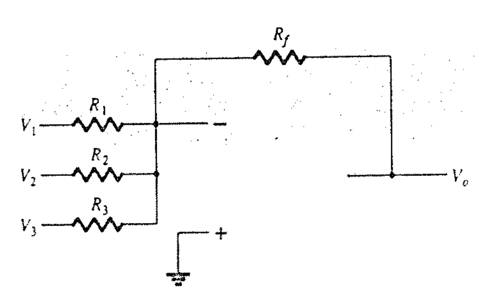


Figura 14.8 Amplificador sumador.

EJEMPLO 14.6

Calcule el voltaje de salida para el circuito de la figura 14.9. Las entradas son $V_1 = 50$ mV sen(1000t) y $V_2 = 10$ mV sen(3000t).

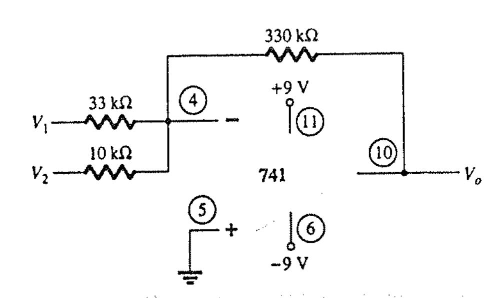


Figura 14.9 Circuito para el ejemplo 14.6.

Solución

El voltaje de salida es

$$V_o = -\left(\frac{330\,\text{k}\Omega}{33\,\text{k}\Omega}V_1 + \frac{330\,\text{k}\Omega}{10\,\text{k}\Omega}V_2\right) = -(10V_1 + 33V_2)$$

$$= -[10(50\text{ mV})\,\text{sen}(1000t) + 33(10\text{ mV})\,\text{sen}(3000t)]$$

$$= \mathbf{-\ [0.5\,sen(1000}t\mathbf{) + 0.33\,sen(3000}t\mathbf{)]}$$

Resta de voltajes

Es posible restar una señal de otra, de distintas formas. La figura 14.10 muestra dos etapas de op-amp empleadas para proporcionar la resta de dos señales. La salida resultante está dada por

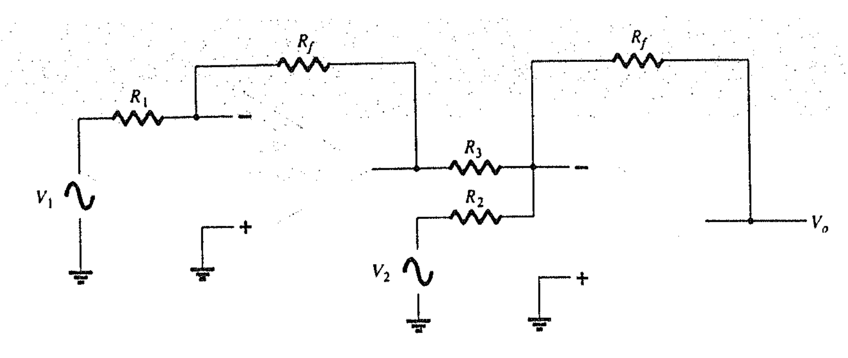


Figura 14.10 Circuito para restar dos señales.

$$V_o = -\left[\frac{R_f}{R_3}\left(-\frac{R_f}{R_1}V_1\right) + \frac{R_f}{R_2}V_2\right]$$

$$\boxed{V_o = -\left(\frac{R_f}{R_2}V_2 - \frac{R_f}{R_3}\frac{R_f}{R_1}V_1\right)} \qquad (14.4)$$

EJEMPLO 14.7

Determine la salida del circuito de la figura 14.10 con los componentes $R_f = 1$ MΩ, $R_1 = 100$ kΩ, $R_2 = 50$ kΩ y $R_3 = 500$ kΩ.

Solución

El voltaje de salida se calcula como

$$V_o = -\left(\frac{1\,\text{M}\Omega}{50\,\text{k}\Omega}V_2 - \frac{1\,\text{M}\Omega}{500\,\text{k}\Omega}\frac{1\,\text{M}\Omega}{100\,\text{k}\Omega}V_1\right) = -(20V_2 - 20V_1) = \mathbf{-20(V_2 - V_1)}$$

La salida es la diferencia de V_2 y V_1 multiplicados por un factor de ganancia de -20.

En la figura 14.11 se presenta otra conexión para proporcionar la resta de dos señales. Esta conexión utiliza solamente una etapa de op-amp para ofrecer la resta de dos señales de entrada. Al utilizar superposición, la salida se presenta como

$$\boxed{V_o = \frac{R_3}{R_1 + R_3}\frac{R_2 + R_4}{R_2}V_1 - \frac{R_4}{R_2}V_2} \qquad (14.5)$$

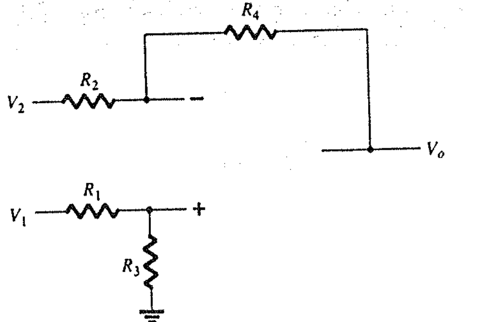


Figura 14.11 Circuito restador.

EJEMPLO 14.8

Determine el voltaje de salida del circuito de la figura 14.12.

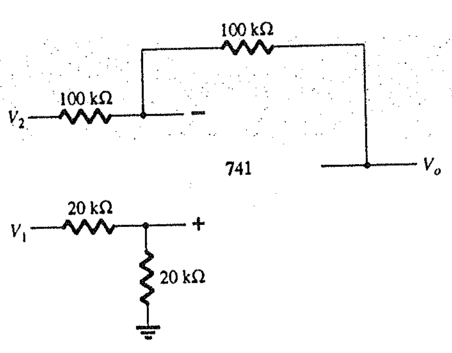


Figura 14.12 Circuito para el ejemplo 14.8.

Solución

El voltaje de salida resultante puede expresarse como

$$V_o = \left(\frac{20\text{ k}\Omega}{20\text{ k}\Omega + 20\text{ k}\Omega}\right)\left(\frac{100\text{ k}\Omega + 100\text{ k}\Omega}{100\text{ k}\Omega}\right)V_1 - \frac{100\text{ k}\Omega}{100\text{ k}\Omega}V_2$$

$$= V_1 - V_2$$

El voltaje resultante de salida aparece como la diferencia de los dos voltajes de entrada.

14.3 ACOPLADOR DE VOLTAJE

Un circuito acoplador de voltaje ofrece un medio para acoplar una señal de entrada con una carga, por medio de una etapa que cuente con una ganancia de voltaje unitaria, sin inversión de fase o polaridad y que actúe como un circuito ideal con una impedancia de entrada muy alta y una impedancia de salida baja. La figura 14.13 presenta un op-amp conectado para ofrecer esta operación de acoplamiento mediante un amplificador. El voltaje de salida se encuentra entonces determinado por

$$\boxed{V_o = V_1} \tag{14.6}$$

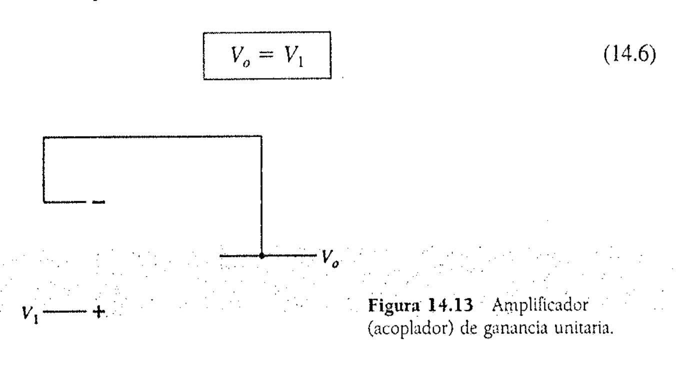


Figura 14.13 Amplificador (acoplador) de ganancia unitaria.

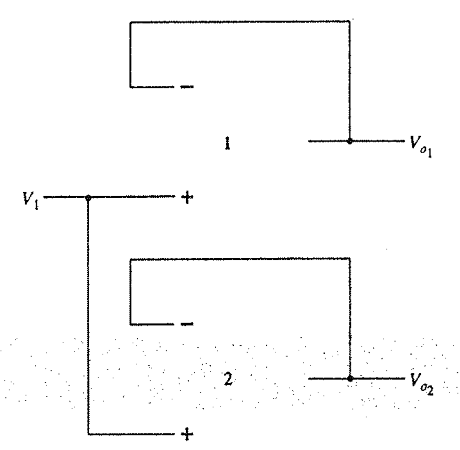


Figura 14.14 Utilización del amplificador de acoplamiento para proporcionar señales de salida.

La figura 14.14 muestra la forma en la que una señal de entrada puede proporcionar dos salidas separadas. La ventaja de esta conexión es que la carga conectada a la salida no tiene (o tiene muy poco) efecto sobre la otra salida. El efecto es que las salidas se encuentran acopladas o aisladas entre sí.

EJEMPLO 14.9

Muestra la conexión de un 741 como un circuito de ganancia unitaria.

Solución

La conexión se muestra en la figura 14.15.

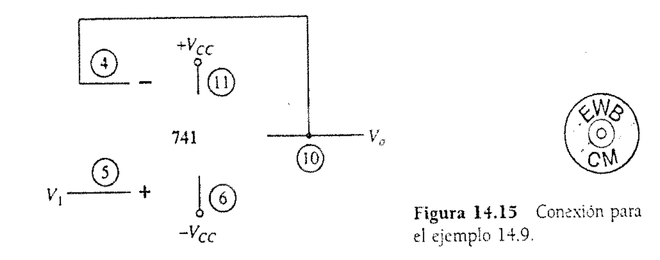


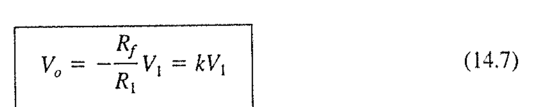
Figura 14.15 Conexión para el ejemplo 14.9.

14.4 FUENTES CONTROLADAS

Es posible utilizar amplificadores operacionales para formar varios tipos de fuentes controladas. Un voltaje de entrada puede utilizarse para controlar un voltaje o una corriente de salida, o una corriente de entrada puede utilizarse para controlar un voltaje o una corriente de salida. Estos tipos de conexión son adecuados para utilizarse en diversos circuitos de instrumentación. A continuación se proporciona una forma de cada tipo de fuente controlada.

Fuente de voltaje controlada por voltaje

En la figura 14.16 se muestra una forma ideal de una fuente de voltaje, cuya salida V_o se controla mediante un voltaje de entrada V_1. El voltaje de salida aparece como dependiente del voltaje de entrada (multiplicado por un factor de escala k). Este tipo de circuito puede construirse por medio de un op-amp, como se indica en la figura 14.17. Se muestran dos versiones de este circuito, una mediante la entrada inversora, mientras que la otra utiliza la entrada no inversora. Para la conexión de la figura 14.17a, el voltaje de salida es



$$\boxed{V_o = -\frac{R_f}{R_1}V_1 = kV_1} \tag{14.7}$$

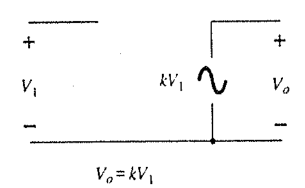


Figura 14.16 Fuente ideal de voltaje controlada por voltaje.

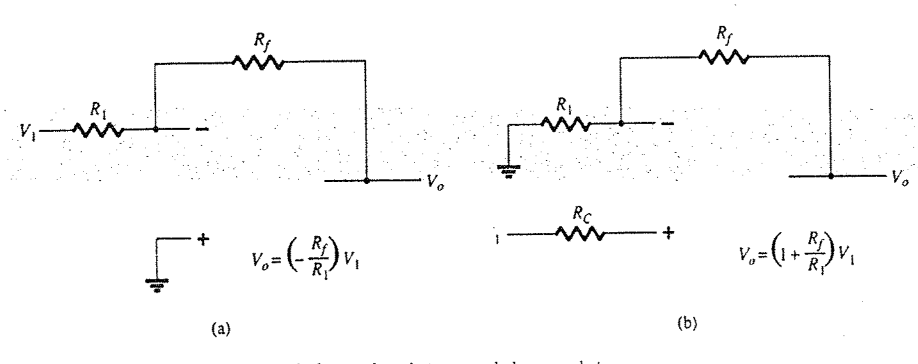


Figura 14.17 Circuitos prácticos de fuente de voltaje controlada por voltaje.

mientras que la de la figura 14.17b, da por resultado

$$V_o = \left(1 + \frac{R_f}{R_1}\right)V_1 = kV_1 \tag{14.8}$$

Fuente de corriente controlada por voltaje

En la figura 14.18 se presenta una forma ideal de un circuito que proporciona una corriente de salida controlada por un voltaje de entrada. La corriente de salida depende del voltaje de entrada. Es posible construir un circuito práctico, como el de la figura 14.19, con la corriente de salida a través del resistor de carga R_L controlada por el voltaje de entrada V_1. La corriente a través del resistor de carga R_L puede verse como

$$I_o = \frac{V_1}{R_1} = kV_1 \tag{14.9}$$

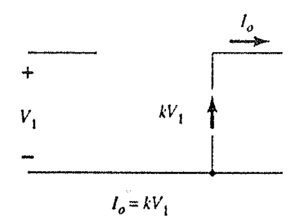


Figura 14.18 Fuente ideal de corriente controlada por voltaje.

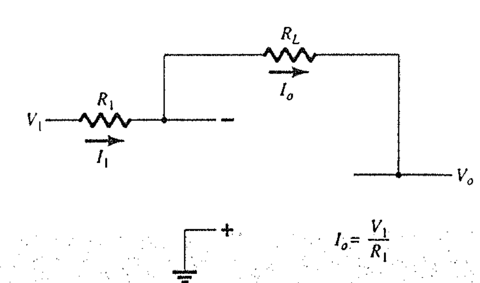


Figura 14.19 Fuente práctica de corriente controlada por voltaje.

Fuente de voltaje controlada por corriente

En la figura 14.20 se presenta una forma ideal de una fuente de voltaje controlada por una corriente de entrada. El voltaje de salida depende de la corriente de entrada. Una forma práctica del circuito se construye mediante el empleo de un op-amp, como se muestra en la figura 14.21. El voltaje de salida puede verse como

$$V_o = -I_1R_L = kI_1 \tag{14.10}$$

Figura 14.20 Fuente ideal de voltaje controlada por corriente.

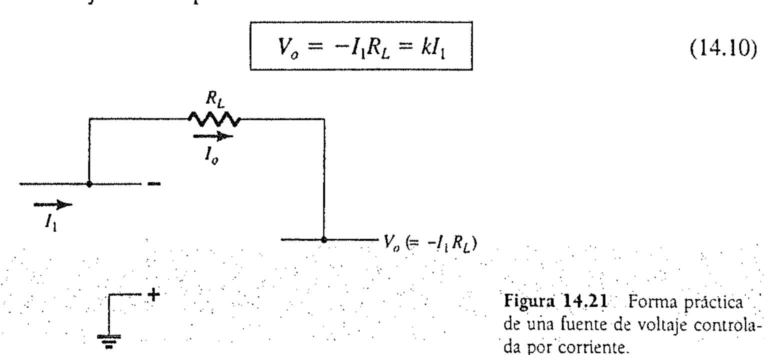
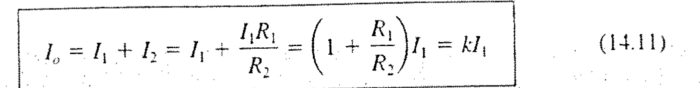


Figura 14.21 Forma práctica de una fuente de voltaje controlada por corriente.

Fuente de corriente controlada por corriente

En la figura 14.22 se muestra una forma ideal de un circuito que proporciona una corriente de salida que depende de una corriente de entrada. En este tipo de circuito, se genera una corriente de salida que es dependiente de la corriente de entrada. En la figura 14.23 se muestra una forma práctica del circuito. Puede verse que la corriente de entrada I_1 ocasiona la corriente de salida I_o, por lo que



$$I_o = I_1 + I_2 = I_1 + \frac{I_1R_1}{R_2} = \left(1 + \frac{R_1}{R_2}\right)I_1 = kI_1 \tag{14.11}$$

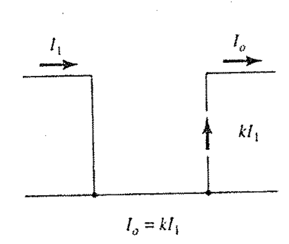


Figura 14.22 Fuente ideal de corriente controlada por corriente.

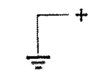


Figura 14.23 Forma práctica de una fuente de corriente controlada por corriente.

EJEMPLO 14.10

(a) Para el circuito de la figura 14.24a, calcule I_L.
(b) Para el circuito de la figura 14.24b, calcule V_o.

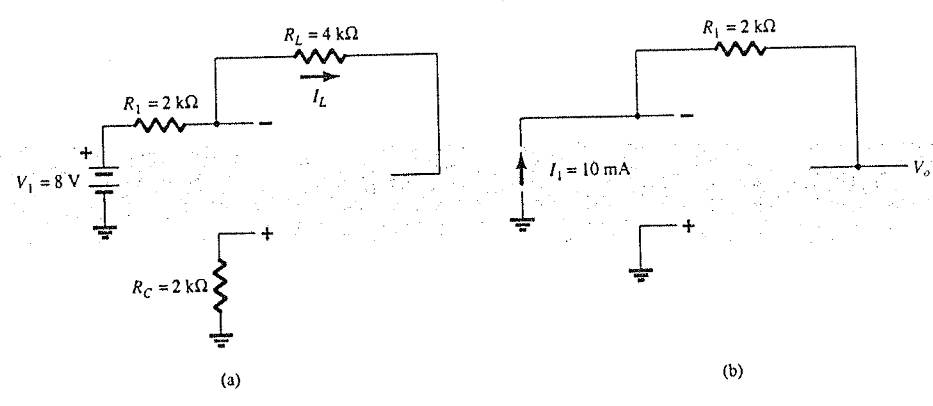


Figura 14.24 Circuitos para el ejemplo 14.10.

Solución

(a) Para el circuito de la figura 14.24a,

$$I_L = \frac{V_1}{R_1} = \frac{8\ \text{V}}{2\ \text{k}\Omega} = \mathbf{4\ mA}$$

(b) Para el circuito de la figura 14.24b,

$$V_o = -I_1R_1 = -(10\ \text{mA})(2\ \text{k}\Omega) = \mathbf{-20\ V}$$

14.5 CIRCUITOS DE INSTRUMENTACIÓN

Un campo común de aplicación de op-amps son los circuitos de instrumentación, como los voltímetros de dc o de ac. Se presentarán algunos circuitos típicos para demostrar la forma en la que pueden utilizarse los op-amps.

Milivoltímetro de dc

La figura 14.25 muestra un op-amp 741 utilizado como amplificador básico en un milivoltímetro de dc. El amplificador ofrece un medidor con alta impedancia de entrada y factores de escala que dependen únicamente de los valores y precisión de los resistores. Observe que la lectura del medidor representa los milivolts de la señal en el circuito de entrada. Un análisis del circuito op-amp proporciona la función de transferencia del circuito

$$\left|\frac{I_o}{V_1}\right| = \frac{R_f}{R_1}\left(\frac{1}{R_S}\right) = \left(\frac{100\ \text{k}\Omega}{100\ \text{k}\Omega}\right)\left(\frac{1}{10\ \Omega}\right) = \frac{1\ \text{mA}}{10\ \text{mV}}$$

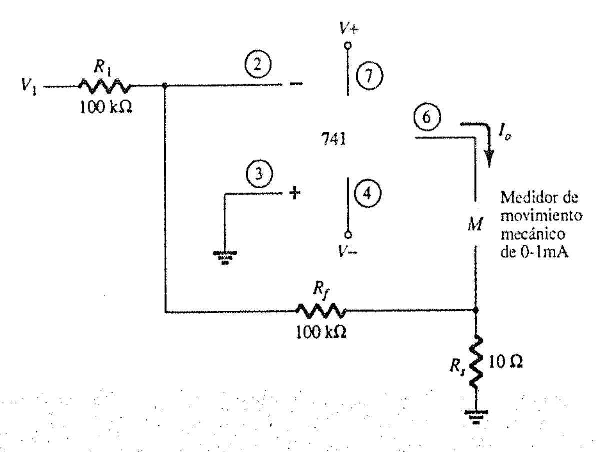


Figura 14.25 Milivoltímetro de dc que utiliza un op-amp.

De esta forma, una entrada de 10 mV dará como resultado una corriente a través del medidor de 1 mA. Si la entrada es igual a 5 mV, la corriente a través del medidor será de 0.5 mA, lo cual es una deflexión de la mitad de la escala. Si, por ejemplo, se modifica R_f a 200 kΩ, se obtendrá un factor de escala del circuito de

$$\left|\frac{I_o}{V_1}\right| = \left(\frac{200\ \text{k}\Omega}{100\ \text{k}\Omega}\right)\left(\frac{1}{10\ \Omega}\right) = \frac{1\ \text{mA}}{5\ \text{mV}}$$

con lo que se muestra que ahora el medidor presentará la lectura de 5 mV, a escala completa. Debe tenerse presente que la construcción de un milivoltímetro como éste, requiere la adquisición de un op-amp, algunos resistores, diodos, capacitores y un medidor con movimiento.

Milivoltímetro de ac

Otro ejemplo de un circuito de instrumentación es el milivoltímetro de ac que se presenta en la figura 14.26. La función de transferencia del circuito es

$$\left|\frac{I_o}{V_1}\right| = \frac{R_f}{R_1}\left(\frac{1}{R_S}\right) = \left(\frac{100\ \text{k}\Omega}{100\ \text{k}\Omega}\right)\left(\frac{1}{10\ \Omega}\right) = \frac{1\ \text{mA}}{10\ \text{mV}}$$

que parece ser la misma que la del milivoltímetro de dc, excepto que en este caso la señal se maneja como una señal de ac. La indicación del medidor proporciona una deflexión a escala completa, para un voltaje de entrada de ac, de 10 mV, mientras que una entrada ac de 5 mV dará como resultado una deflexión de media escala con la lectura del medidor interpretada en unidades de milivolts.

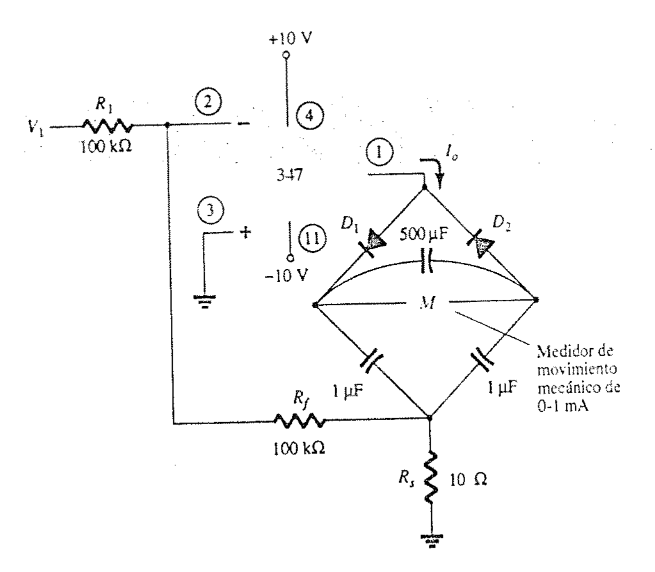


Figura 14.26 Milivoltímetro de ac que utiliza un op-amp.

Manejador de pantalla de despliegue

La figura 14.27 muestra algunos circuitos de op-amps que pueden utilizarse para encender pantallas de despliegue de LEDs o una lámpara. Cuando la entrada no inversora del circuito de la figura 14.27a está por encima de la entrada inversora, la salida en la terminal 1 llega al nivel positivo de saturación (cerca de +5 V para este ejemplo) y la lámpara se enciende cuando el transistor Q_1 conduce. Como se muestra en el circuito, la salida del op-amp proporciona 30 mA de corriente a la base del transistor Q_1, el cual, a su vez conduce 600 mA a través de un transistor seleccionado adecuadamente (con $\beta > 20$), capaz de manejar esa cantidad de corriente. La figura 14.27b muestra un circuito de op-amp capaz de proporcionar 20 mA para manejar una pantalla de despliegue de LEDs, cuando la entrada no inversora se hace positiva en comparación con la entrada inversora.

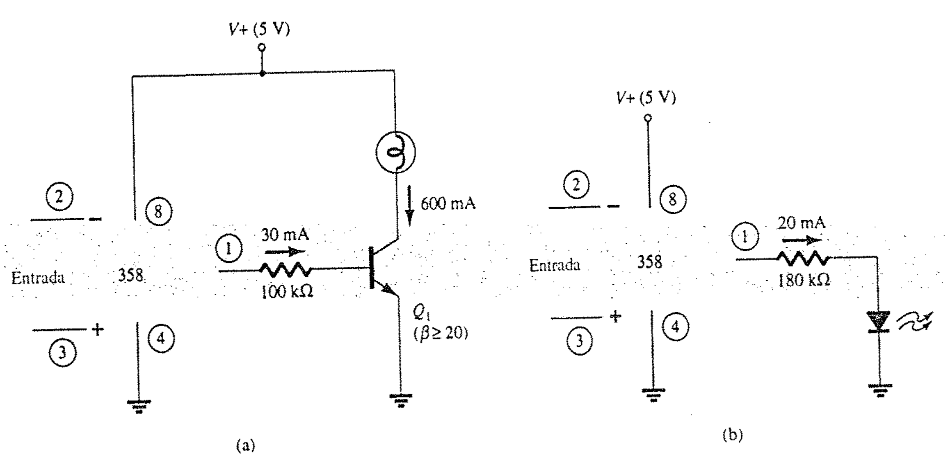


Figura 14.27 Circuitos para manejo de pantallas de despliegue: (a) manejador de lámpara; (b) manejador de LED.

Amplificador de instrumentación

En la figura 14.28 se muestra un circuito que proporciona una salida con base en la diferencia entre dos entradas (multiplicada por un factor de escala). Se proporciona un potenciómetro para permitir el ajuste del factor de escala del circuito. A pesar de que se emplean tres op-amps, un circuito integrado cuádruple simple es todo lo que se requerirá (además de los componentes resistivos). El voltaje de salida es

$$\frac{V_o}{V_1 - V_2} = 1 + \frac{2R}{R_P}$$

por lo que la salida puede obtenerse a partir de

$$V_o = \left(1 + \frac{2R}{R_P}\right)(V_1 - V_2) = k(V_1 - V_2) \qquad (14.12)$$

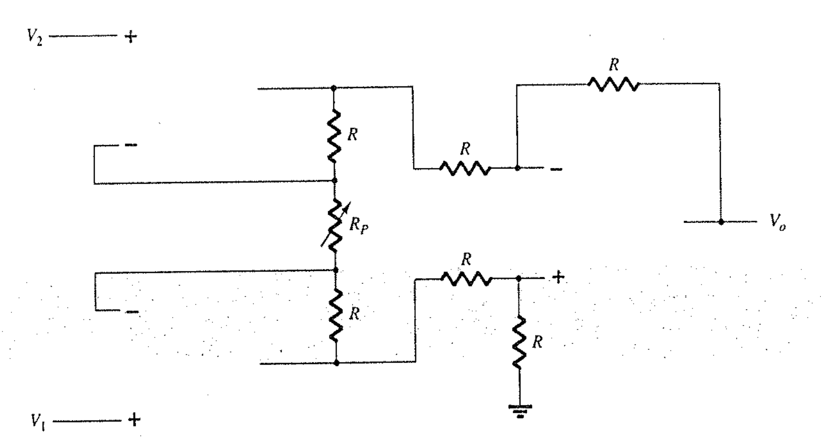


Figura 14.28 Amplificador de instrumentación.

EJEMPLO 14.11 Determine la expresión para el voltaje de salida del circuito de la figura 14.29.

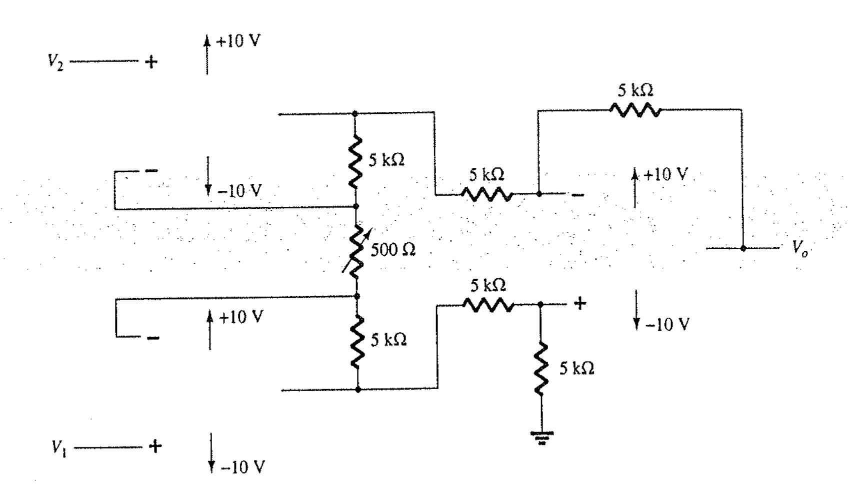


Figura 14.29 Circuito para el ejemplo 14.11.

Solución

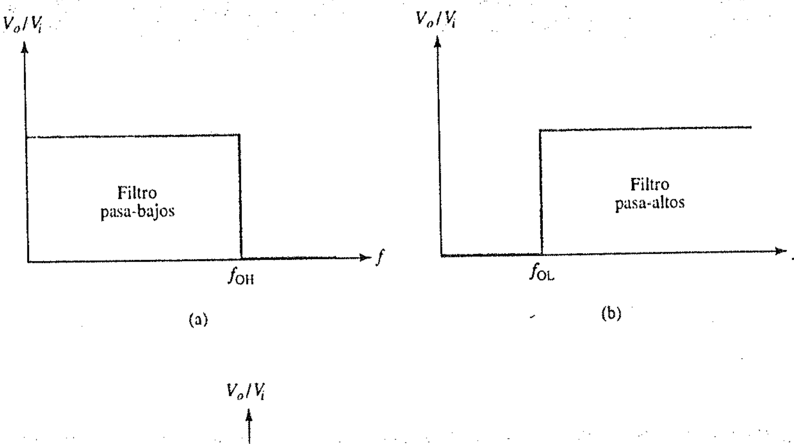
El voltaje de salida puede entonces expresarse mediante la ecuación 14.12 como

$$V_o = \left(1 + \frac{2R}{R_P}\right)(V_1 - V_2) = \left[1 + \frac{2(5000)}{500}\right](V_1 - V_2)$$
$$= 21(V_1 - V_2)$$

14.6 FILTROS ACTIVOS

Una aplicación común emplea op-amps para construir circuitos de filtro activos. Un circuito de filtro puede construirse por medio de componentes pasivos: resistores y capacitores. Un filtro activo emplea además un amplificador para proporcionar una amplificación de voltaje y un acoplamiento de señal.

Un filtro que proporciona una salida constante desde dc hasta una frecuencia de corte f_{OH} y que luego no conduce ninguna señal por arriba de esta frecuencia se denomina como un filtro pasa-bajos ideal. La respuesta ideal de un filtro pasa-bajos se muestra en la figura 14.30a. Un filtro que proporciona o permite el paso de señales por arriba de una frecuencia de corte f_{OL} es un filtro pasa-altos, como se presenta de forma ideal en la figura 14.30b. Cuando el circuito de filtro permite el paso de señales que se encuentran por encima de una frecuencia de corte ideal y por debajo de una segunda frecuencia de corte, se denomina un filtro pasa-banda, como se presenta de forma ideal en la figura 14.30c.



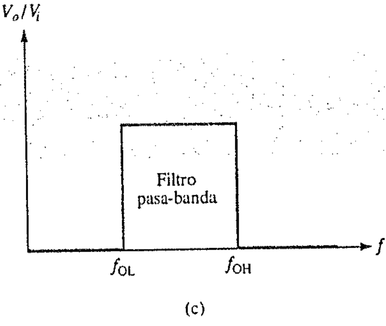


Figura 14.30 Respuesta ideal de los filtros: (a) pasa-bajos; (b) pasa-altos; (c) pasa-banda.

Filtro pasa-bajos

Un filtro pasa-bajos de primer orden, mediante un solo resistor y un capacitor como en la figura 14.31a, cuenta con una pendiente en la práctica de –20 dB por década, como se muestra en la figura 14.31b (en lugar de la respuesta ideal de la figura 14.30a). La ganancia de voltaje por debajo de la frecuencia de corte es constante en

$$\boxed{A_v = 1 + \frac{R_F}{R_G}} \qquad (14.13)$$

para una frecuencia de corte de

$$\boxed{f_{OH} = \frac{1}{2\pi R_1 C_1}} \qquad (14.14)$$

Al conectar dos secciones de filtro como en la figura 14.32, se obtiene un filtro pasa-bajos de segundo orden con un corte en –40 dB por década, lo cual es más cercano a las características de la figura 14.30a. La ganancia de voltaje y la frecuencia de corte del circuito son las mismas para el circuito de segundo orden que para el circuito de filtro de primer orden, con la excepción de que la respuesta del filtro cae a una tasa más rápida para el caso del circuito de filtro de segundo orden.

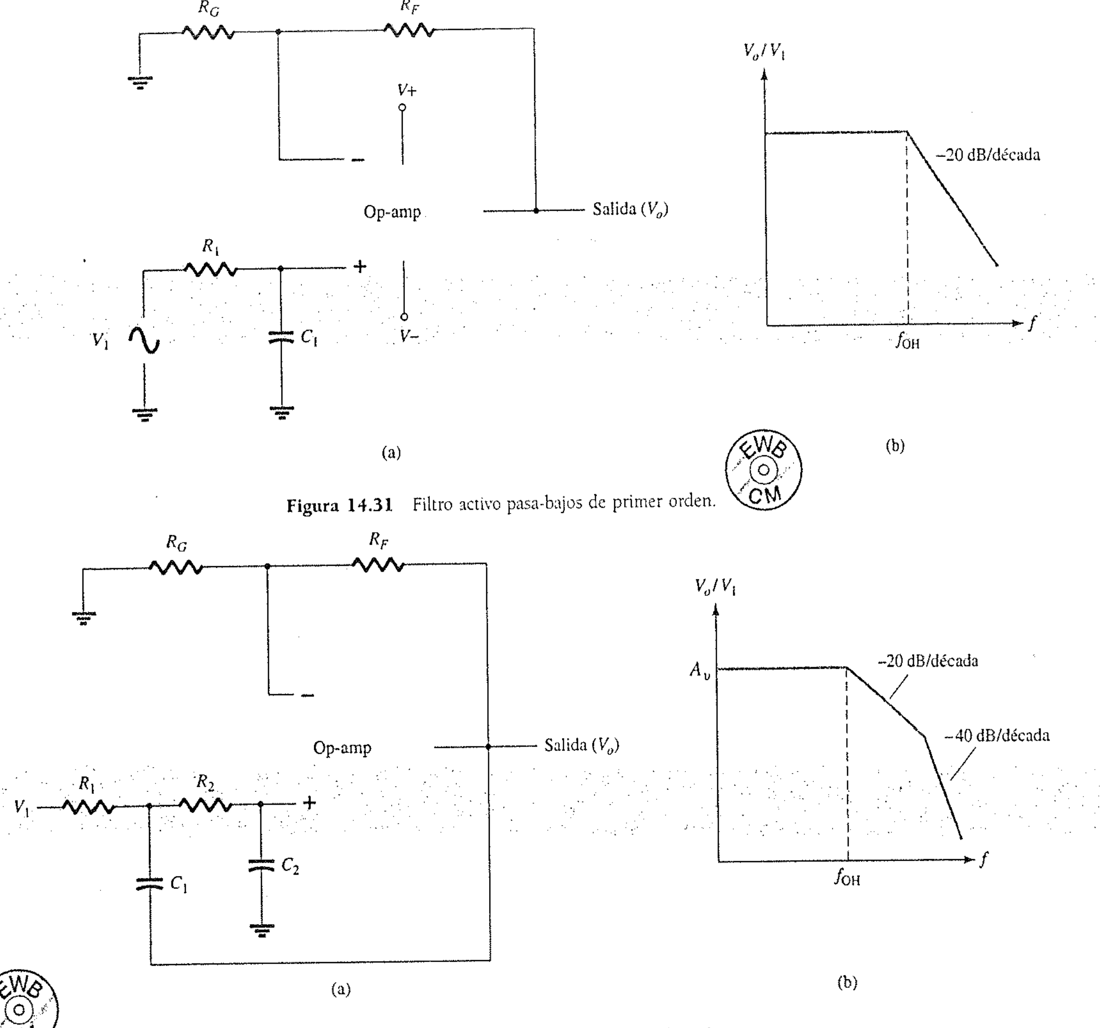


Figura 14.31 Filtro activo pasa-bajos de primer orden.

Figura 14.32 Filtro activo pasa-bajos de segundo orden.

EJEMPLO 14.12

Calcule la frecuencia de corte de un filtro pasa-bajos de primer orden con R_1 = 1.2 kΩ y C_1 = 0.02 μF.

Solución

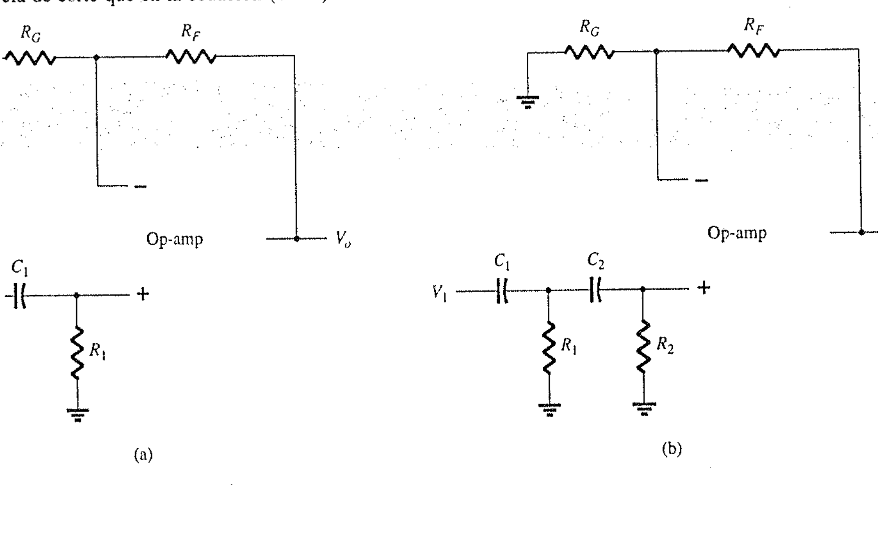
$$f_{OH} = \frac{1}{2\pi R_1 C_1} = \frac{1}{2\pi(1.2 \times 10^3)(0.02 \times 10^{-6})} = \mathbf{6.63\ kHz}$$

Filtro activo pasa-altos

Es posible construir filtros activos pasa-altos de primero y segundo orden como los mostrados la figura 14.33. La ganancia de amplificación se calcula mediante la ecuación 14.13. La frecuencia de corte del amplificador es

$$\boxed{f_{OL} = \frac{1}{2\pi R_1 C_1}} \qquad (14.15)$$

con un filtro de segundo orden $R_1 = R_2$ y $C_1 = C_2$ lo que da como resultado la misma frecuencia de corte que en la ecuación (14.15).



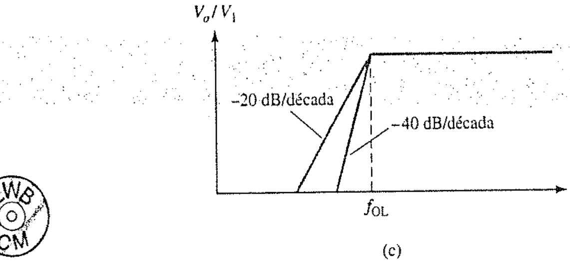


Figura 14.33 Filtro pasa-altos: (a) de primer orden; (b) de segundo orden; (c) gráfica de la respuesta.

EJEMPLO 14.13

Calcule la frecuencia de corte de un filtro pasa-altos de segundo orden como el de la figura 14.33b cuando $R_1 = R_2 = 2.1\ \text{k}\Omega$, $C_1 = C_2 = 0.05\ \mu\text{F}$ y $R_G = 10\ \text{k}\Omega$, $R_F = 50\ \text{k}\Omega$.

Solución

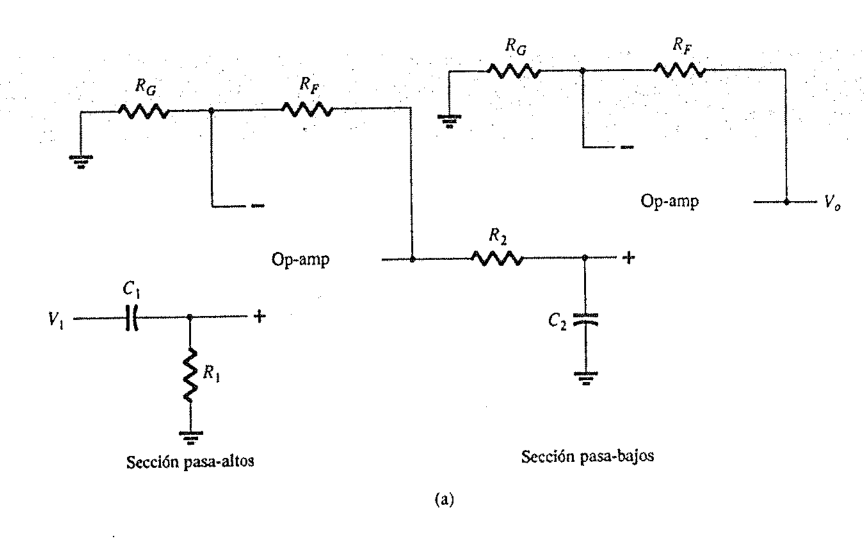
$$\text{Ecuación 14.13:}\quad A_v = 1 + \frac{R_F}{R_G} = 1 + \frac{50\ \text{k}\Omega}{10\ \text{k}\Omega} = 6$$

La frecuencia de corte será entonces

$$\text{Ecuación 14.15:}\quad f_{OL} = \frac{1}{2\pi R_1 C_1} = \frac{1}{2\pi(2.1 \times 10^3)(0.05 \times 10^{-6})} \approx \mathbf{1.5\ kHz}$$

Filtro pasa-banda

La figura 14.34 muestra un filtro pasa-banda que utiliza dos etapas, la primera es un filtro pasa-altos y la segunda es un filtro pasa-bajos; la operación combinada da como resultado la respuesta pasa-banda deseada.



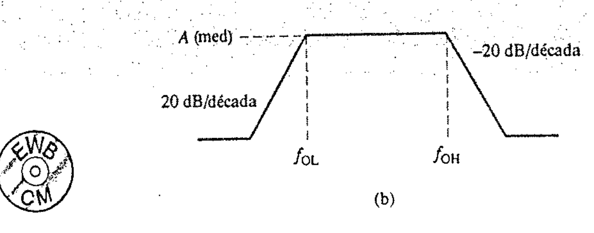


Figura 14.34 Filtro activo pasa-banda.

EJEMPLO 14.14

Calcule las frecuencias de corte del circuito filtro pasa-banda de la figura 14.34, con $R_1 = R_2 = 10\ \text{k}\Omega$, $C_1 = 0.1\ \mu\text{F}$ y $C_2 = 0.002\ \mu\text{F}$.

Solución

$$f_{OL} = \frac{1}{2\pi R_1 C_1} = \frac{1}{2\pi(10 \times 10^3)(0.1 \times 10^{-6})} = \mathbf{159.15\ Hz}$$

$$f_{OH} = \frac{1}{2\pi R_2 C_2} = \frac{1}{2\pi(10 \times 10^3)(0.002 \times 10^{-6})} = \mathbf{7.96\ kHz}$$

14.7 RESUMEN

Ecuaciones

Multiplicador de ganancia constante:

$$A = -\frac{R_f}{R_1}$$

Multiplicador no inversor de ganancia constante:

$$A = 1 + \frac{R_f}{R_1}$$

Amplificador sumador de voltaje:

$$A = -\left[\frac{R_f}{R_1}V_1 + \frac{R_f}{R_2}V_2 + \frac{R_f}{R_3}V_3\right]$$

Acoplador de voltajes:

$$V_o = V_1$$

Frecuencia de corte del filtro activo pasa-bajos:

$$f_{OH} = \frac{1}{2\pi R_1 C_1}$$

Frecuencia de corte del filtro activo pasa-bajos:

$$f_{OL} = \frac{1}{2\pi R_1 C_1}$$

14.8 ANÁLISIS POR COMPUTADORA

Muchas de las aplicaciones prácticas de op-amp cubiertas en este capítulo se pueden analizar mediante el empleo de PSpice. Se utilizará el análisis de distintos problemas para presentar la polarización de dc resultante o, mediante la función **PROBE,** para desplegar las formas de onda resultantes. Como siempre, primero se emplea el dibujo de esquemas (**Schematic**) para trazar el diagrama del circuito y establecer el análisis deseado, y luego se utiliza la función de simulación (**Simulation**) para analizar el circuito. Por último, se revisa la salida (**Output**) resultante o se utiliza **PROBE** para observar las distintas formas de onda.

Programa 14.1: Op-amp sumador

En la figura 14.35 se muestra un op-amp sumador que utiliza un circuito integrado 741. Se suman tres voltajes de dc de entrada, con lo que se obtiene un voltaje de dc de salida de la siguiente forma:

$$V_o = -[(100\text{ k}\Omega/20\text{ k}\Omega)(+2\text{ V}) + (100\text{ k}\Omega/50\text{ k}\Omega)(-3\text{ V}) + (100\text{ k}\Omega/10\text{ k}\Omega(+1\text{ V})]$$

$$= -[(10\text{ V}) + (-6\text{ V}) + (10\text{ V})] = -[20\text{ V} - 6\text{ V}] = -14\text{ V}$$

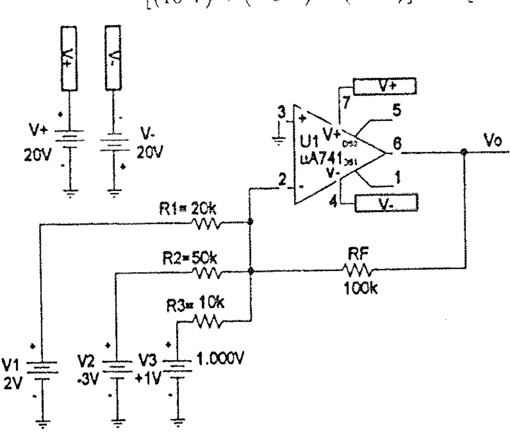


Figura 14.35 Amplificador sumador que utiliza un op-amp μA741.

Los pasos para dibujar el circuito y efectuar el análisis son los siguientes. Mediante **Get New Part:**

Seleccione **uA741.**

Seleccione **R** y de forma continua, coloque los tres resistores de entrada y el resistor de retroalimentación; seleccione los valores de los resistores y, si lo desea, cambie los nombres de éstos.

Seleccione **VDC** y coloque los tres voltajes de entrada y las dos fuentes de voltaje; seleccione los valores de voltaje y, si lo desea, cambie los nombres de éstos.

Seleccione **GLOBAL** (conector global) y utilícelo para identificar los voltajes de alimentación y para efectuar la conexión con las terminales (4 y 7), alimentación, del op-amp.

Ahora que el circuito se ha dibujado, y todos los valores y nombres de partes se han seleccionado como en la figura 14.35, presione el botón de **Simulation** para hacer que PSpice analice el circuito. Dado que no se ha seleccionado un análisis específico, solamente se efectuará la polarización en dc.

Presione el botón de **Enable Bias Voltage Display** para observar los voltajes de dc en distintos puntos del circuito. Los voltajes de dc presentados en la figura 14.35 muestran que la salida será de –13.99 V (en comparación con el valor antes calculado de –14 V).

Programa 14.2: Voltímetro de dc que utiliza un op-amp

En el esquema de la figura 14.36 se presenta un voltímetro de dc realizado mediante un op-amp μA741. A partir del material presentado en la sección 14.5, la función de transferencia de este circuito será

$$I_o/V_1 = (R_F/R_1)(1/R_S) = (1\text{ M}\Omega/1\text{ M}\Omega)(1/10\text{ k}\Omega)$$

El valor a escala completa para este voltímetro (para I_o, la escala completa en 1 mA) será entonces

$$V_1(\text{escala completa}) = (10\text{ k}\Omega)(1\text{ mA}) = 10\text{ V}$$

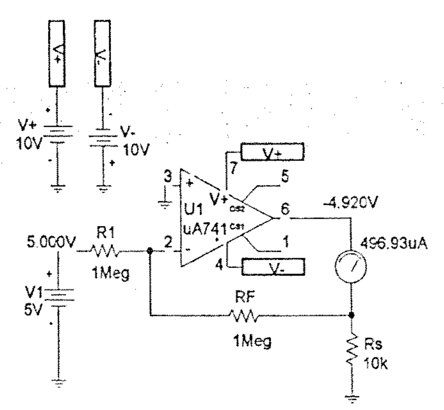


Figura 14.36 Voltímetro de dc que utiliza un op-amp.

De esta forma, una entrada de 10 V dará como resultado una corriente medida de 1 mA: la deflexión de escala completa del medidor. Cualquier entrada menor a 10 V ocasionará una deflexión proporcionalmente menor a la del medidor.

Los pasos para dibujar el circuito y efectuar el análisis son los siguientes. Mediante el empleo de **Get New Part:**

Seleccione **μA741.**

Seleccione **R** y de forma continua, coloque el resistor de entrada, el resistor de retroalimentación y el resistor de ajuste del medidor; establezca los valores de los resistores y, si lo desea, cambie los nombres de éstos.

Seleccione **VDC** y coloque el voltaje de entrada y las dos fuentes de voltaje; seleccione los valores de voltaje y si lo desea, cambie los nombres de éstos.

Seleccione **GLOBAL** (conector global) y utilícelo para identificar los voltajes de alimentación y para efectuar la conexión con las terminales (4 y 7), alimentación, del op-amp.

Seleccione **IPROBE** y utilícelo como indicador de medición.

Ahora que el circuito se ha dibujado, y todos los valores y nombres de partes se han seleccionado como se muestra en la figura 14.36, presione el botón de **Simulation** para hacer que PSpice analice el circuito. Dado que no se ha seleccionado un análisis específico, solamente se efectuará la polarización en dc.

La figura 14.36 muestra que una entrada de 5 V dará por resultado una corriente de 0.5 mA, con lo que se obtiene la lectura de 0.5 en el medidor, que equivale a 5 V (dado que a escala completa de 1 mA equivale a una entrada de 10 V).

Programa 14.3: Filtro activo pasa-bajos

La figura 14.37 muestra el esquema de un filtro activo pasa-bajos que utiliza Electronics Workbench. El circuito filtro de primer orden permite el paso de las frecuencias de dc hasta la fre-

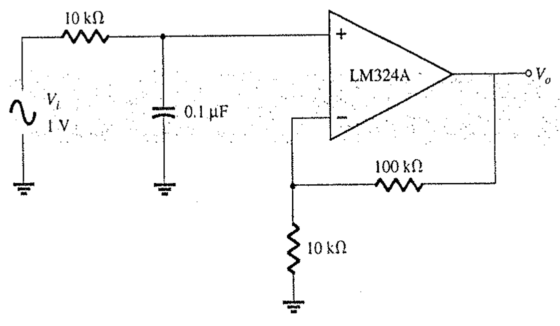


Figura 14.37 Filtro activo pasa-bajos.

cuencia de corte determinada por el resistor R_1 y el capacitor C_1 mediante

$$f_{OH} = 1/(2\pi R_1 C_1)$$

Para el circuito de la figura 14.37, esto equivale a

$$f_{OH} = 1/(2\pi R_1 C_1) = 1/(2\pi \cdot 10\,\text{k}\Omega \cdot 0.1\,\mu\text{F}) = 159\text{ Hz}$$

La figura 14.38 es el resultado de utilizar **Analysis Setup-AC frequency** y seleccionar un barrido en ac de 100 puntos por década a partir de 1 Hz y hasta 10 kHz. Después de ejecutar el análisis, se crea la gráfica de análisis (**Analysis Graph**) como se muestra en la figura 14.38. La frecuencia de corte obtenida se aprecia en 158.5 Hz, lo cual es muy cercano a lo antes calculado.

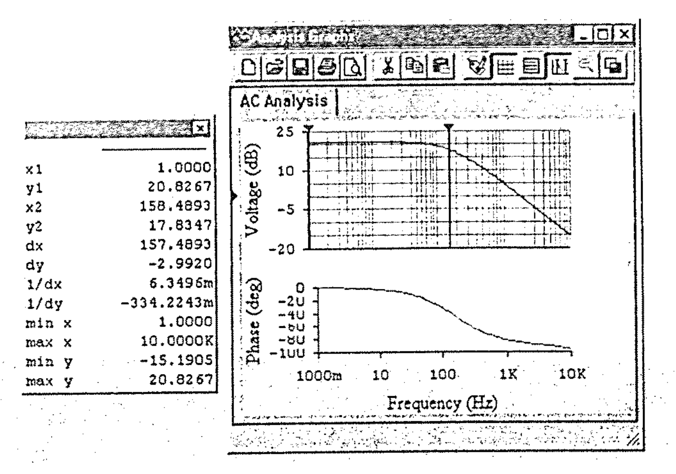


Figura 14.38 Análisis en ac de un filtro pasa-bajos.

Programa 14.4: Filtro activo pasa-altos

La figura 14.39 muestra el esquema de un filtro activo pasa-altos que utiliza Electronics Workbench. Este filtro de primer orden permite el paso de frecuencias por arriba de la frecuencia de corte, la cual está determinada por el resistor R_1 y el capacitor C_1 mediante

$$f_{OL} = 1/(2\pi R_1 C_1)$$

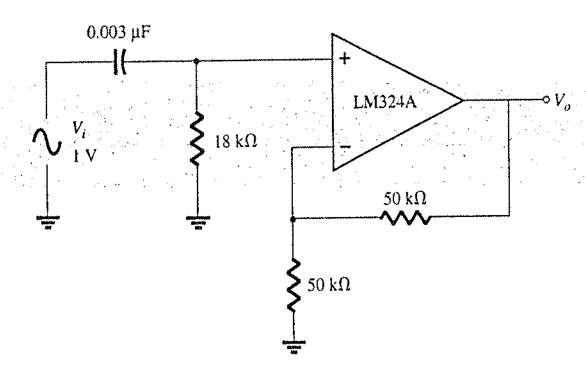


Figura 14.39 Filtro activo pasa-altos.

Para el circuito de la figura 14.39, esto equivale a

$$f_{OH} = 1/(2\pi R_1 C_1) = 1/(2\pi \cdot 18\,\text{k}\Omega \cdot 0.003\,\mu\text{F}) = 2.95\text{ kHz}$$

El análisis (**Analysis**) se establece para un barrido en ac de 100 puntos por década a partir de 10 Hz hasta 100 kHz. Después de ejecutar el análisis, la salida que muestra el voltaje de salida en unidades de dB será como la que se muestra en la figura 14.40. La frecuencia de corte obtenida, se aprecia como de 2.9 kHz, lo cual es muy cercano a lo antes calculado.

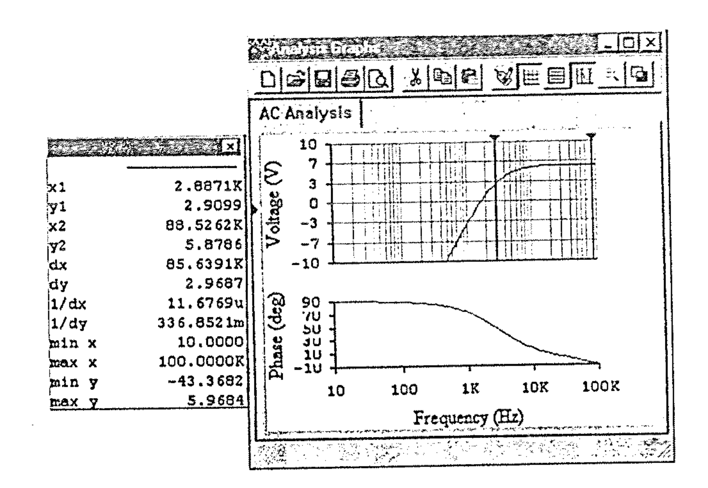


Figura 14.40 Gráfica de salida en dB para el circuito de filtro activo pasa-altos de la figura 14.39.

Programa 14.5: Filtro activo pasa-altos de segundo orden

La figura 14.41 muestra el esquema de un filtro activo pasa-altos de segundo orden. Este filtro de segundo orden, permite el paso de frecuencias por arriba de la frecuencia de corte determinada por el resistor R_1 y el capacitor C_1 mediante

$$f_{OL} = 1/(2\pi R_1 C_1)$$

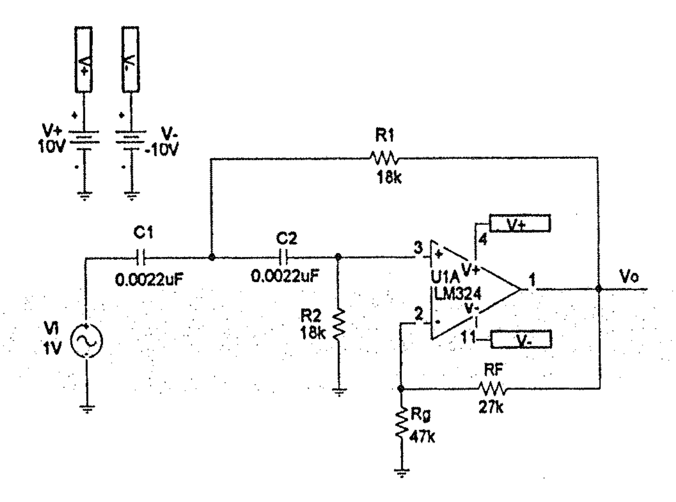
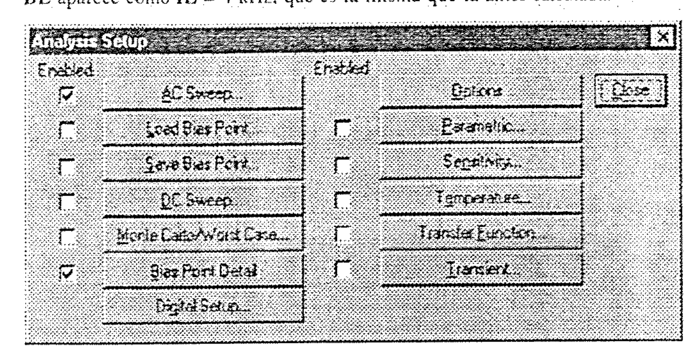


Figura 14.41 Filtro activo pasa-altos de segundo orden.

Para el circuito de la figura 14.41 esto equivale a

$$f_{OL} = 1/(2\pi R_1 C_1) = 1/(2\pi \cdot 18\,\text{k}\Omega \cdot 0.0022\,\mu\text{F}) = 4\text{ kHz}$$

La configuración del análisis (**Analysis Setup**) se establece para un barrido en ac de 20 puntos por década desde 100 Hz hasta 100 kHz, como se señala en la figura 14.42. Después de ejecutar el análisis, la salida de **PROBE** que muestra el voltaje de salida (V_o) será como la que se indica en la figura 14.43. La frecuencia de corte obtenida mediante el empleo de **PROBE** aparece como **fL** = 4 kHz, que es la misma que la antes calculada.



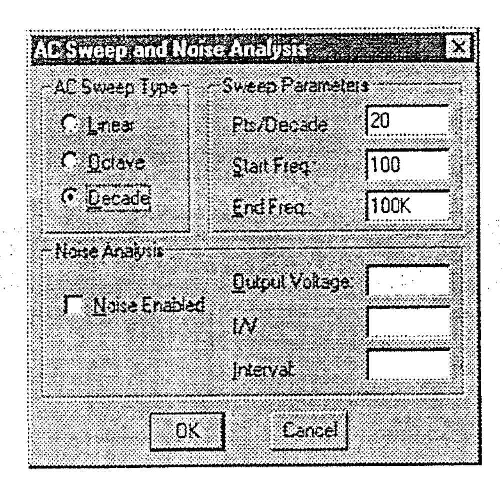


Figura 14.42 Configuración del análisis para la figura 14.41.

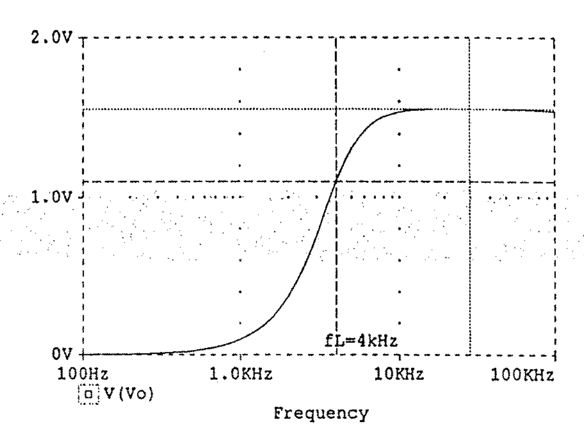


Figura 14.43 Gráfica de PROBE para V_o para un filtro activo pasa-altos de segundo orden.

La figura 14.44 presenta la gráfica de **PROBE** de la ganancia en dB en función de la frecuencia, la cual indica que por encima de una década (a partir de 200 Hz y hasta 2 kHz) la ganancia cambia por cerca de 40 dB, como se espera para un filtro de segundo orden.

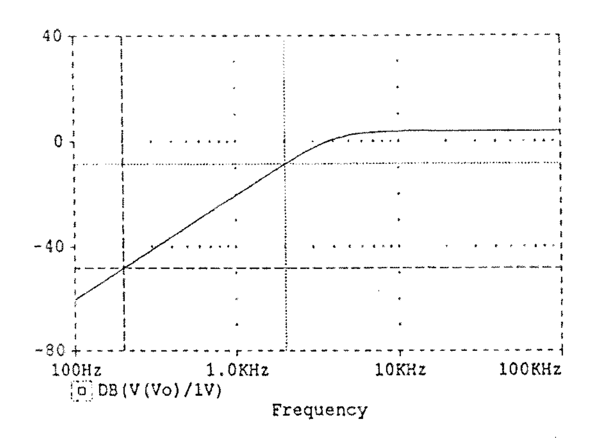


Figura 14.44 Gráfica de PROBE de la ganancia de dB (V_o/V_i) para un filtro activo de segundo orden.

Programa 14.6: Filtro activo pasa-banda

La figura 14.45 muestra un circuito de filtro activo pasa-banda. Al emplear los valores del ejemplo 14.14, las frecuencias de pasa-banda son

$$f_{OL} = 1/(2\pi R_1 C_1) = 1/(2\pi \cdot 10\text{ k}\Omega \cdot 0.1\ \mu\text{F}) = 159\text{ Hz}$$

$$f_{OH} = 1/(2\pi R_2 C_2) = 1/(2\pi \cdot 10\text{ k}\Omega \cdot 0.002\ \mu\text{F}) = 7.96\text{ kHz}$$

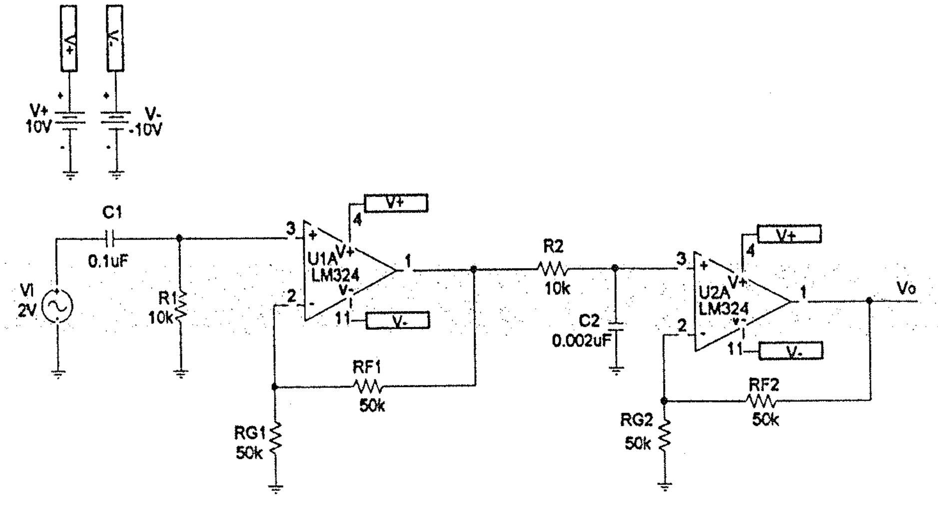


Figura 14.45 Filtro activo pasa-banda.

El barrido se establece en 10 puntos por década de 10 Hz hasta 1 MHz. La gráfica de PROBE de V_o en la figura 14.46 muestra la frecuencia baja de corte en cerca de 153 Hz y la frecuencia alta de corte en cerca de 8.2 kHz, valores que coinciden bien con los antes calculados.

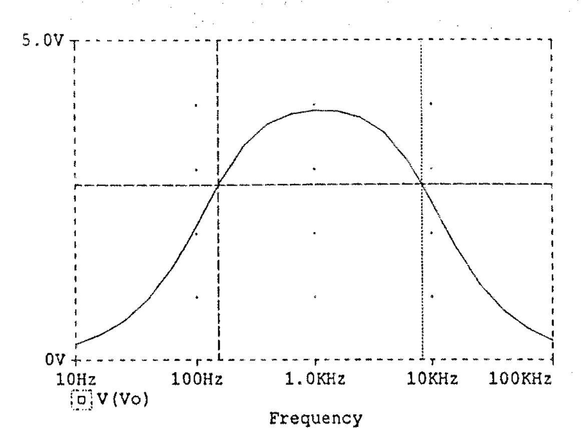


Figura 14.46 Gráfica de PROBE del filtro activo pasa-bandas.

PROBLEMAS

§ 14.1 Multiplicador de ganancia constante

1. Calcule el voltaje de salida del circuito de la figura 14.47 para una entrada de V_i = 3.5 mV rms.

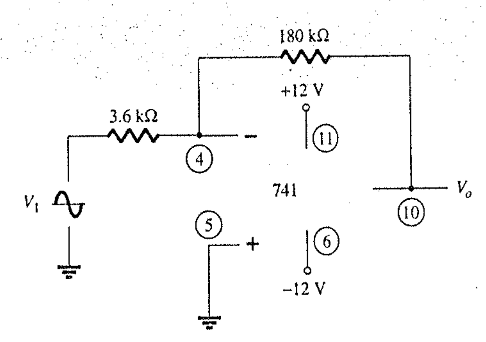


Figura 14.47 Problema 1.

2. Calcule el voltaje de salida del circuito de la figura 14.48 para una entrada de 150 mV rms.

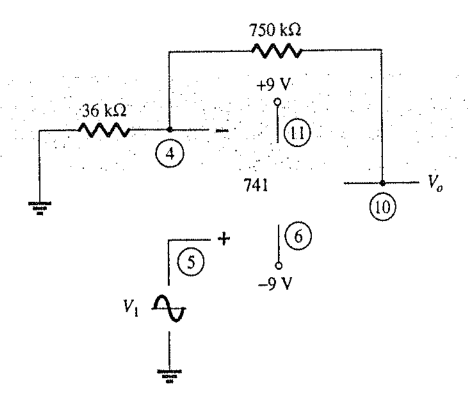


Figura 14.48 Problema 2.

* **3.** Calcule el voltaje de salida en el circuito de la figura 14.49.

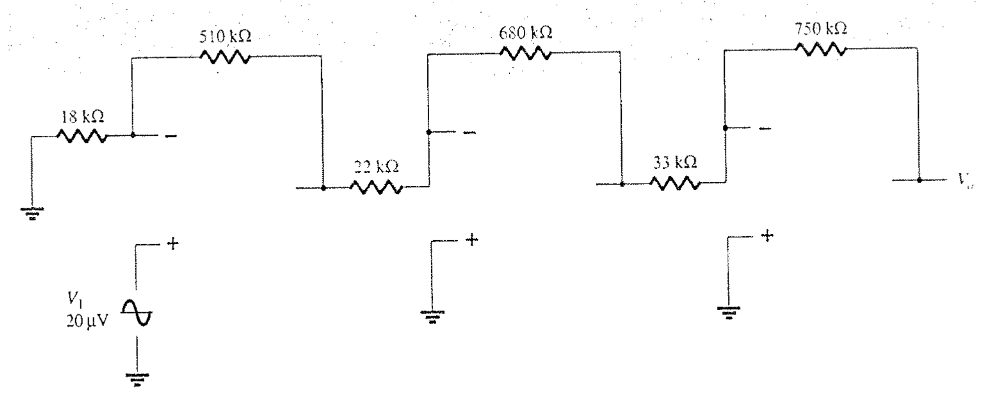


Figura 14.49 Problema 3.

* **4.** Muestre la conexión de un op-amp cuádruple LM124 como un amplificador de tres etapas con ganancias de +15, −22 y −30. Utilice un resistor de retroalimentación de 420 kΩ para todas las etapas. ¿Qué voltaje de salida se obtendrá para una entrada de V_1 = 80 μV?

5. Muestre la conexión de dos etapas de op-amp con un CI LM358 para proporcionar salidas que sean 15 y −30 veces mayores que la entrada. Utilice un resistor de retroalimentación R_F = 150 kΩ, en todas las etapas.

§ 14.2 Sumador de voltaje

6. Calcule el voltaje de salida para el circuito de la figura 14.50 con entradas de V_1 = 40 mV rms y V_2 = 20 mV rms.

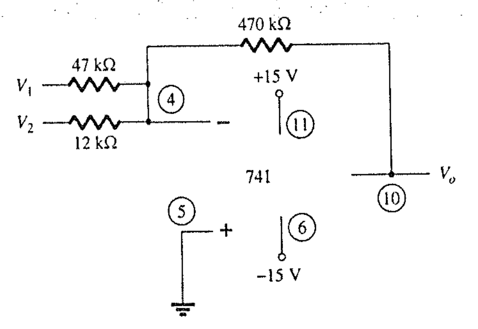


Figura 14.50 Problema 6.

7. Determine el voltaje de salida para el circuito de la figura 14.51.

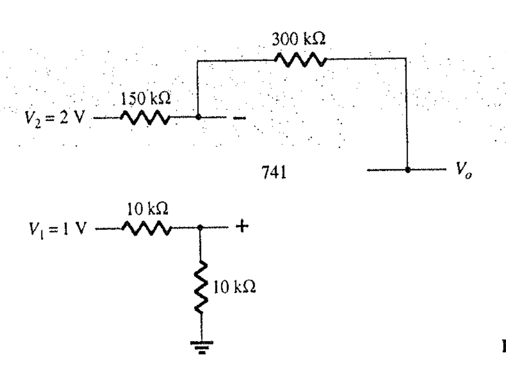


Figura 14.51 Problema 7.

8. Determine el voltaje de salida para el circuito de la figura 14.52.

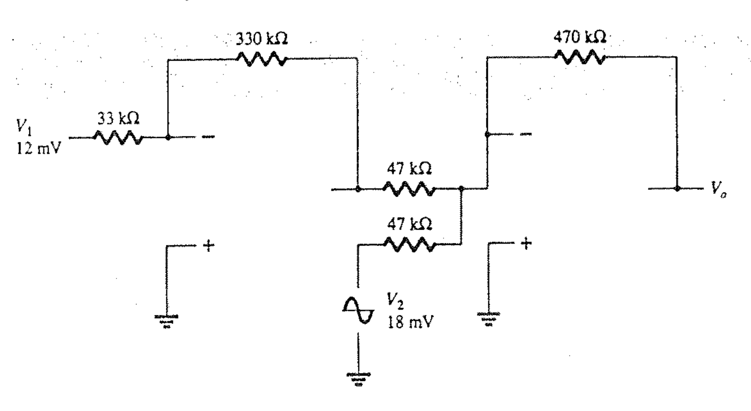


Figura 14.52 Problema 8.

§ 14.3 Acoplador de voltaje

9. Muestre la conexión (que incluya la información de las terminales) de una etapa con un CI LM124 conectado como un amplificador de ganancia unitaria.

10. Muestre la conexión (que incluya la información de las terminales) de dos etapas LM358 conectadas como amplificadores de ganancia unitaria que proporcionen la misma salida.

§ 14.4 Fuentes controladas

11. Para el circuito de la figura 14.53, calcule I_L.

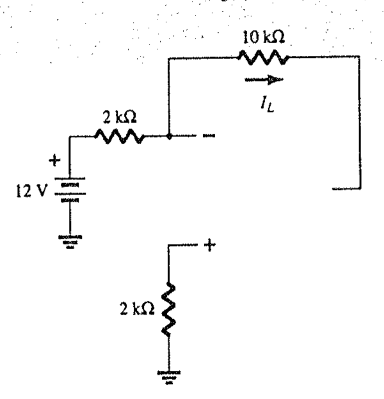


Figura 14.53 Problema 11.

12. Calcule V_o para el circuito de la figura 14.54.

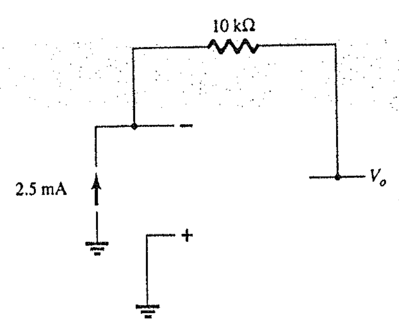


Figura 14.54 Problema 12.

§ 14.5 Circuitos de instrumentación

13. Calcule la corriente de salida I_o en el circuito de la figura 14.55.

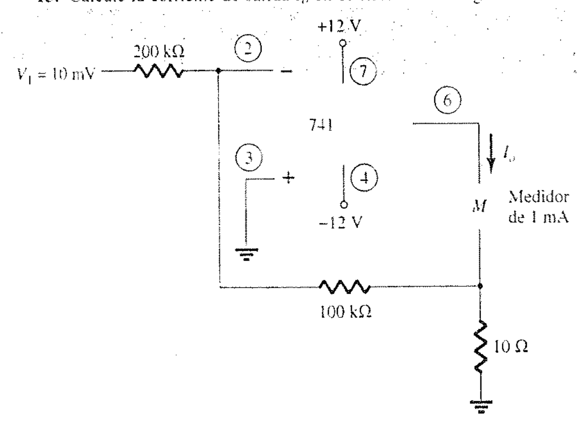


Figura 14.55 Problema 13.

* 14. Calcule V_o en el circuito de la figura 14.56.

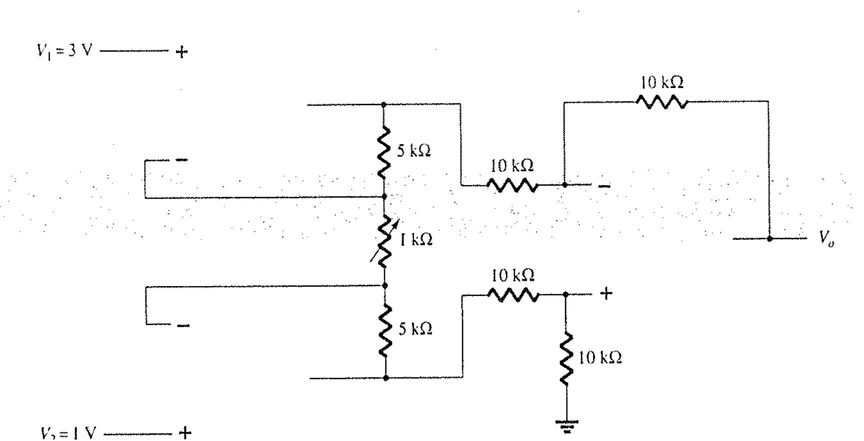


Figura 14.56 Problema 14.

§ 14.6 Filtros activos

15. Calcule la frecuencia de corte de un filtro pasa-bajos de primer orden en el circuito de la figura 14.57.

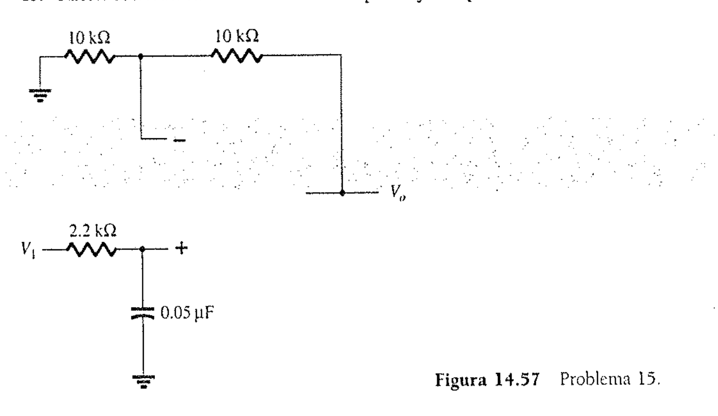


Figura 14.57 Problema 15.

16. Calcule la frecuencia de corte del circuito filtro pasa-altos de la figura 14.58.

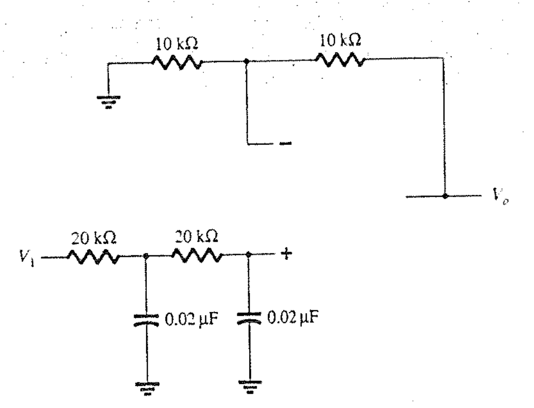


Figura 14.58 Problema 16.

17. Calcule las frecuencias alta y baja de corte para el circuito filtro pasa-banda en la figura 14.59.

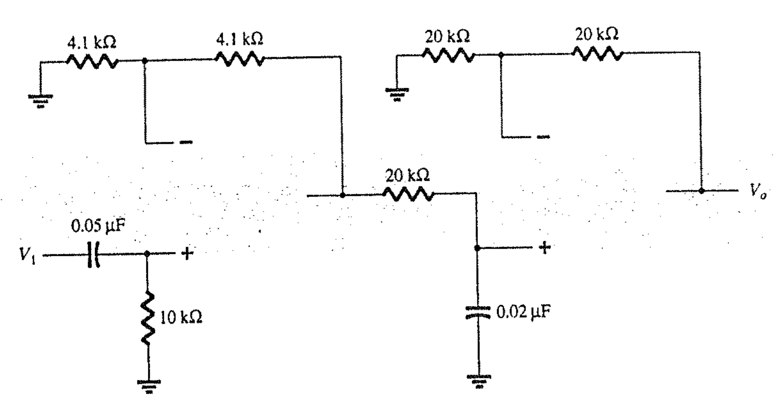


Figura 14.59 Problema 17.

§ 14.8 Análisis por computadora

* 18. Utilice el Centro de Diseño para dibujar el esquema de la figura 14.60 y determinar V_o.

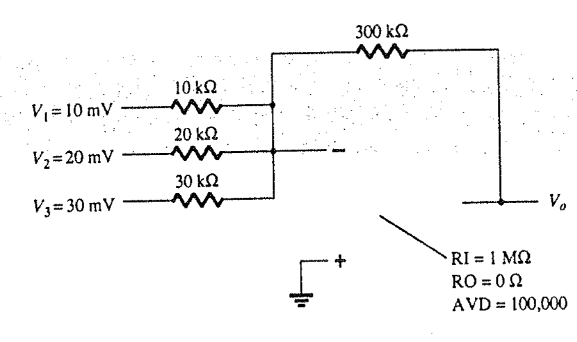


Figura 14.60 Problema 18.

* 19. Utilice el Centro de Diseño para calcular I(VSENSE) en el circuito de la figura 14.61.

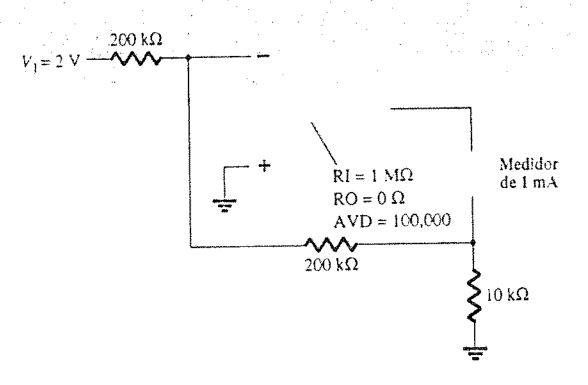


Figura 14.61 Problema 19.

* 20. Utilice Electronics Workbench para graficar la respuesta del circuito filtro pasa-bajos de la figura 14.62.

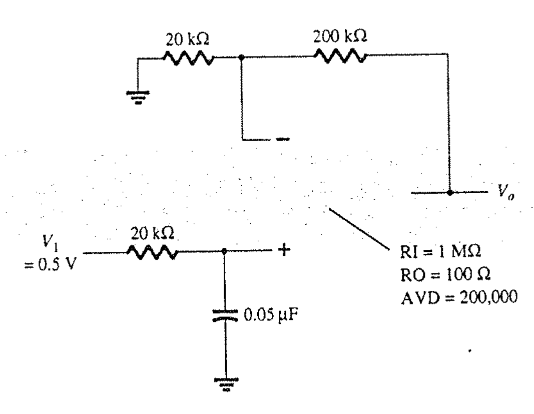


Figura 14.62 Problema 20.

* 21. Utilice Electronics Workbench para graficar la respuesta del circuito filtro pasa-altos de la figura 14.63.

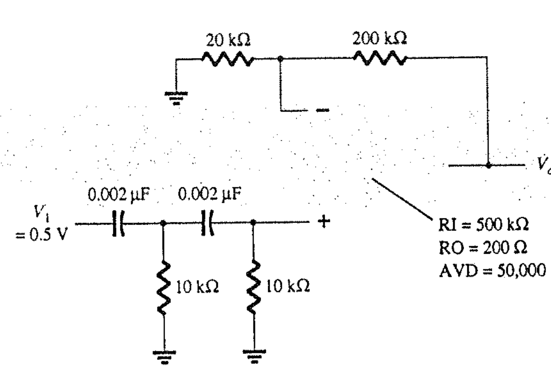


Figura 14.63 Problema 21.

* 22. Utilice el Centro de Diseño para graficar la respuesta del circuito filtro pasa-banda en la figura 14.64.

Op - amps
RI = 500 kΩ
RO = 100 Ω
AVD = 50,000

Figura 14.64 Problema 22.

*Observe: Los asteriscos indican problemas con mayor dificultad.

CAPÍTULO

Amplificadores de potencia 15

15.1 INTRODUCCIÓN: DEFINICIONES Y TIPOS DE AMPLIFICADORES

Un amplificador recibe una señal de algún transductor de captación o de cualquier otra fuente de entrada, y proporciona una versión más grande de la señal a cierto dispositivo de salida o a otra etapa de amplificación. La señal del transductor de entrada es, por lo general, pequeña (unos cuantos milivolts para una entrada de casete o de disco compacto, o de algunos microvolts para una antena) y requiere amplificarse lo suficiente para poder operar un dispositivo de salida (una bocina o cualquier otro dispositivo de manejo de potencia). Para los amplificadores de pequeña señal, los principales factores son, por lo general, la linealidad de la amplificación y la magnitud de la ganancia. Dado que el voltaje y la corriente de la señal son pequeños en un amplificador de pequeña señal, la magnitud de la capacidad de manejo de potencia y la eficiencia de potencia no son cuestiones de consideración. Un amplificador de voltaje ofrece amplificación de voltaje principalmente para incrementar el voltaje de la señal de entrada. Por el otro lado, los amplificadores de gran señal o de potencia, proporcionan principalmente potencia suficiente a una carga de salida para activar una bocina o algún otro dispositivo de potencia, con frecuencia, en magnitudes de algunos watts o de decenas de éstos. En el presente capítulo, nos concentraremos en estos circuitos amplificadores, utilizados para manejar señales de voltaje alto con niveles moderados y altos de corriente. Las principales características de un amplificador de gran señal son la eficiencia de potencia del circuito, la máxima cantidad de potencia que es capaz de manejar el circuito y el acoplamiento de impedancia con el dispositivo de salida.

Un método utilizado para clasificar amplificadores es mediante su clase. Básicamente, las clases de amplificador representan el grado con el que varía la señal de salida durante un ciclo de operación, para un ciclo completo de la señal de entrada. A continuación se presenta una breve descripción de las clases de amplificador.

Clase A: La señal de salida varía durante los 360° completos del ciclo. La figura 15.1a muestra que esto requiere que el punto Q se polarice en un nivel en el que al menos la mitad

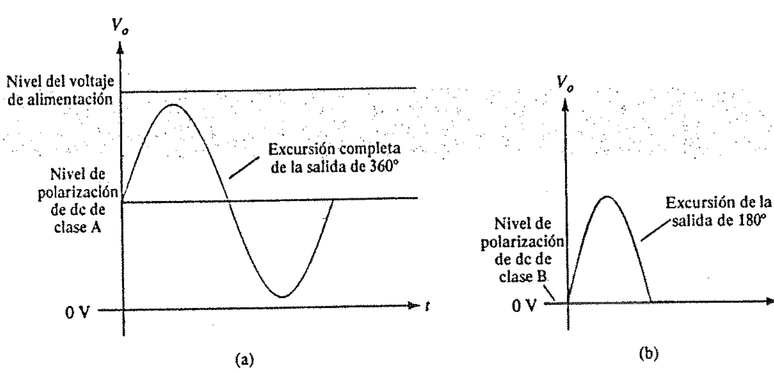


Figura 15.1 Clases de operación de amplificador.

de la excursión de la señal de la salida pueda variar hacia arriba y hacia abajo, sin llegar a un voltaje lo suficientemente grande como para ser limitado por el voltaje de alimentación, o demasiado bajo como para acercarse al nivel inferior de alimentación, o 0 V en este caso.

Clase B: Un circuito clase B, proporciona una señal de salida que varía durante una mitad del ciclo de la señal de entrada, o por 180° de la señal, como se muestra en la figura 15.1b. Por consiguiente, el punto de polarización de dc para la clase B es 0 V, entonces la salida varía a partir de este punto de polarización durante un medio ciclo. Obviamente, la salida no será una reproducción fiel de la entrada si solamente un medio ciclo está presente. Se requerirán dos operaciones de clase B: una para proporcionar salida durante el medio ciclo de salida positivo, y otra para proporcionar operación durante el medio ciclo negativo de salida. Por lo que los medios ciclos combinados proporcionan una salida para los 360° completos de operación. Este tipo de conexión se denomina operación en contrafase, la cual se discute posteriormente en este capítulo. Observe que la operación clase B por sí misma crea una señal de salida muy distorsionada dado que la reproducción de la entrada ocurre durante sólo 180° de la excursión de la señal de entrada.

Clase AB: Es posible polarizar un amplificador en un nivel de dc por encima del nivel de corriente base cero de la clase B y por encima de una mitad del nivel del voltaje de alimentación de la clase A; esta condición de polarización es la clase AB. Esta clase sigue requiriendo de una conexión en contrafase, para obtener un ciclo completo de salida, sin embargo, el nivel de polarización de dc es, por lo general, más cercano al nivel de corriente de base cero, para una mejor eficiencia de potencia, como se describió brevemente. Para la operación clase AB, la excursión de la señal de salida ocurre entre 180° y 360° y no se trata de una operación clase A ni clase B.

Clase C: La salida de un amplificador clase C se encuentra polarizada para operar en menos de 180° del ciclo y operará solamente con un circuito de sintonización (resonante), el cual proporciona un ciclo completo de operación para la frecuencia sintonizada o resonante. Esta clase de operación es, por tanto, utilizada en áreas especiales de circuitos de sintonización, tales como radio o comunicaciones.

Clase D: Esta clase de operación es una forma de operación de amplificación que utiliza señales de pulso (digitales), las cuales se encuentran encendidas durante un intervalo pequeño, y apagadas durante un intervalo mayor. Mediante técnicas digitales es posible obtener una señal que varía durante el ciclo completo (por medio de un circuito de muestreo y retención) para reconstruir la salida a partir de varios segmentos de la señal de entrada. La principal ventaja de la operación clase D es que el amplificador solamente se encuentra encendido (empleando potencia) durante intervalos pequeños y la eficiencia total puede ser prácticamente muy alta, como se explica a continuación.

Eficiencia del amplificador

La eficiencia de potencia de un amplificador, definida como la relación de la potencia de salida sobre la potencia de entrada, mejora (se vuelve mayor) al ir de la clase A a la clase D. En términos generales, vemos que un amplificador clase A, con polarización de dc en un nivel de la mitad del voltaje de alimentación, emplea una buena cantidad de potencia para mantener la polarización, incluso cuando no existe una señal de entrada aplicada. Esto da por resultado una eficiencia muy baja, en especial con señales de entrada pequeñas, cuando se proporciona a la carga muy poca potencia de ac. De hecho, la eficiencia máxima de un circuito clase A, que ocurre para la excursión máxima del voltaje y la corriente de salida, será de solamente 25% con una conexión de carga directa o con alimentación en serie y de 50% con una conexión de transformador a la carga. La operación clase B, sin potencia de polarización de dc y sin señal de entrada, puede mostrarse que proporciona una eficiencia máxima que alcanza 78.5%. La operación clase D puede alcanzar una eficiencia de potencia de cerca de 90% y ofrece la operación más eficiente de todas las clases de operación. Dado que la clase AB se encuentra entre la clase A y la clase B en polarización, ésta también se encuentra entre sus valores de eficiencia: entre 25% (o 50%) y 78.5%. La tabla 15.1 resume la operación de las distintas clases de amplificador. Esta tabla proporciona una comparación relativa de la operación del ciclo de salida y de la eficiencia de potencia para los diferentes tipos de clase. En la operación clase B, se obtiene una conexión en contrafase, push-pull, que utiliza ya sea un acoplamiento por transformador o

TABLA 15.1 Comparación de clases de amplificador

	Clase A	*AB*	*B*	*C**	*D*
Ciclo de operación	360°	180° a 360°	180°	Menor a 180°	Operación de pulso
Eficiencia de potencia	25% a 50%	Entre 25% (50%) y 78.5%	78.5%		Por lo general cerca de 90%

**La clase C por lo general no se utiliza para proporcionar grandes cantidades de potencia, por lo que la eficiencia no se presenta aquí.*

una operación complementaria (o cuasicomplementaria) con transistores *npn* y *pnp*, para proporcionar una operación durante los ciclos de polaridad opuesta. Mientras que la operación de transformador puede proporcionar señales de ciclo opuestas, el transformador es en sí demasiado grande para muchas aplicaciones. Un circuito sin transformador que utiliza transistores complementarios ofrece la misma operación con un área mucho menor. Posteriormente se proporcionan circuitos y ejemplos en este capítulo.

15.2 AMPLIFICADOR CLASE A ALIMENTADO EN SERIE

La conexión simple de circuito de polarización fija que se muestra en la figura 15.2 puede utilizarse para analizar las principales características del amplificador clase A alimentado en serie. Las únicas diferencias entre este circuito y la versión de pequeña señal, considerada anteriormente, es que las señales manejadas por el circuito de gran señal se encuentran en el rango de los volts y que el transistor empleado es un transistor de potencia que es capaz de operar en el rango de unos cuantos watts hasta decenas de ellos. Como se mostrará en esta sección, éste no es el mejor circuito para utilizarse como un amplificador de gran señal dada su pobre eficiencia de potencia. La beta de un transistor de potencia es usualmente menor a 100; los circuitos de amplificación utilizan transistores de potencia, que son capaces de manejar potencia o corriente grandes, aunque no proporcionan una gran ganancia de voltaje.

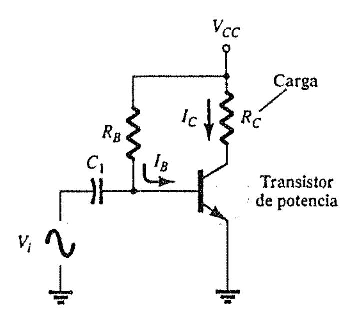


Figura 15.2 Amplificador clase A de gran señal alimentado en serie.

Operación de polarización de dc

La polarización de dc establecida por V_{CC} y R_B fija la corriente de base de polarización en

$$I_B = \frac{V_{CC} - 0.7\text{ V}}{R_B} \tag{15.1}$$

donde la corriente del colector es

$$I_C = \beta I_B \tag{15.2}$$

con el voltaje colector-emisor en

$$V_{CE} = V_{CC} - I_C R_C \tag{15.3}$$

Para apreciar la importancia de la polarización de dc sobre la operación del amplificador de potencia, considere las características del colector mostradas en la figura 15.3. Se traza una recta de carga de ac mediante los valores de V_{CC} y R_C. La intersección del valor de polarización de I_B con la recta de carga de dc entonces determinará el punto de operación (punto Q) del circuito. Los valores del punto de operación serán los calculados por medio de las ecuaciones 15.1 a la 15.3. Si la corriente de polarización de dc del colector se establece en un medio de la posible excursión de la señal (entre 0 y V_{CC}/R_C), será factible una mayor excursión de la corriente del colector. Adicionalmente, si el voltaje estable colector-emisor se fija a la mitad del voltaje de alimentación, será posible una excursión mayor de voltaje. Con el punto Q establecido en este punto de polarización óptimo, las consideraciones de potencia para el circuito de la figura 15.2 se determinan como se describe a continuación.

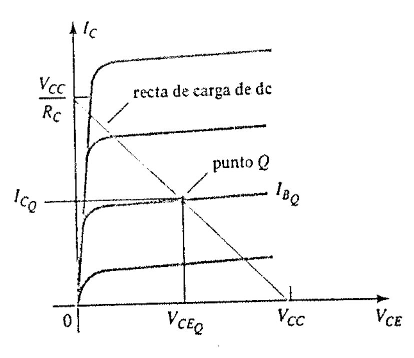


Figura 15.3 Característica de transistor que muestra la recta de carga y el punto Q.

Operación de ac

Cuando se aplica una señal de entrada de ac al amplificador de la figura 15.2, la salida variará a partir de su voltaje y corriente de operación de polarización. Una señal pequeña de entrada, como se muestra en la figura 15.4, ocasionará que la corriente de base varíe por encima y por debajo del punto de polarización de dc, lo cual causará a su vez que la corriente del colector (salida) varíe a partir de su punto de polarización de dc, así como también el voltaje colector-emisor variará alrededor de su valor de polarización de dc. A medida que la señal de entrada se hace más grande, la salida variará más, alrededor del punto de polarización de dc establecido hasta que la corriente o el voltaje alcance una condición limitante. Para la corriente, esta condición limitante es ya sea corriente cero en el extremo inferior o V_{CC}/R_C en el extremo superior de su excursión. Para el voltaje colector-emisor, el límite es 0 V o bien el voltaje de alimentación, V_{CC}.

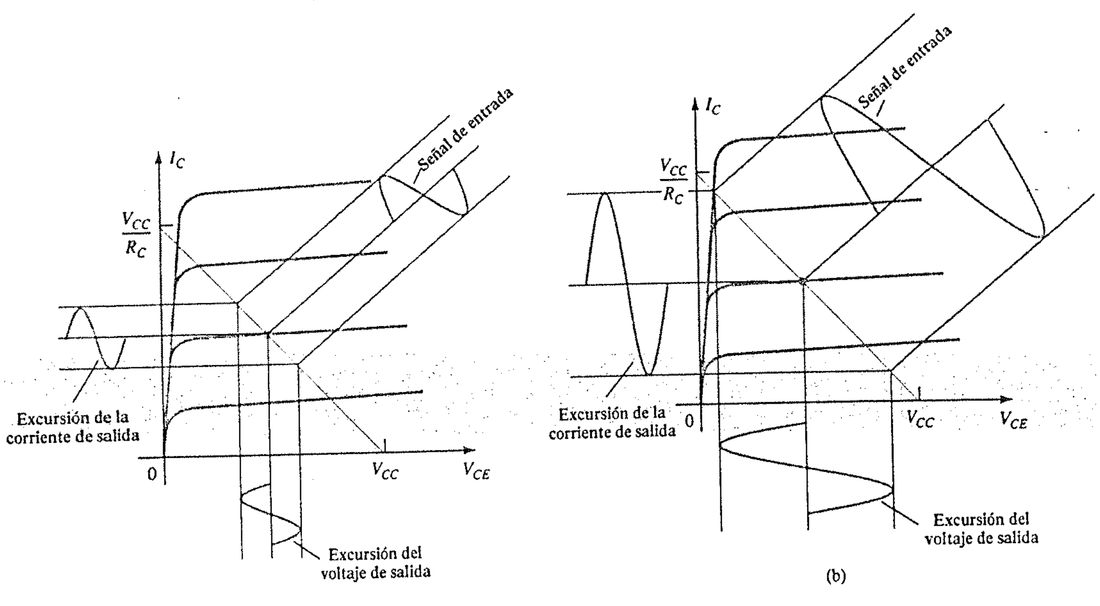


Figura 15.4 Variación de la señal de entrada y de salida del amplificador.

Consideraciones de potencia

La potencia de un amplificador la suministra la fuente de alimentación. Cuando no existe una señal de entrada, el consumo de corriente de dc será la corriente de polarización de colector I_{C_Q}. Entonces, la potencia que consume de la fuente es

$$P_i(\text{dc}) = V_{CC}I_{C_Q} \tag{15.4}$$

Incluso, con una señal de ac aplicada, el consumo de corriente promedio de la fuente permanecerá igual, por lo que la ecuación 15.4 representa la potencia de entrada proporcionada al amplificador clase A alimentado en serie.

POTENCIA DE SALIDA

El voltaje y la corriente de salida que varían alrededor del punto de polarización, proporcionan potencia de ac a la carga. Esta potencia de ac se aplica a la carga R_C, en el circuito de la figura 15.2. La señal de ac V_i, ocasiona que la corriente de base varíe alrededor de la corriente de polarización de dc y que la corriente de colector lo haga alrededor de su nivel de estabilidad I_{C_Q}. Como se indica en la figura 15.4, la señal de entrada de ac ocasiona señales de corriente y de voltaje de ac. Mientras mayor sea la señal de entrada, mayor será la excursión de la salida, hasta el máximo establecido por el circuito. La potencia de ac aplicada a la carga (R_C) puede expresarse de distintas formas.

Mediante señales rms: La potencia de ac aplicada a la carga (R_C) puede expresarse por medio de

$$P_o(\text{ac}) = V_{CE}(\text{rms})I_C(\text{rms}) \tag{15.5a}$$

$$P_o(\text{ac}) = I_C^2(\text{rms})R_C \tag{15.5b}$$

$$P_o(\text{ac}) = \frac{V_C^2(\text{rms})}{R_C} \tag{15.5c}$$

Mediante señales pico: La potencia de ac aplicada a la carga puede expresarse por medio de

$$P_o(\text{ac}) = \frac{V_{CE}(\text{p})I_C(\text{p})}{2} \tag{15.6a}$$

$$P_o(\text{ac}) = \frac{I_C^2(\text{p})}{2R_C} \tag{15.6b}$$

$$P_o(\text{ac}) = \frac{V_{CE}^2(\text{p})}{2R_C} \tag{15.6c}$$

Mediante señales pico a pico: La potencia de ac aplicada a la carga puede expresarse por medio de

$$P_o(\text{ac}) = \frac{V_{CE}(\text{p-p})I_C(\text{p-p})}{8} \tag{15.7a}$$

$$P_o(\text{ac}) = \frac{I_C^2(\text{p-p})}{8}R_C \qquad (15.7b)$$

$$P_o(\text{ac}) = \frac{V_{CE}^2(\text{p-p})}{8R_C} \qquad (15.7c)$$

Eficiencia

La eficiencia de un amplificador representa la cantidad de potencia de ac aplicada (transferida) desde la fuente de dc. La eficiencia de un amplificador se calcula mediante

$$\%\ \eta = \frac{P_o(\text{ac})}{P_i(\text{dc})} \times 100\% \qquad (15.8)$$

EFICIENCIA MÁXIMA

Para el amplificador clase A alimentado en serie, la eficiencia máxima se puede determinar a través de las excursiones máximas de voltaje y de corriente. Para la excursión de voltaje éste será

$$V_{CE}(\text{p-p})\ \text{máximo} = V_{CC}$$

Para la excursión de la corriente ésta será

$$I_C(\text{p-p})\ \text{máxima} = \frac{V_{CC}}{R_C}$$

Por medio de la excursión de voltaje máxima en la ecuación 15.7a se obtiene

$$P_o(\text{ac})\ \text{máxima} = \frac{V_{CC}(V_{CC}/R_C)}{8} = \frac{V_{CC}^2}{8R_C}$$

La potencia de entrada máxima se puede calcular mediante la corriente de polarización de dc establecida en la mitad del valor máximo:

$$P_i(\text{dc})\ \text{máxima} = V_{CC}(\text{máxima } I_C) = V_{CC}\frac{V_{CC}/R_C}{2} = \frac{V_{CC}^2}{2R_C}$$

Luego podemos utilizar la ecuación 15.8 para calcular la eficiencia máxima:

$$\%\ \eta\ \text{máxima} = \frac{\text{máxima } P_o(\text{ac})}{\text{máxima } P_i(\text{dc})} \times 100\% = \frac{V_{CC}^2/8R_C}{V_{CC}^2/2R_C} \times 100\% = 25\%$$

La eficiencia máxima de un amplificador clase A alimentado en serie se observa igual a 25%. Dado que esta eficiencia máxima ocurrirá solamente para condiciones ideales de ambas excursiones de voltaje y de corriente, la mayoría de los circuitos alimentados en serie proporcionarán eficiencias mucho menores a 25%.

EJEMPLO 15.1

Calcule la potencia de entrada, la potencia de salida y la eficiencia del circuito amplificador en la figura 15.5 para un voltaje de entrada que ocasione una corriente de base de 10 mA pico.

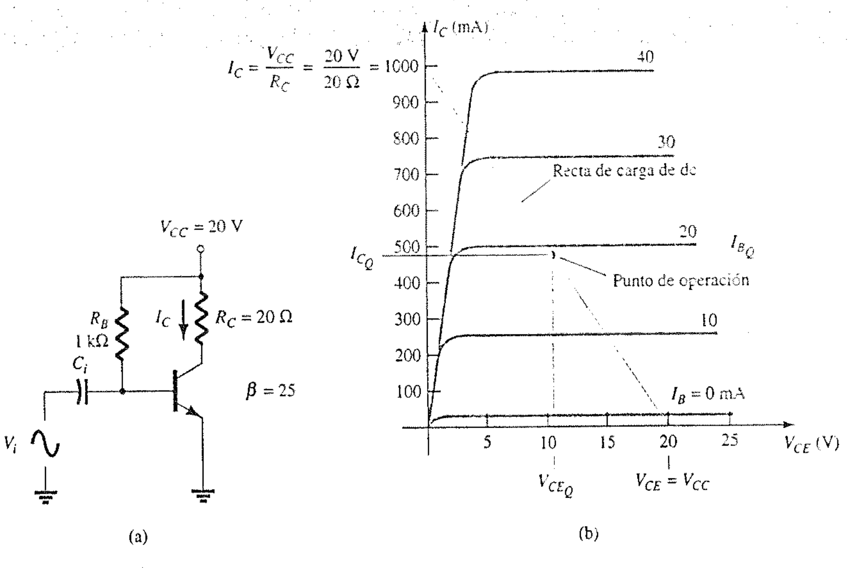


Figura 15.5 Operación de un circuito alimentado en serie para el ejemplo 15.1.

Solución

Por medio de las ecuaciones 15.1 a la 15.3, el punto Q puede determinarse como

$$I_{B_Q} = \frac{V_{CC} - 0.7\ \text{V}}{R_B} = \frac{20\ \text{V} - 0.7\ \text{V}}{1\ \text{k}\Omega} = 19.3\ \text{mA}$$

$$I_{C_Q} = \beta I_B = 25(19.3\ \text{mA}) = 482.5\ \text{mA} \cong 0.48\ \text{A}$$

$$V_{CE_Q} = V_{CC} - I_C R_C = 20\ \text{V} - (0.48\ \Omega)(20\ \Omega) = 10.4\ \text{V}$$

Este punto de polarización se encuentra señalado sobre la característica del colector del transistor de la figura 15.5b. La variación de ac de la señal de salida puede obtenerse de forma gráfica por medio de la recta de carga de dc dibujada en la figura 15.5b, mediante la conexión de $V_{CE} = V_{CC} = 20$ V con $I_C = V_{CC}/R_C = 1000$ mA = 1 A, como se muestra. Cuando la corriente de entrada de base de ac se incrementa a partir de su nivel de polarización de dc, la corriente del colector se eleva en

$$I_C(\text{p}) = \beta I_B(\text{p}) = 25(10\ \text{mA pico}) = 250\ \text{mA pico}$$

Mediante la ecuación 15.6b se obtiene

$$P_o(\text{ac}) = \frac{I_C^2(\text{p})}{2}R_C = \frac{(250 \times 10^{-3}\ \text{A})^2}{2}(20\ \Omega) = \mathbf{0.625\ W}$$

Al utilizar la ecuación 15.4 el resultado es

$$P_i(\text{dc}) = V_{CC}I_{C_Q} = (20\ \text{V})(0.48\ \text{A}) = \mathbf{9.6\ W}$$

Luego puede calcularse la eficiencia de potencia del amplificador por medio de la ecuación 15.8:

$$\%\ \eta = \frac{P_o(\text{ac})}{P_i(\text{dc})} \times 100\% = \frac{0.625\ \text{W}}{9.6\ \text{W}} \times 100\% = \mathbf{6.5\%}$$

15.3 AMPLIFICADOR CLASE A ACOPLADO POR TRANSFORMADOR

Un tipo de amplificador clase A que cuenta con una eficiencia máxima de 50%, emplea un transformador para acoplar la señal de salida con la carga como se muestra en la figura 15.6. Ésta es una forma simple de circuito, que se utiliza para presentar algunos conceptos básicos. Otras versiones de circuitos prácticos se revisarán posteriormente. Dado que el circuito utiliza un transformador para elevar el voltaje o la corriente, a continuación se presenta una revisión de las elevaciones y descensos del voltaje y de la corriente.

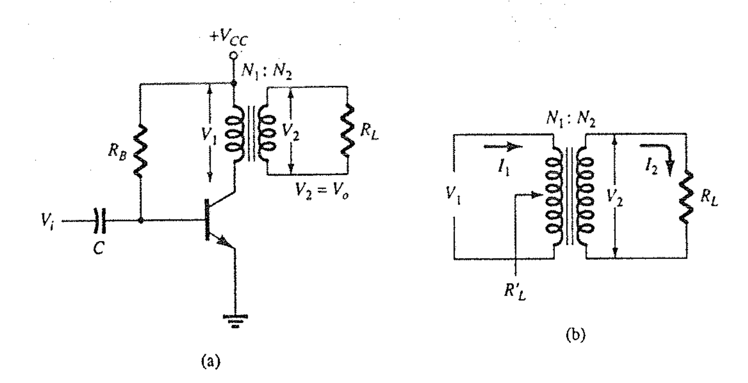


Figura 15.6 Amplificador de potencia de audio acoplado por transformador.

Acción de transformador

Un transformador puede aumentar o disminuir los niveles de corriente o de voltaje de acuerdo con la relación de vueltas, como se explica a continuación. Además, la impedancia conectada a un lado del transformador puede parecer mayor o menor (elevada o disminuida) en el otro lado del transformador, según el cuadrado de la relación de vueltas del embobinado del transformador. El análisis siguiente asume una transferencia de potencia ideal (100%) del primario al secundario, es decir, no se consideran pérdidas de potencia.

TRANSFORMACIÓN DE VOLTAJE

Como se muestra en la figura 15.7a, el transformador puede elevar o disminuir un voltaje aplicado sobre un lado del transformador de forma directa según la relación de vueltas (o número de espiras) de cada lado. La transformación de voltaje está dada por

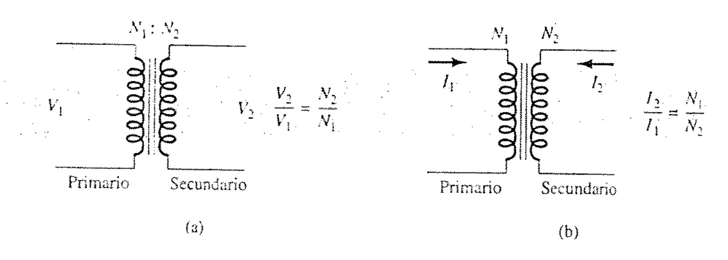
$$\frac{V_2}{V_1} = \frac{N_2}{N_1} \qquad (15.9)$$

La ecuación 15.9 muestra que si el número de vueltas de alambre en el lado secundario es mayor que en el primario, el voltaje en el lado secundario será mayor que el voltaje en el lado primario.

TRANSFORMACIÓN DE CORRIENTE

La corriente en el devanado secundario es inversamente proporcional al número de vueltas en los devanados. La transformación de corriente está dada por

$$\frac{I_2}{I_1} = \frac{N_1}{N_2} \qquad (15.10)$$



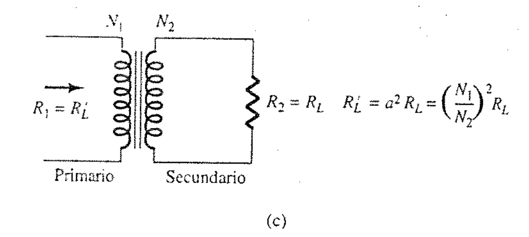


Figura 15.7 Operación del transformador: (a) transformación de voltaje; (b) transformación de corriente; (c) transformación de impedancia.

Esta relación se muestra en la figura 15.7b. Si el número de vueltas de alambre en el secundario es mayor que en el primario, la corriente del secundario será menor que la corriente en el primario.

TRANSFORMACIÓN DE IMPEDANCIA

Debido a que el voltaje y la corriente se pueden modificar mediante un transformador, es posible también modificar la impedancia "observada" desde cualquier lado (primario o secundario). Como se muestra en la figura 15.7c, se conecta una impedancia R_L a través del secundario del transformador. Esta impedancia la modifica el transformador cuando se observa en el lado primario (R'_L). Esto puede observarse como sigue:

$$\frac{R_L}{R'_L} = \frac{R_2}{R_1} = \frac{V_2/I_2}{V_1/I_1} = \frac{V_2}{I_2}\frac{I_1}{V_1} = \frac{V_2}{V_1}\frac{I_1}{I_2} = \frac{N_2}{N_1}\frac{N_2}{N_1} = \left(\frac{N_2}{N_1}\right)^2$$

Si definimos $a = N_1/N_2$ donde a es la relación de vueltas del transformador, la ecuación anterior se convierte en

$$\frac{R'_L}{R_L} = \frac{R_1}{R_2} = \left(\frac{N_1}{N_2}\right)^2 = a^2 \qquad (15.11)$$

Es posible expresar la resistencia de carga reflejada en el lado primario como:

$$R_1 = a^2 R_2 \quad \text{o} \quad R'_L = a^2 R_L \qquad (15.12)$$

donde R'_L es la impedancia reflejada. Como se muestra en la ecuación 15.12, la impedancia reflejada se relaciona directamente con el cuadrado de la relación de vueltas. Si el número de vueltas del secundario es menor que el del primario, la impedancia observada en el primario será mayor que en el secundario por el cuadrado de la relación de vueltas.

EJEMPLO 15.2

Calcule la resistencia efectiva observada en el primario de un transformador 15:1 conectado a una carga de 8 Ω.

Solución

Ecuación 15.12: $R'_L = a^2 R_L = (15)^2(8\ \Omega) = 1800\ \Omega = \mathbf{1.8\ k\Omega}$

EJEMPLO 15.3 ¿Cuál es la relación de vueltas de un transformador requerida para acoplar una carga de una bocina de 16 Ω de forma que la resistencia de carga efectiva observada en el primario sea de 10 kΩ?

Solución

$$\text{Ecuación 15.11:} \quad \left(\frac{N_1}{N_2}\right)^2 = \frac{R'_L}{R_L} = \frac{10\text{ k}\Omega}{16\ \Omega} = 625$$

$$\frac{N_1}{N_2} = \sqrt{625} = \mathbf{25{:}1}$$

Operación de la etapa del amplificador

RECTA DE CARGA DE DC

La resistencia del devanado del transformador (dc) determina la recta de carga de dc para el circuito de la figura 15.6. Por lo general, esta resistencia de dc es pequeña (idealmente de 0 Ω) y, como se muestra en la figura 15.8, una recta de carga de dc de 0 Ω es una línea recta vertical. Una resistencia práctica de devanado de transformador será de unos cuantos ohms, pero únicamente se considerará en este análisis el caso ideal. No existe una caída de voltaje de dc a través de la resistencia de carga de dc de 0 Ω, por lo que la recta de carga se traza de forma recta vertical a partir del punto de voltaje, $V_{CE_Q} = V_{CC}$.

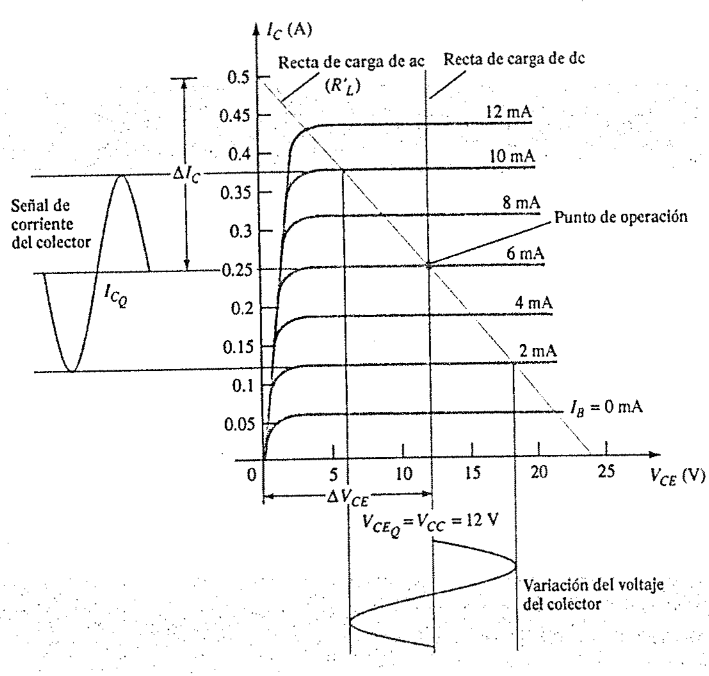


Figura 15.8 Rectas de carga para el amplificador clase A acoplado por transformador.

PUNTO DE OPERACIÓN ESTABLE

El punto de operación en la curva característica de la figura 15.8 se puede obtener de forma gráfica en el punto de intersección de la recta de carga de dc con la corriente de base establecida por el circuito. La corriente estable del colector se puede entonces obtener a partir del punto de operación. En la operación clase A, es necesario tener presente que el punto de polarización de dc establece las condiciones para la excursión máxima sin distorsión de la señal, tanto para la corriente del colector como para el voltaje colector-emisor. Si la señal de entrada genera una excursión de voltaje menor que la máxima posible, la eficiencia del circuito en ese momento será menor que 25%. Por lo tanto, el punto de polarización de dc es importante para el ajuste de la operación de un amplificador clase A alimentado en serie.

RECTA DE CARGA DE AC

Para efectuar el análisis de ac, es necesario calcular la resistencia de carga de ac "observada" desde la parte del primario del transformador, para después dibujar la recta de carga de ac sobre la característica del colector. La resistencia de carga reflejada (R'_L) se calcula mediante la ecuación 15.12 empleando el valor de la carga conectada a través del secundario (R_L) y la relación de vueltas del transformador. Luego, la técnica de análisis gráfico continúa de la siguiente forma: se dibuja la recta de carga de ac de forma que cruce a través del punto de operación y tenga una pendiente igual a $-1/R'_L$ (la resistencia de carga reflejada), donde la pendiente de la recta de carga equivale al recíproco negativo de la resistencia de carga de ac. Observe que la recta de carga de ac muestra que la excursión de la señal de salida puede exceder el valor de V_{CC}. De hecho, el voltaje generado a través del primario del transformador puede ser muy grande. Es por tanto necesario que una vez que se obtuvo la recta de carga de ac, se verifique que la excursión potencial de voltaje no exceda los valores nominales máximos del transistor.

EXCURSIÓN DE LA SEÑAL Y POTENCIA AC DE SALIDA

La figura 15.9 muestra las excursiones de señal del voltaje y de la corriente del circuito de la figura 15.6. A partir de las variaciones de la señal que se muestran en la figura 15.9, los valores de las excursiones de señal pico a pico son

$$V_{CE}(\text{p-p}) = V_{CE_{\text{máx}}} - V_{CE_{\text{mín}}}$$

$$I_C(\text{p-p}) = I_{C_{\text{máx}}} - I_{C_{\text{mín}}}$$

La potencia de ac generada a través del primario del transformador se puede calcular entonces mediante

$$P_o(\text{ac}) = \frac{(V_{CE_{\text{máx}}} - V_{CE_{\text{mín}}})(I_{C_{\text{máx}}} - I_{C_{\text{mín}}})}{8} \qquad (15.13)$$

La potencia de ac calculada será la generada a través del primario del transformador. Si se asume un transformador ideal (un transformador altamente eficiente cuenta con una eficiencia por encima de 90%), la potencia aplicada por el secundario a la carga será aproximadamente la calculada por medio de la ecuación 15.13. La potencia de salida de ac puede también determinarse mediante el voltaje aplicado a la carga.

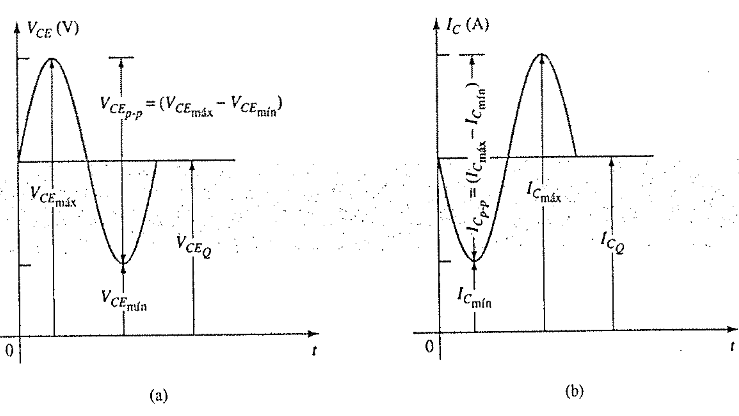


Figura 15.9 Operación gráfica del amplificador clase A acoplado por transformador.

Para el transformador ideal, el voltaje aplicado a la carga se puede calcular por medio de la ecuación 15.9:

$$V_L = V_2 = \frac{N_2}{N_1}V_1$$

La potencia a través de la carga se puede expresar entonces como

$$P_L = \frac{V_L^2(\text{rms})}{R_L}$$

y equivale a la potencia calculada por medio de la ecuación 15.5c.

Al emplear la ecuación 15.10 para calcular la corriente de carga se obtiene

$$I_L = I_2 = \frac{N_1}{N_2}I_C$$

luego al calcular la potencia ac de salida mediante

$$P_L = I_L^2(\text{rms})R_L$$

EJEMPLO 15.4 Calcule la potencia de ac aplicada a la bocina de 8 Ω para el circuito de la figura 15.10. Los valores de los componentes del circuito ocasionan una corriente de base de dc de 6 mA, y la señal de entrada (V_i) da como resultado una excursión pico de la corriente de base de 4 mA.

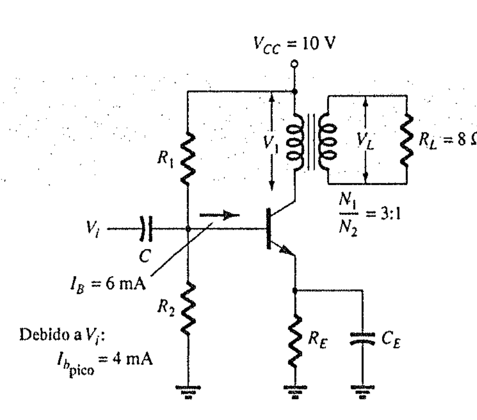


Figura 15.10 Amplificador clase A acoplado por transformador para el ejemplo 15.4.

Solución

La recta de carga de dc se dibuja de forma vertical (figura 15.11) a partir del punto de voltaje:

$$V_{CE_Q} = V_{CC} = 10 \text{ V}$$

Cuando I_B = 6 mA, el punto de operación sobre la figura 15.11 es

$$V_{CE_Q} = 10 \text{ V} \quad \text{e} \quad I_{C_Q} = 140 \text{ mA}$$

La resistencia de ac efectiva observada en el primario es

$$R'_L = \left(\frac{N_1}{N_2}\right)^2 R_L = (3)^2(8) = 72\ \Omega$$

La recta de carga de ac se puede dibujar entonces con una pendiente de −1/72 a través del punto de operación indicado. Para ayudar a dibujar la recta de carga, considere el siguiente procedimiento: para una excursión de corriente de

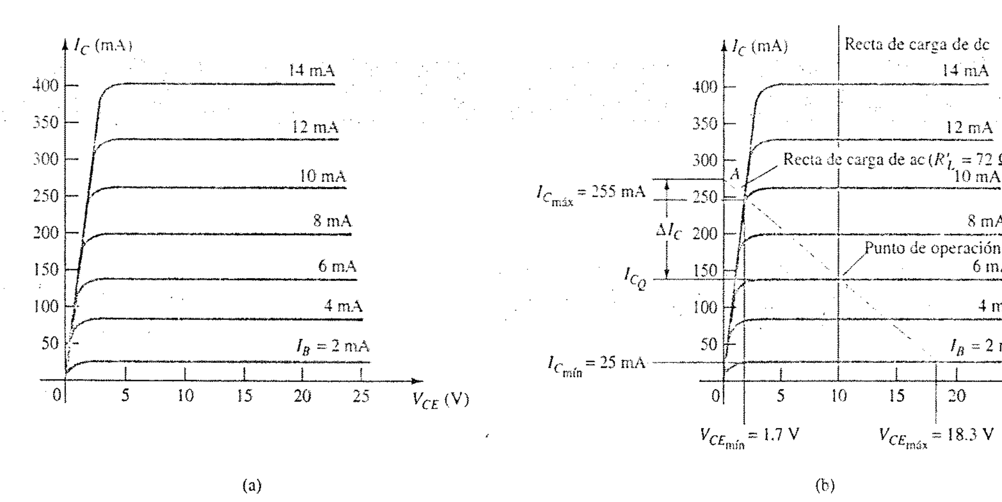


Figura 15.11 Característica del transistor para el amplificador clase A acoplado por transformador para los ejemplo 15.4 y 15.5: (a) característica del dispositivo; (b) rectas de carga de dc y ac.

$$I_C = \frac{V_{CE}}{R'_L} = \frac{10 \text{ V}}{72\ \Omega} = 139 \text{ mA}$$

marque un punto (A):

$$I_{CE_Q} + I_C = 140 \text{ mA} + 139 \text{ mA} = 279 \text{ mA a lo largo del eje } y$$

Conecte el punto A con el punto Q para obtener la recta de carga de ac. Para la excursión de la corriente de base dada de 4 mA pico, la corriente de colector y el voltaje colector-emisor, los máximos y mínimos obtenidos de la figura 15.11 serán

$$V_{CE_{mín}} = 1.7 \text{ V} \qquad I_{C_{mín}} = 25 \text{ mA}$$

$$V_{CE_{máx}} = 18.3 \text{ V} \qquad I_{C_{máx}} = 255 \text{ mA}$$

La potencia de ac aplicada a la carga se puede calcular entonces mediante la ecuación 15.13:

$$P_o(\text{ac}) = \frac{(V_{CE_{máx}} - V_{CE_{mín}})(I_{C_{máx}} - I_{C_{mín}})}{8}$$

$$= \frac{(18.3 \text{ V} - 1.7 \text{ V})(255 \text{ mA} - 25 \text{ mA})}{8} = \mathbf{0.477\ W}$$

Eficiencia

Hasta ahora, se ha considerado el cálculo de la potencia de ac aplicada a la carga, ahora consideraremos la potencia de entrada de la batería, las pérdidas de potencia en el amplificador y la eficiencia global de potencia del amplificador clase A acoplado por transformador.

La potencia de entrada (dc) obtenida de la fuente se calcula a partir del voltaje de alimentación y del consumo de potencia promedio de la fuente:

$$\boxed{P_i(\text{dc}) = V_{CC}I_{C_Q}} \qquad (15.14)$$

Para el amplificador acoplado por transformador, la potencia disipada por el transformador es pequeña (debido a la pequeña resistencia de dc de una bobina) se ignorará en los cálculos pre-

sentes. De esta forma, la única pérdida de potencia considerada aquí será la disipada por el transistor de potencia, calculada mediante

$$P_Q = P_i(\text{dc}) - P_o(\text{ac}) \qquad (15.15)$$

donde P_Q es la potencia disipada en forma de calor. Aunque la ecuación es sencilla, es importante cuando se opera un amplificador clase A. La cantidad de potencia disipada por el transistor será la diferencia entre el consumo de potencia de la fuente de dc (establecida por el punto de polarización) y la cantidad de potencia aplicada a la carga de ac. Cuando la señal de entrada es muy pequeña, con muy poca potencia de ac aplicada a la carga, la potencia máxima se disipa en el transistor. Cuando la señal de entrada es mayor y la potencia aplicada a la carga también, el transistor disipa menor potencia. En otras palabras, el transistor de un amplificador clase A debe trabajar más fuerte (disipar la mayor parte de la potencia) cuando la carga se desconecta del amplificador, y el transistor disipa la menor potencia cuando la carga se encuentra consumiendo la máxima potencia del circuito.

EJEMPLO 15.5

Para el circuito de la figura 15.10 y los resultados del ejemplo 15.4, calcule la potencia de entrada de dc, la potencia disipada por el transistor y la eficiencia del circuito para la señal de entrada del ejemplo 15.4.

Solución

$$\text{Ecuación 15.14:} \quad P_i(\text{dc}) = V_{CC}I_{C_Q} = (10\text{ V})(140\text{ mA}) = \mathbf{1.4\ W}$$

$$\text{Ecuación 15.15:} \quad P_Q = P_i(\text{dc}) - P_o(\text{ac}) = 1.4\text{ W} - 0.477\text{ W} = \mathbf{0.92\ W}$$

La eficiencia del amplificador será entonces

$$\%\ \eta = \frac{P_o(\text{ac})}{P_i(\text{dc})} \times 100\% = \frac{0.477\text{ W}}{1.4\text{ W}} \times 100\% = \mathbf{34.1\%}$$

EFICIENCIA TEÓRICA MÁXIMA

Para un amplificador clase A acoplado por transformador, la eficiencia teórica máxima llega hasta 50%. Con base en las señales obtenidas mediante el amplificador, la eficiencia se puede expresar como

$$\%\ \eta = 50\left(\frac{V_{CE_{\text{máx}}} - V_{CE_{\text{mín}}}}{V_{CE_{\text{máx}}} + V_{CE_{\text{mín}}}}\right)^2 \% \qquad (15.16)$$

Mientras mayor sea el valor de $V_{CE_{\text{máx}}}$ y menor el valor de $V_{CE_{\text{mín}}}$, más cercana será la eficiencia al límite teórico de 50%.

EJEMPLO 15.6

Calcule la eficiencia de un amplificador clase A acoplado por transformador para una alimentación de 12 V y salidas de:
(a) $V(\text{p}) = 12$ V.
(b) $V(\text{p}) = 6$ V.
(c) $V(\text{p}) = 2$ V.

Solución

Dado que $V_{CE_Q} = V_{CC} = 12$ V, las excursiones máxima y mínima del voltaje serán

(a) $V_{CE_{\text{máx}}} = V_{CE_Q} + V(\text{p}) = 12\text{ V} + 12\text{ V} = 24\text{ V}$

$V_{CE_{\text{mín}}} = V_{CE_Q} - V(\text{p}) = 12\text{ V} - 12\text{ V} = 0\text{ V}$

lo que da por resultado

$$\%\ \eta = 50\left(\frac{24\text{ V} - 0\text{ V}}{24\text{ V} + 0\text{ V}}\right)^2 \% = \mathbf{50\%}$$

(b) $V_{CE_{\text{máx}}} = V_{CE_Q} + V(\text{p}) = 12\text{ V} + 6\text{ V} = 18\text{ V}$

$V_{CE_{\text{mín}}} = V_{CE_Q} - V(\text{p}) = 12\text{ V} - 6\text{ V} = 6\text{ V}$

lo que da por resultado

$$\%\ \eta = 50\left(\frac{18\text{ V} - 6\text{ V}}{18\text{ V} + 6\text{ V}}\right)^2 \% = \mathbf{12.5\%}$$

(c) $V_{CE_{\text{máx}}} = V_{CE_Q} + V(\text{p}) = 12\text{ V} + 2\text{ V} = 14\text{ V}$

$V_{CE_{\text{mín}}} = V_{CE_Q} - V(\text{p}) = 12\text{ V} - 2\text{ V} = 10\text{ V}$

lo que da por resultado

$$\%\ \eta = 50\left(\frac{14\text{ V} - 10\text{ V}}{14\text{ V} + 10\text{ V}}\right)^2 \% = \mathbf{1.39\%}$$

Observe la forma drástica con la que cae la eficiencia del amplificador desde un nivel máximo de 50% para $V(\text{p}) = V_{CC}$ hasta ligeramente por encima de 1% cuando $V(\text{p}) = 2$ V.

15.4 OPERACIÓN DEL AMPLIFICADOR CLASE B

La operación clase B se permite cuando la polarización de dc deja al transistor casi apagado, de manera que el transistor se enciende cuando se aplica la señal de ac. Esto representa esencialmente una falta de polarización, con lo que el transistor conducirá corriente solamente para una mitad del ciclo de la señal. Para obtener una salida para el ciclo completo de la señal, será necesario utilizar dos transistores y lograr que cada uno de ellos conduzca durante medios ciclos opuestos, y con esta operación combinada se obtiene un ciclo completo de señal de salida. Dado que una parte del circuito "empuja" a la señal hacia arriba durante una mitad de ciclo y la otra parte "jala" la señal hacia abajo durante la otra mitad del ciclo, el circuito se denomina de contrafase *circuito push-pull* (del inglés empujar-jalar). La figura 15.12 muestra un diagrama para la operación en contrafase. Se aplica una señal de entrada de ac al circuito de contrafase, *push-pull*, con cada mitad operando sobre medios ciclos alternos, con lo que la carga recibe una señal durante el ciclo completo de ac. Los transistores de potencia empleados en el circuito de contrafase son capaces de entregar la potencia deseada a la carga, y la operación clase B de estos transistores proporciona una eficiencia mayor que la que era posible mediante un solo transistor en la operación clase A.

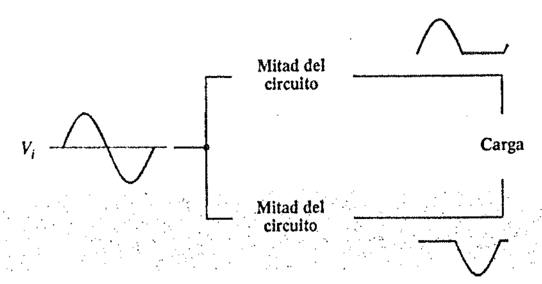


Figura 15.12 Representación en bloques de la operación en contrafase.

Potencia de entrada (dc)

La potencia proporcionada a la carga por un amplificador se toma de la fuente de alimentación (o fuentes de alimentación; ver figura 15.13) que proporciona la potencia de entrada de dc. La cantidad de esta potencia de entrada puede ser calculada mediante

$$P_i(\text{dc}) = V_{CC}I_{\text{dc}} \qquad (15.17)$$

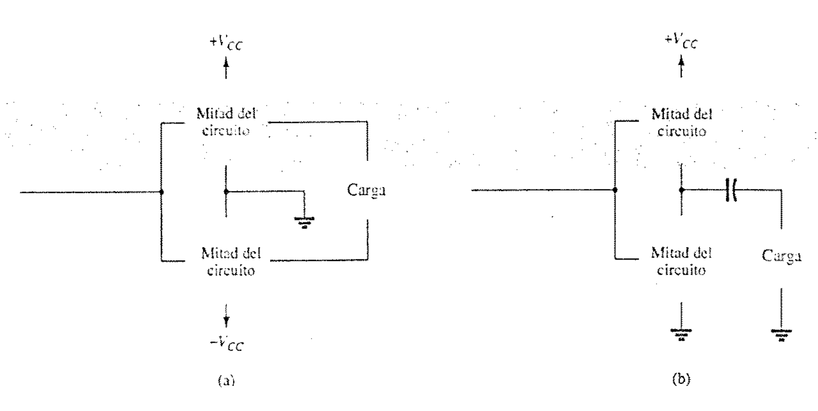


Figura 15.13 Conexión del amplificador en contrafase con la carga: (a) mediante dos fuentes de voltaje; (b) mediante una fuente de voltaje

donde I_{dc} es la corriente promedio o dc, que se consume de las fuentes de alimentación. En la operación clase B, el consumo de corriente de una sola fuente de alimentación tiene la forma de una señal rectificada de onda completa, mientras que la extraída de dos fuentes de alimentación tiene la forma de una señal rectificada de media onda de cada fuente. En cualquier caso, el valor del consumo promedio de corriente puede expresarse como

$$I_{dc} = \frac{2}{\pi} I(p) \tag{15.18}$$

donde $I(p)$ es el valor pico de la forma de onda de la corriente de salida. Al utilizar la ecuación 15.18 en la ecuación de potencia de entrada (ecuación 15.17) se obtiene

$$P_i(dc) = V_{CC}\left(\frac{2}{\pi} I(p)\right) \tag{15.19}$$

Potencia de salida (ac)

La potencia aplicada a la carga (comúnmente referida como una resistencia R_L) se puede calcular mediante cualquiera de distintas ecuaciones. Si se utiliza un medidor rms para medir el voltaje a través de la carga, la potencia de salida se puede calcular como

$$P_o(ac) = \frac{V_L^2(rms)}{R_L} \tag{15.20}$$

Si se utiliza un osciloscopio, se puede utilizar el voltaje de salida pico o pico a pico:

$$P_o(ac) = \frac{V_L^2(p\text{-}p)}{8R_L} = \frac{V_L^2(p)}{2R_L} \tag{15.21}$$

Mientras mayor sea el voltaje de salida rms o pico, mayor será la potencia aplicada a la carga.

Eficiencia

La eficiencia del amplificador clase B puede calcularse mediante la ecuación básica:

$$\%\ \eta = \frac{P_o(ac)}{P_i(dc)} \times 100\%$$

Al utilizar las ecuaciones 15.19 y 15.21 en la ecuación anterior de eficiencia se obtiene

$$\%\ \eta = \frac{P_o(ac)}{P_i(dc)} \times 100\% = \frac{V_L^2(p)/2R_L}{V_{CC}[(2/\pi)I(p)]} \times 100\% = \frac{\pi}{4}\frac{V_L(p)}{V_{CC}} \times 100\% \tag{15.22}$$

(al emplear $I(p) = V_L(p)/R_L$). La ecuación 15.22 muestra que mientras mayor sea el voltaje pico, mayor será la eficiencia del circuito, hasta llegar al valor máximo cuando $V_L(p) = V_{CC}$, esta eficiencia máxima será entonces

$$\text{eficiencia máxima} = \frac{\pi}{4} \times 100\% = 78.5\%$$

Potencia disipada por los transistores de salida

La potencia disipada (en forma de calor) por los transistores de potencia de salida será la diferencia entre la potencia de entrada aplicada por las fuentes y la potencia de salida aplicada a la carga.

$$P_{2Q} = P_i(dc) - P_o(ac) \tag{15.23}$$

donde P_{2Q} es la potencia disipada por los dos transistores de potencia de salida. La potencia disipada que maneja cada transistor será entonces

$$P_Q = \frac{P_{2Q}}{2} \tag{15.24}$$

EJEMPLO 15.7

Para un amplificador clase B que proporciona una señal pico de 20 V a una carga de 16 Ω (bocina) y una fuente de alimentación V_{CC} = 30 V, determine la potencia de entrada, la potencia de salida y la eficiencia del circuito.

Solución

Una señal pico de 20 V a través de una carga de 16 Ω ofrece una corriente de carga pico de

$$I_L(p) = \frac{V_L(p)}{R_L} = \frac{20\ \text{V}}{16\ \Omega} = 1.25\ \text{A}$$

El valor del consumo de corriente de dc de la fuente de alimentación será entonces

$$I_{dc} = \frac{2}{\pi} I_L(p) = \frac{2}{\pi}(1.25\ \text{A}) = 0.796\ \text{A}$$

y la potencia de entrada proporcionada por el voltaje de alimentación es

$$P_i(dc) = V_{CC}I_{dc} = (30\ \text{V})(0.796\ \text{A}) = \mathbf{23.9\ W}$$

La potencia de salida aplicada a la carga es

$$P_o(ac) = \frac{V_L^2(p)}{2R_L} = \frac{(20\ \text{V})^2}{2(16\ \Omega)} = \mathbf{12.5\ W}$$

para una eficiencia resultante de

$$\%\ \eta = \frac{P_o(ac)}{P_i(dc)} \times 100\% = \frac{12.5\ \text{W}}{23.9\ \text{W}} \times 100\% = \mathbf{52.3\%}$$

Consideraciones de potencia máxima

Para la operación clase B, la potencia máxima de salida se aplica a la carga cuando $V_L(p) = V_{CC}$:

$$P_o(\text{ac})\ \text{máxima} = \frac{V_{CC}^2}{2R_L} \qquad (15.25)$$

La corriente pico de ac correspondiente $I(p)$ será entonces

$$I(p) = \frac{V_{CC}}{R_L}$$

por lo que el valor máximo de la corriente promedio de la fuente de alimentación es

$$I_{dc}\ \text{máxima} = \frac{2}{\pi} I(p) = \frac{2V_{CC}}{\pi R_L}$$

Mediante el empleo de esta corriente para calcular el valor máximo de la potencia de entrada el resultado es

$$P_i(\text{dc})\ \text{máxima} = V_{CC}(I_{dc}\ \text{máxima}) = V_{CC}\left(\frac{2V_{CC}}{\pi R_L}\right) = \frac{2V_{CC}^2}{\pi R_L} \qquad (15.26)$$

La eficiencia máxima del circuito para la operación clase B será entonces

$$\%\ \eta\ \text{máxima} = \frac{P_o(\text{ac})}{P_i(\text{dc})} \times 100\% = \frac{V_{CC}^2/2R_L}{V_{CC}[(2/\pi)(V_{CC}/R_L)]} \times 100\%$$

$$= \frac{\pi}{4} \times 100\% = \mathbf{78.54\%} \qquad (15.27)$$

Cuando la señal de entrada ocasiona una excursión menor a la señal de salida máxima, la eficiencia del circuito será menor que 78.5%.

Para la operación clase B, la potencia máxima disipada por los transistores de salida no ocurre en la condición de máxima potencia de entrada o de salida. La máxima potencia disipada por los dos transistores de salida ocurre cuando el voltaje de salida a través de la carga es

$$V_L(p) = 0.636V_{CC} \qquad \left(= \frac{2}{\pi}V_{CC}\right)$$

para una disipación de potencia máxima del transistor de

$$P_{2Q}\ \text{máxima} = \frac{2V_{CC}^2}{\pi^2 R_L} \qquad (15.28)$$

EJEMPLO 15.8

Para un amplificador clase B que utiliza una fuente de $V_{CC} = 30$ V y maneja una carga de 16 Ω, determine los valores máximos de la potencia de entrada, potencia de salida y disipación del transistor.

Solución

La potencia de salida máxima es

$$P_o(\text{ac})\ \text{máxima} = \frac{V_{CC}^2}{2R_L} = \frac{(30\ \text{V})^2}{2(16\ \Omega)} = \mathbf{28.125\ W}$$

La potencia de entrada máxima que se consume de la fuente de alimentación de voltaje es

$$P_i(\text{dc})\ \text{máxima} = \frac{2V_{CC}^2}{\pi RL} = \frac{2(30\ \text{V})^2}{\pi(16\ \Omega)} = \mathbf{35.81\ W}$$

La eficiencia del circuito será entonces

$$\%\ \eta\ \text{máxima} = \frac{P_o(\text{ac})}{P_i(\text{dc})} \times 100\% = \frac{28.125\ \text{W}}{35.81\ \text{W}} \times 100\% = 78.54\%$$

como se esperaba. La potencia máxima disipada por cada transistor es

$$P_Q\ \text{máxima} = \frac{P_{2Q}\ \text{máxima}}{2} = 0.5\left(\frac{2V_{CC}^2}{\pi^2 R_L}\right) = 0.5\left[\frac{2(30\ \text{V})^2}{\pi^2 16\ \Omega}\right] = \mathbf{5.7\ W}$$

Bajo condiciones máximas un par de transistores, de los cuales cada uno maneja a lo más 7.5 W, puede entregar 28.125 W a una carga de 16 Ω mientras se consumen 35.81 W de la fuente.

La eficiencia máxima de un amplificador clase B puede también expresarse de la siguiente forma:

$$P_o(\text{ac}) = \frac{V_L^2(p)}{2R_L}$$

$$P_i(\text{dc}) = V_{CC}I_{dc} = V_{CC}\left[\frac{2V_L(p)}{\pi R_L}\right]$$

de forma que

$$\%\ \eta = \frac{P_o(\text{ac})}{P_i(\text{dc})} \times 100\% = \frac{V_L^2(p)/2R_L}{V_{CC}[(2/\pi)(V_L(p)/R_L)]} \times 100\%$$

$$\%\ \eta = 78.54\frac{V_L(p)}{V_{CC}}\% \qquad (15.29)$$

EJEMPLO 15.9

Calcule la eficiencia de un amplificador clase B para un voltaje de alimentación de $V_{CC} = 24$ V, con voltajes pico de salida de:
(a) $V_L(p) = 22$ V.
(b) $V_L(p) = 6$ V.

Solución

Mediante la ecuación 15.29 se tiene

(a) $\%\ \eta = 78.54\frac{V_L(p)}{V_{CC}}\% = 78.54\left(\frac{22\ \text{V}}{24\ \text{V}}\right) = \mathbf{72\%}$

(b) $\%\ \eta = 78.54\left(\frac{6\ \text{V}}{24\ \text{V}}\right)\% = \mathbf{19.6\%}$

Observe que un voltaje cercano al máximo [22 V en el inciso (*a*)] da como resultado una eficiencia cercana a la máxima, mientras que una excursión de voltaje pequeña [6 V en el inciso (*b*)] aún proporciona una eficiencia cercana a 20%. Fuentes de alimentación de voltaje y excursiones de señal similares habrían dado por resultado una eficiencia mucho más pobre en un amplificador clase A.

15.5 CIRCUITOS AMPLIFICADORES CLASE B

Es posible obtener la operación de clase B mediante varios arreglos de circuitos. En esta sección se considerarán las ventajas y desventajas de algunos de los circuitos más comunes. Las señales de entrada al amplificador pueden ser una sola señal, que luego se proporciona a un

circuito con dos etapas de salida diferentes, de las cuales cada una opera durante una mitad del ciclo. Si la entrada se encuentra en la forma de dos señales de polaridad opuesta, pueden emplearse dos etapas similares, de las cuales cada una opera sobre el ciclo alterno debido a la señal de entrada. Una forma para obtener inversión de polaridad o de fase es mediante el uso de transformadores, entre los que es muy popular desde hace mucho tiempo el amplificador acoplado por transformador. Es posible obtener fácilmente entradas de polaridad opuesta mediante el uso de un op-amp que tenga dos salidas opuestas o por medio de algunas etapas de op-amp para obtener dos señales de polaridad opuesta. También es posible obtener una operación con polaridades opuestas al utilizar una sola entrada y transistores complementarios (*npn* y *pnp*, o *n*MOS y *p*MOS).

La figura 15.14 muestra distintas formas de obtener señales con fase invertida a partir de una sola señal de entrada. La figura 15.14a muestra un transformador con derivación central

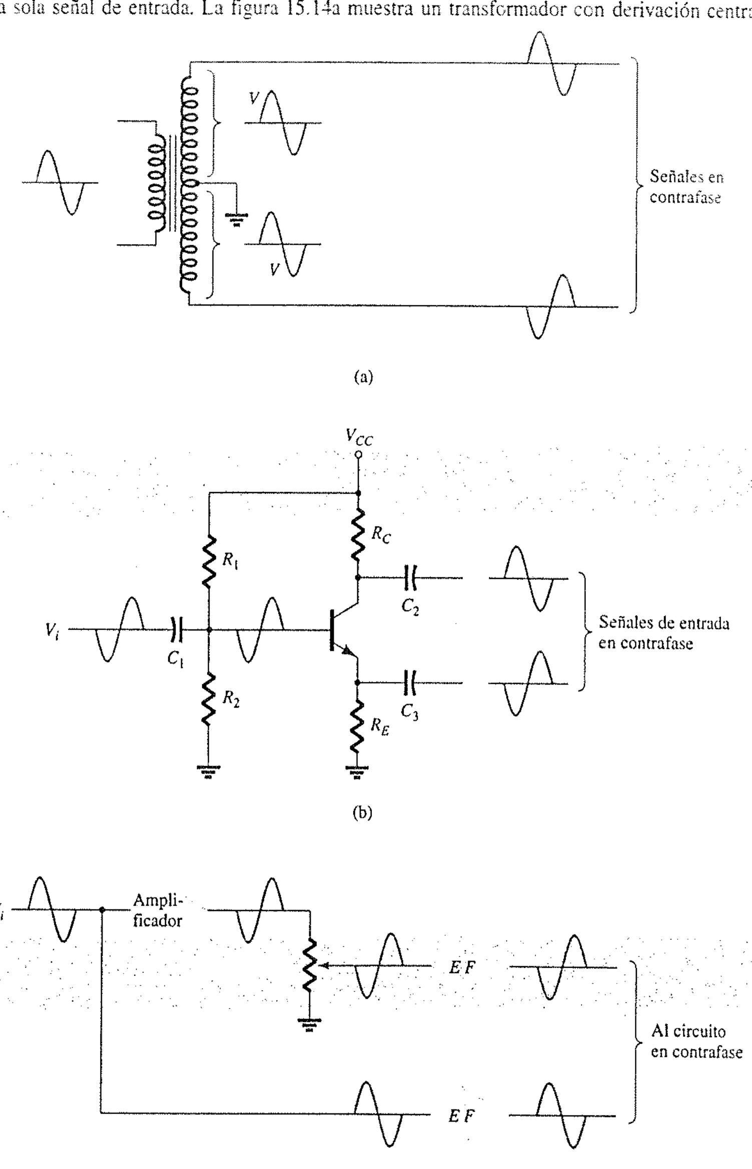


Figura 15.14 Circuitos divisores de fase.

que proporciona señales de fase opuesta. Si el transformador tiene la derivación exactamente en el centro, las dos señales serán exactamente opuestas en fase y con la misma magnitud. El circuito de la figura 15.14b emplea una etapa BJT con la salida en fase a partir del emisor y la fase opuesta a partir del colector. Si la ganancia se aproxima a 1 para cada salida, se obtendrán las mismas magnitudes. Probablemente lo más común sería utilizar dos etapas de op-amp, una etapa para proporcionar una ganancia unitaria inversora y la otra, para una ganancia unitaria no inversora, para obtener dos salidas con la misma magnitud pero con fase opuesta.

Circuitos en contrafase acoplados por transformador

El circuito de la figura 15.15 emplea un transformador de entrada con derivación central para producir señales de polaridad opuesta a las dos entradas de transistor y un transformador de salida para accionar la carga en un modo de operación en contrafase que se describe a continuación.

Durante la primera mitad del ciclo de operación, el transistor Q_1 se activa para conducir mientras que el transistor Q_2 se desactiva. La corriente I_1 a través del transformador da como resultado el primer medio ciclo de la señal a la carga. Durante el segundo medio ciclo de la señal de entrada, Q_2 conduce mientras que Q_1 permanece apagado, la corriente I_2 a través del transformador da como resultado el segundo medio ciclo a la carga. La señal total generada a través de la carga entonces variará durante el ciclo completo de la operación de la señal.

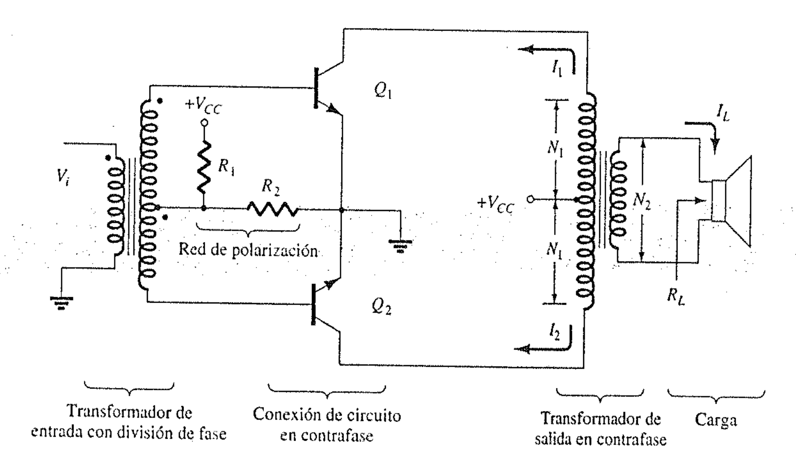
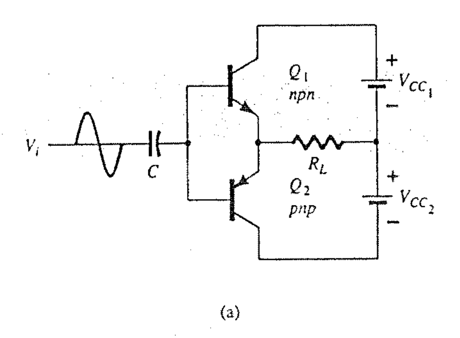


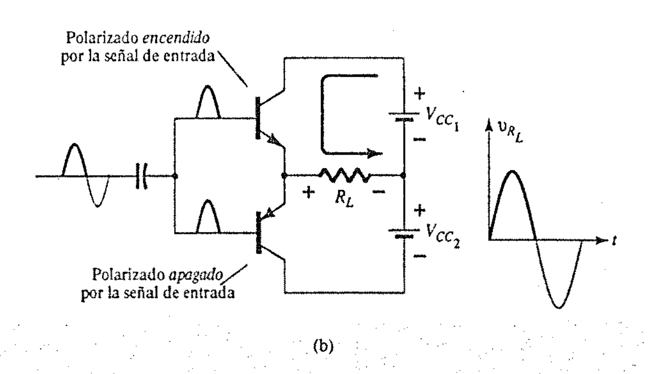
Figura 15.15 Circuito en contrafase.

Circuitos simétricos complementarios

Al utilizar transistores complementarios (*npn* y *pnp*) es posible obtener una salida de ciclo completo a través de una carga mediante medios ciclos de operación de cada transistor, como se indica en la figura 15.16a. Mientras se aplica una señal sencilla de entrada a la base de ambos transistores, los transistores, que son de tipo opuesto, conducirán en medios ciclos opuestos de la entrada. El transistor *npn* se polarizará para conducir por el medio ciclo positivo de la señal, con un medio ciclo de señal resultante a través de la carga como se muestra en la figura 15.16b. Durante el medio ciclo negativo de la señal, el transistor *pnp* se polarizará para conducir cuando la entrada se vuelva negativa, como se muestra en la figura 15.16c.

Durante un ciclo completo de la entrada, se desarrollará un ciclo completo de señal de entrada a través de la carga. Una desventaja del circuito es la necesidad de dos fuentes de alimentación de voltaje separadas. Otra desventaja menos obvia, con el circuito complementario se observa en la distorsión de cruce o transición resultante en la señal de entrada (ver figura 15.16d). La *distorsión de cruce* se refiere al hecho de que durante la transición de la señal de positiva a negativa (o viceversa) existe una cierta no linealidad en la señal de salida. Esto resulta del hecho de que el circuito no ofrece una conmutación exacta del transistor apagado al transistor encendido en la condición de voltaje cero. Ambos transistores podrían estar parcialmente apagados de forma que el voltaje de salida no sigue a la entrada alrededor de la condi-





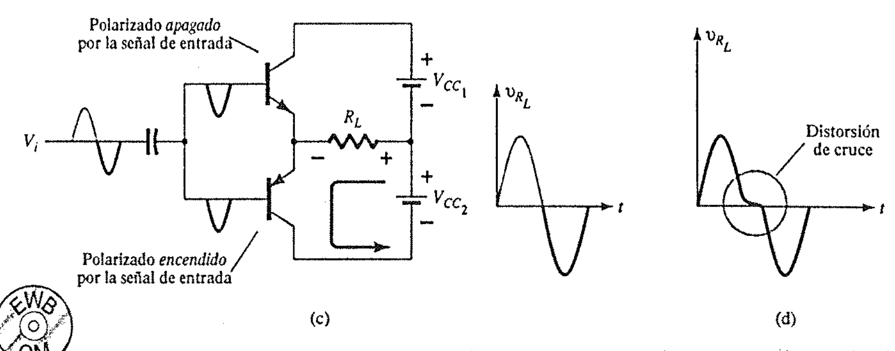


Figura 15.16 Circuito en contrafase simétrico complementario.

ción de voltaje cero. La polarización de los transistores en la clase AB mejora esta operación mediante la polarización de ambos transistores para que permanezcan encendidos por más de medio ciclo.

En la figura 15.17 se muestra una versión más práctica de un circuito en contrafase mediante transistores complementarios. Observe que la carga se maneja como la salida de un emisor-seguidor de forma que la resistencia de carga de la carga es igualada por la baja resistencia de salida de la fuente excitadora. El circuito utiliza transistores complementarios conectados en Darlington para proporcionar una corriente mayor de salida y una menor resistencia de salida.

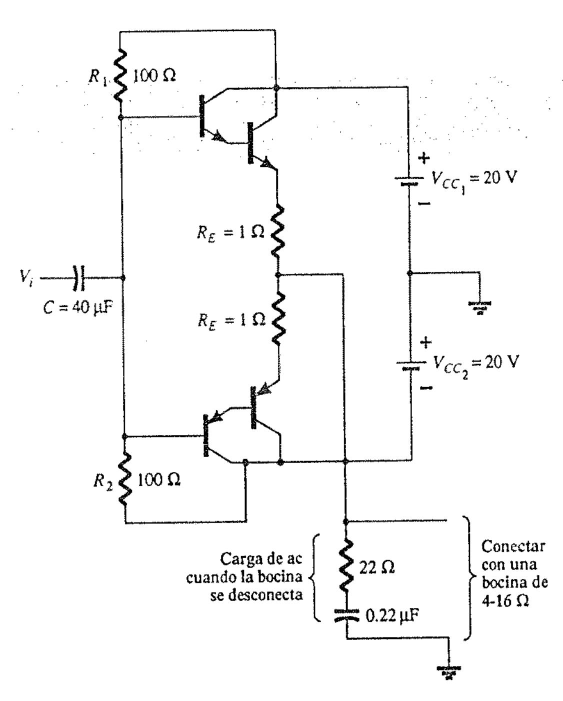


Figura 15.17 Circuito en contrafase complementario simétrico que utiliza transistores Darlington.

Amplificador en contrafase cuasicomplementario

En los circuitos amplificadores de potencia prácticos, es preferible utilizar transistores *npn* para ambos dispositivos de alta corriente de salida. Debido a que la conexión en contrafase requiere dispositivos complementarios, se deberá utilizar un transistor *pnp* de alta potencia. Un medio práctico de obtener una operación complementaria mientras se utilizan los mismos transistores *npn* acoplados a la salida, lo ofrece un circuito cuasicomplementario, como se muestra en la figura 15.18. La operación en contrafase se logra mediante el uso de transistores com-

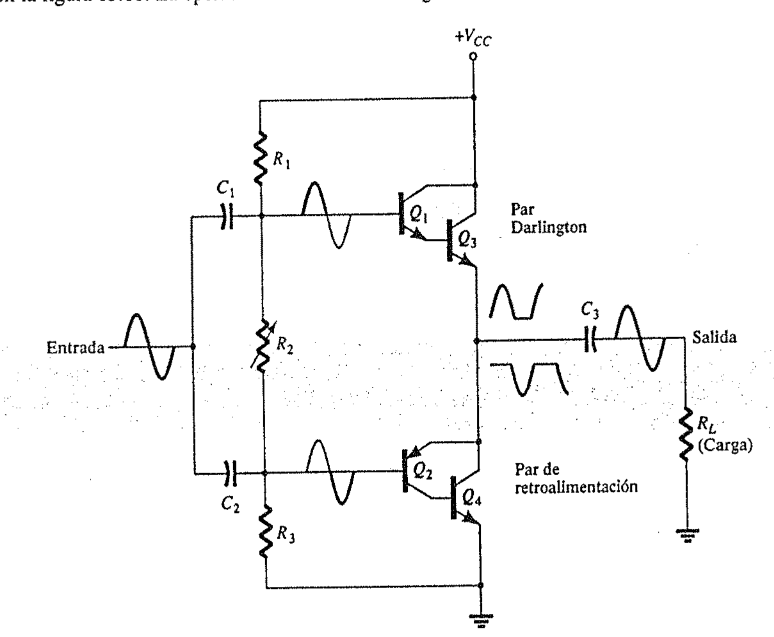
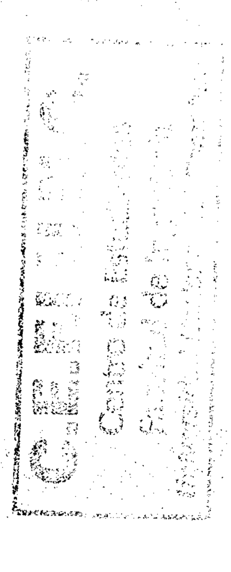


Figura 15.18 Amplificador de potencia en contrafase cuasicomplementario sin transformador.



plementarios (Q_1 y Q_2) antes de los transistores *npn* de salida acoplados (Q_3 y Q_4). Observe que los transistores Q_1 y Q_3 forman una conexión Darlington que proporcionan la salida de un emisor-seguidor de baja impedancia. La conexión de los transistores Q_2 y Q_4 forma un par retroalimentado, el cual, de forma similar, proporciona un manejo de baja impedancia para la carga. El resistor R_2 puede ajustarse para minimizar la distorsión de cruce mediante el ajuste de la condición de polarización de dc. La señal única de entrada aplicada a la etapa de contrafase, entonces ocasiona una salida de ciclo completo para la carga. El amplificador en contrafase cuasicomplementario es actualmente la forma más popular del amplificador de potencia.

EJEMPLO 15.10

Para el circuito de la figura 15.19, calcule la potencia de entrada, la potencia de salida y la potencia manejada por cada transistor de salida y la eficiencia del circuito para una entrada de 12 V rms.

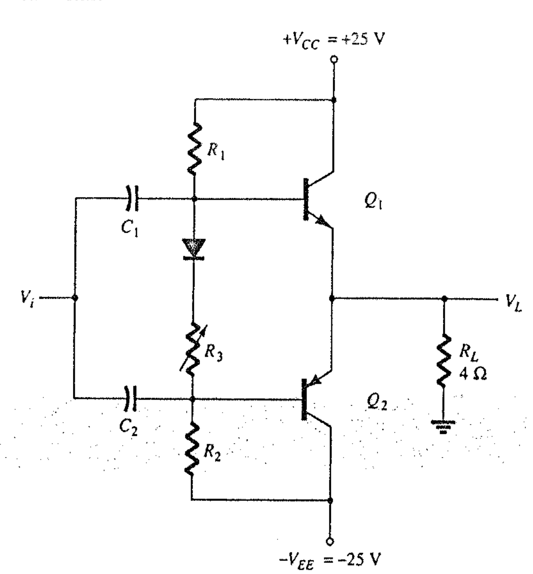


Figura 15.19 Amplificador de potencia clase B para los ejemplos 15.10-15.12.

Solución

El voltaje de entrada pico es

$$V_i(\text{p}) = \sqrt{2}\,V_i\,(\text{rms}) = \sqrt{2}\,(12\text{ V}) = 16.97\text{ V} \approx 17\text{ V}$$

Debido a que el voltaje resultante a través de la carga es idealmente el mismo que la señal de entrada (el amplificador tiene, de forma ideal, una ganancia de voltaje unitaria),

$$V_L(\text{p}) = 17\text{ V}$$

y la potencia de salida generada a través de la carga es

$$P_o(\text{ac}) = \frac{V_L^2(\text{p})}{2R_L} = \frac{(17\text{ V})^2}{2(4\ \Omega)} = \mathbf{36.125\ W}$$

La corriente de carga pico es

$$I_L(\text{p}) = \frac{V_L(\text{p})}{R_L} = \frac{17\text{ V}}{4\ \Omega} = 4.25\text{ A}$$

a partir de la cual la corriente de dc de las fuentes se calcula como

$$I_{\text{dc}} = \frac{2}{\pi}I_L(\text{p}) = \frac{2(4.25\text{ A})}{\pi} = 2.71\text{ A}$$

por lo que la potencia proporcionada al circuito es

$$P_i(\text{dc}) = V_{CC}I_{\text{dc}} = (25\text{ V})(2.71\text{ A}) = \mathbf{67.75\ W}$$

La potencia disipada por cada uno de los transistores de salida es

$$P_Q = \frac{P_{2Q}}{2} = \frac{P_i - P_o}{2} = \frac{67.75\text{ W} - 36.125\text{ W}}{2} = \mathbf{15.8\ W}$$

La eficiencia del circuito (para la entrada de 12 V, rms) será entonces

$$\%\,\eta = \frac{P_o}{P_i} \times 100\% = \frac{36.125\text{ W}}{67.75\text{ W}} \times 100\% = \mathbf{53.3\%}$$

EJEMPLO 15.11

Para el circuito de la figura 15.19, calcule la potencia de entrada máxima, la potencia de salida máxima, el voltaje de entrada para la potencia máxima de operación y la potencia disipada por los transistores de salida a este voltaje.

Solución

La potencia de entrada máxima es

$$P_i(\text{dc})\text{ máxima} = \frac{2V_{CC}^2}{\pi R_L} = \frac{2(25\text{ V})^2}{\pi 4\ \Omega} = \mathbf{99.47\ W}$$

La potencia de salida máxima es

$$P_o(\text{ac})\text{ máxima} = \frac{V_{CC}^2}{2R_L} = \frac{(25\text{ V})^2}{2(4\ \Omega)} = \mathbf{78.125\ W}$$

[Observe que la eficiencia máxima se logra]:

$$\%\,\eta = \frac{P_o}{P_i} \times 100\% = \frac{78.125\text{ W}}{99.47\text{ W}}100\% = 78.54\%$$

Para alcanzar la máxima potencia de operación el voltaje de salida debe ser

$$V_L(\text{p}) = V_{CC} = 25\text{ V}$$

y la potencia disipada por los transistores de salida será entonces

$$P_{2Q} = P_i - P_o = 99.47\text{ W} - 78.125\text{ W} = \mathbf{21.3\ W}$$

EJEMPLO 15.12

Para el circuito de la figura 15.19, determine la potencia máxima disipada por los transistores de salida y el voltaje de entrada en el que esto ocurre.

Solución

La potencia máxima disipada por ambos transistores de salida es

$$P_{2Q}\text{máxima} = \frac{2V_{CC}^2}{\pi^2 R_L} = \frac{2(25\text{ V})^2}{\pi^2 4\ \Omega} = \mathbf{31.66\ W}$$

La disipación máxima ocurre cuando

$$V_L = 0.636V_L(\text{p}) = 0.636(25\text{ V}) = \mathbf{15.9\ V}$$

(Observe que cuando $V_L = 15.9$ V el circuito exige que los transistores de salida disipen 31.66 W, mientras que cuando $V_L = 25$ V éstos sólo deben disipar 21.3 W).

15.6 DISTORSIÓN DEL AMPLIFICADOR

Una señal senoidal pura posee una sola frecuencia a la cual el voltaje varía de forma positiva y negativa en la misma cantidad. Cualquier señal que varía por menos del ciclo completo de 360° se considera que tiene distorsión. Un amplificador ideal es capaz de amplificar una señal senoidal pura para ofrecer una versión mayor, donde la forma de onda resultante es una señal senoidal pura de una sola frecuencia. Cuando ocurre la distorsión, la salida no será una copia exacta (excepto por la magnitud) de la señal de entrada.

La distorsión puede presentarse debido a que la característica del dispositivo no es lineal, en cuyo caso sucede la distorsión no lineal o de amplitud. Esto puede ocurrir con la operación de todas las clases de amplificador. También puede presentarse la distorsión cuando los dispositivos y elementos del circuito responden a la señal de entrada de forma diferente a distintas frecuencias, lo cual representa la distorsión de frecuencia.

Una técnica para describir formas de onda distorsionadas pero periódicas, emplea el análisis de Fourier, un método que describe cualquier forma de onda periódica, en términos de su componente fundamental de frecuencia y de componentes de frecuencia en múltiplos enteros, estos componentes se conocen como *componentes armónicos* o *armónicas*. Por ejemplo, una señal original de 1000 Hz puede dar como resultado, después de la distorsión, un componente de frecuencia en 1000 Hz (1 kHz) y componentes armónicos en 2 kHz (2×1 kHz), 3 kHz (3×1 kHz), 4 kHz (4×1 kHz), etcétera. La frecuencia original de 1 kHz se denomina como *frecuencia fundamental*; aquéllas en los múltiplos enteros serán las armónicas. Por tanto, al componente en 2 kHz se le conoce como *segunda armónica*, al de 3 kHz como *tercera armónica*, y así sucesivamente. La frecuencia fundamental no se considera una armónica. El análisis de Fourier no permite frecuencias armónicas fraccionales, solamente múltiplos enteros de la fundamental.

Distorsión armónica

Se considera que una señal tiene distorsión armónica cuando se presentan componentes frecuencia armónica (no sólo el componente fundamental). Si la frecuencia fundamental cuenta con una amplitud A_1, y el enésimo componente de frecuencia tiene una amplitud A_n, la distorsión armónica puede definirse como

$$\% \text{ distorsión de la armónica enésima} = \% D_n = \frac{|A_n|}{|A_1|} \times 100\% \quad (15.30)$$

El componente fundamental es por lo regular mayor que cualquier componente armónico.

EJEMPLO 15.13

Calcule los componentes de distorsión armónica para una señal de salida que cuenta con una amplitud fundamental de 2.5 V, amplitud de segunda armónica de 0.25 V, amplitud de tercera armónica de 0.1 V y amplitud de cuarta armónica de 0.05 V.

Solución

Mediante la ecuación 15.30 se tiene

$$\% D_2 = \frac{|A_2|}{|A_1|} \times 100\% = \frac{0.25 \text{ V}}{2.5 \text{ V}} \times 100\% = \mathbf{10\%}$$

$$\% D_3 = \frac{|A_3|}{|A_1|} \times 100\% = \frac{0.1 \text{ V}}{2.5 \text{ V}} \times 100\% = \mathbf{4\%}$$

$$\% D_4 = \frac{|A_4|}{|A_1|} \times 100\% = \frac{0.05 \text{ V}}{2.5 \text{ V}} \times 100\% = \mathbf{2\%}$$

DISTORSIÓN ARMÓNICA TOTAL

Cuando una señal de salida tiene varios componentes individuales de distorsión armónica, se puede considerar que la señal tiene una distorsión armónica total que se basa en los elementos individuales combinados según la relación de la siguiente ecuación:

$$\% \text{ THD} = \sqrt{D_2^2 + D_3^2 + D_4^2 + \cdots} \times 100\% \quad (15.31)$$

donde THD es la distorsión armónica total (del inglés *Total Harmonic Distortion*).

EJEMPLO 15.14

Calcule la distorsión armónica total para los componentes de amplitud dados en el ejemplo 15.13.

Solución

Por medio de los valores calculados de $D_2 = 0.10$, $D_3 = 0.04$ y $D_4 = 0.02$ en la ecuación 15.31,

$$\% \text{ THD} = \sqrt{D_2^2 + D_3^2 + D_4^2} \times 100\%$$
$$= \sqrt{(0.10)^2 + (0.04)^2 + (0.02)^2} \times 100\% = 0.1095 \times 100\%$$
$$= \mathbf{10.95\%}$$

Un instrumento como un analizador de espectro, podría permitir la medición de las armónicas presentes en la señal, y con ello proporcionar una visualización del componente fundamental de una señal y de varias de sus armónicas en su pantalla. De forma similar, un instrumento analizador de ondas permite una medición más precisa de los componentes armónicos de una señal distorsionada al filtrar cada uno de estos componentes y ofrecer una lectura de éstos. En cualquier caso, la técnica de considerar cualquier señal distorsionada como contenedora de un componente fundamental y componentes armónicos es práctica y útil. Para una señal que ocurre en clase AB o clase B, la distorsión puede ser principalmente debida a armónicas pares, de las cuales el segundo componente armónico será el mayor. De esta forma, a pesar de que la señal distorsionada teóricamente contiene todos los componentes armónicos a partir de la segunda armónica, la más importante en términos de cantidad de distorsión en las clases presentadas anteriormente es la segunda armónica.

DISTORSIÓN DE LA SEGUNDA ARMÓNICA

La figura 15.20 muestra una forma de onda utilizada para obtener la distorsión de la segunda armónica. Se muestra la forma de onda de la corriente de colector, con los niveles de señal estable, mínimo y máximo, y se marcan sobre la forma de onda los momentos en los que ocu-

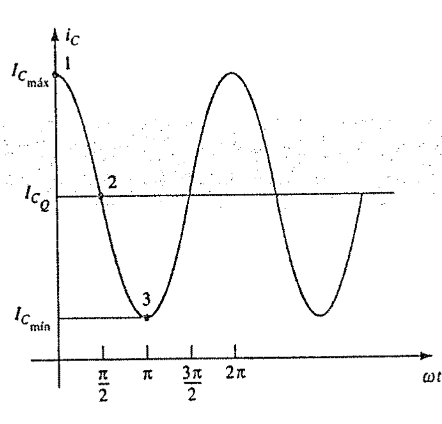


Figura 15.20 Forma de onda para obtener la distorsión de la segunda armónica.

rren. La señal mostrada indica que se encuentra presente cierta distorsión. La ecuación que describe de forma aproximada la forma de onda de señal distorsionada es

$$i_C \approx I_{C_Q} + I_0 + I_1 \cos \omega t + I_2 \cos \omega t \quad (15.32)$$

La forma de onda de la corriente contiene la corriente estable original I_{C_Q}, que sucede cuando la señal de entrada es cero; una corriente dc adicional I_0, debida al promedio distinto a cero de la señal distorsionada; el componente fundamental de la señal de ac distorsionada I_1; y un segundo componente armónico I_2, al doble de la frecuencia fundamental. Incluso cuando otras armónicas están presentes, aquí solamente se considera la segunda. Al igualar la corriente resultante de la ecuación 15.32 en algunos puntos del ciclo a la mostrada en la forma de onda de corriente, se obtienen las siguientes tres relaciones:

En el punto 1 ($\omega t = 0$):

$$i_C = I_{C_{máx}} = I_{C_Q} + I_0 + I_1 \cos 0 + I_2 \cos 0$$
$$I_{C_{máx}} = I_{C_Q} + I_0 + I_1 + I_2$$

En el punto 2 ($\omega t = \pi/2$):

$$i_C = I_{C_Q} = I_{C_Q} + I_0 + I_1 \cos \frac{\pi}{2} + I_2 \cos \frac{2\pi}{2}$$
$$I_{C_Q} = I_{C_Q} + I_0 - I_2$$

En el punto 3 ($\omega t = \pi$):

$$i_C = I_{C_{mín}} = I_{C_Q} + I_0 + I_1 \cos \pi + I_2 \cos 2\pi$$
$$I_{C_{mín}} = I_{C_Q} + I_0 - I_1 + I_2$$

Al resolver las tres ecuaciones anteriores de forma simultánea se obtienen los siguientes resultados:

$$I_0 = I_2 = \frac{I_{C_{máx}} + I_{C_{mín}} - 2I_{C_Q}}{4}, \qquad I_1 = \frac{I_{C_{máx}} - I_{C_{mín}}}{2}$$

En referencia a la ecuación 15.30, la definición de la distorsión de segunda armónica puede expresarse como

$$D_2 = \left|\frac{I_2}{I_1}\right| \times 100\%$$

Al insertar los valores de I_1 e I_2 determinados antes, se tiene

$$D_2 = \left|\frac{\frac{1}{2}(I_{C_{máx}} + I_{C_{mín}}) - I_{C_Q}}{I_{C_{máx}} - I_{C_{mín}}}\right| \times 100\% \quad (15.33)$$

De forma similar, la distorsión de segunda armónica puede expresarse en términos de los voltajes colector-emisor medidos:

$$D_2 = \left|\frac{\frac{1}{2}(V_{CE_{máx}} + V_{CE_{mín}}) - V_{CE_Q}}{V_{CE_{máx}} - V_{CE_{mín}}}\right| \times 100\% \quad (15.34)$$

EJEMPLO 15.15

Calcule la distorsión de segunda armónica, si la forma de onda de salida desplegada en un osciloscopio arrojó las mediciones siguientes:
(a) $V_{CE_{mín}} = 1$ V, $V_{CE_{máx}} = 22$ V, $V_{CE_Q} = 12$ V.
(b) $V_{CE_{mín}} = 4$ V, $V_{CE_{máx}} = 20$ V, $V_{CE_Q} = 12$ V.

Solución

Mediante la ecuación 15.34 se obtiene

$$\text{(a)}\ D_2 = \left|\frac{\frac{1}{2}(22\text{ V} + 1\text{ V}) - 12\text{ V}}{22\text{ V} - 1\text{ V}}\right| \times 100\% = \mathbf{2.38\%}$$

$$\text{(b)}\ D_2 = \left|\frac{\frac{1}{2}(20\text{ V} + 4\text{ V}) - 12\text{ V}}{20\text{ V} - 4\text{ V}}\right| \times 100\% = \mathbf{0\%} \quad \text{(sin distorsión)}$$

Potencia de una señal que tiene distorsión

Cuando se presenta la distorsión, la potencia de salida calculada para la señal sin distorsión ya no será correcta. Al presentarse la distorsión, la potencia de salida entregada al resistor de carga R_C debido al componente fundamental de la señal distorsionada será

$$P_1 = \frac{I_1^2 R_C}{2} \quad (15.35)$$

La potencia total debida a todos los componentes armónicos de la señal distorsionada puede entonces calcularse mediante

$$P = (I_1^2 + I_2^2 + I_3^2 + \cdots)\frac{R_C}{2} \quad (15.36)$$

La potencia total también puede expresarse en términos de la distorsión armónica total,

$$P = (1 + D_2^2 + D_3^2 + \cdots)I_1^2\frac{R_C}{2} = (1 + \text{THD}^2)P_1 \quad (15.37)$$

EJEMPLO 15.16

Para una lectura de distorsión armónica de $D_2 = 0.1$, $D_3 = 0.02$ y $D_4 = 0.01$, con $I_1 = 4$ A y $R_C = 8\ \Omega$, calcule la distorsión armónica total, el componente de potencia fundamental y la potencia total.

Solución

La distorsión armónica total es

$$\text{THD} = \sqrt{D_2^2 + D_3^2 + D_4^2} = \sqrt{(0.1)^2 + (0.02)^2 + (0.01)^2} \approx \mathbf{0.1}$$

La potencia fundamental calculada, por medio de la ecuación 15.35, es

$$P_1 = \frac{I_1^2 R_C}{2} = \frac{(4\text{ A})^2(8\ \Omega)}{2} = \mathbf{64\ W}$$

La potencia total calculada, mediante la ecuación 15.37 será entonces

$$P = (1 + \text{THD}^2)P_1 = [1 + (0.1)^2]64 = (1.01)64 = \mathbf{64.64\ W}$$

(Observe que la potencia total se debe principalmente al componente fundamental incluso con una distorsión de segunda armónica de 10%).

Descripción gráfica de los componentes armónicos de una señal distorsionada

Una forma de onda distorsionada como la que se presenta en la operación de clase B se puede representar a través de un análisis de Fourier como una fundamental con componentes armónicos. La figura 15.21a muestra un medio ciclo positivo del tipo que podría resultar en un lado de un amplificador clase B. Conforme a las técnicas de análisis de Fourier, se puede obtener el

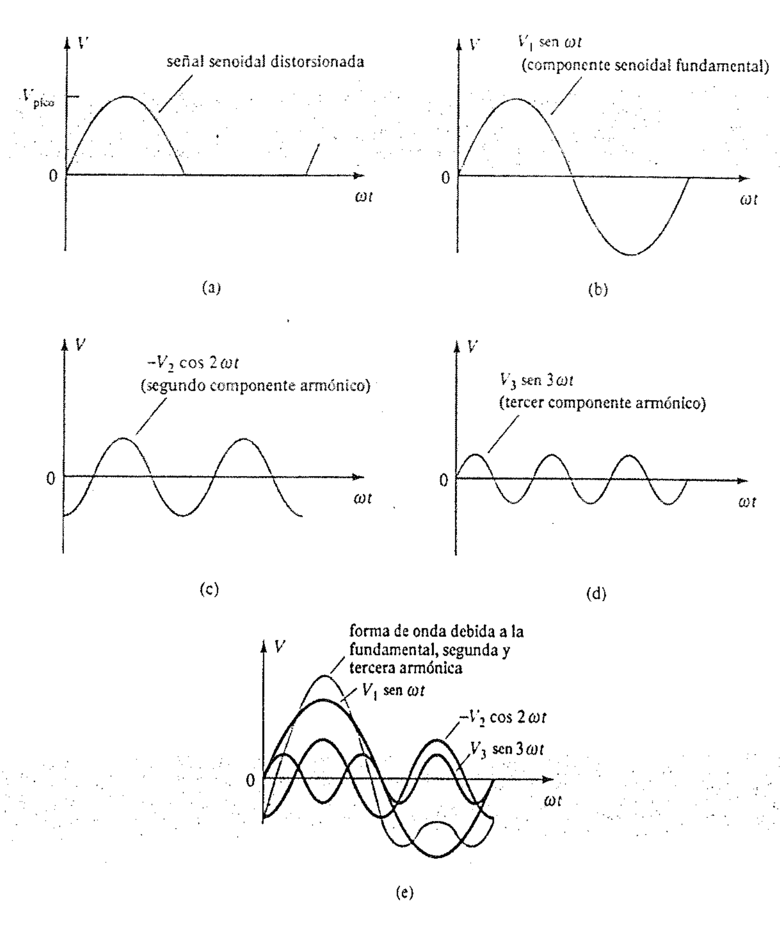


Figura 15.21 Representación gráfica de una señal distorsionada mediante el uso de componentes armónicos.

componente fundamental de la señal distorsionada como se observa en la figura 15.21b. De forma similar, pueden obtenerse los componentes de segunda y tercera armónica como se señala en las figuras 15.21c y d, respectivamente. Con la técnica de Fourier, la forma de onda distorsionada puede formarse mediante la adición de los componentes fundamental y armónicos, como se aprecia en la figura 15.21e. En general, cualquier forma de onda periódica distorsionada se puede representar a través de la suma de un componente fundamental y de todos los componentes armónicos, cada uno con una amplitud variable y con distintos ángulos de fase.

15.7 DISIPACIÓN DE CALOR DEL TRANSISTOR DE POTENCIA

Mientras que los circuitos integrados se emplean para aplicaciones de pequeña señal y de baja potencia, la mayoría de las aplicaciones de alta potencia todavía requieren transistores de potencia individuales. Las mejoras en las técnicas de producción han proporcionado niveles más altos de potencia en encapsulados de tamaño pequeño, han incrementado el voltaje máximo de ruptura del transistor y han proporcionado transistores de potencia de conmutación más rápida.

La potencia máxima que encuentra soporte en un dispositivo particular y la temperatura de las uniones del transistor se encuentran relacionadas debido a que la potencia disipada por el dispositivo ocasiona un incremento en la temperatura de la unión del dispositivo. Obviamente, un transistor de 100 W ofrecerá una capacidad mayor de potencia que la de un transistor de 10 W. Por otro lado, técnicas apropiadas de disipación de calor permitirán operar un dispositivo a cerca de la mitad de su valor nominal de potencia máxima.

Se debe notar que de los dos tipos de transistores bipolares (germanio y silicio), los transistores de silicio proporcionan los mayores niveles de temperatura máxima. Típicamente, la temperatura de unión máxima de estos tipos de transistores de potencia es

Silicio: 150–200°C

Germanio: 100–110°C

Para muchas aplicaciones, la potencia promedio disipada puede aproximarse mediante

$$P_D = V_{CE}I_C \tag{15.38}$$

Sin embargo, se permite esta disipación de potencia solamente hasta una temperatura máxima. Por encima de esta temperatura, la capacidad de disipación de potencia del dispositivo se debe reducir (o pérdida de disipación) de forma que a mayores temperaturas de encapsulado la capacidad para disipar potencia se reduce, llegando hasta 0 W para la temperatura máxima de encapsulado del dispositivo.

Mientras mayor sea la potencia manejada por el transistor, mayor será la temperatura del encapsulado. En la actualidad, el factor limitante en el manejo de potencia de un transistor particular es la temperatura de la unión del colector del dispositivo. Los transistores de potencia se montan sobre encapsulados metálicos de gran tamaño para proporcionar un área grande, a partir de la cual, el calor generado por el dispositivo pueda disiparse (o transferirse). Aun así, la operación de un transistor expuesto al aire de manera directa (por ejemplo, cuando éste se encuentra montado sobre una tarjeta de plástico) limitará de forma importante la potencia nominal del dispositivo. Si en lugar de esto (como sucede regularmente), el dispositivo se monta sobre algún tipo de disipador de calor, su capacidad de manejo de potencia se podrá aproximar al valor máximo nominal de forma más cercana. En la figura 15.22 se muestran algunos disipadores de calor. Cuando se utiliza el disipador de calor, el calor producido por la disipación de potencia del transistor contará con un área mayor a partir de la cual puede radiar (o transferir) el calor hacia el aire, con lo que se mantiene, por tanto, la temperatura del encapsulado a un valor mucho menor que el que resultaría sin el disipador de calor. Incluso con un disipador de calor infinito (el cual, por supuesto, no se encuentra disponible), con el cual la temperatura del encapsulado se mantuviera a temperatura ambiente (aire), la unión se calentaría por encima de la temperatura del encapsulado y debería considerarse un valor máximo nominal de potencia.

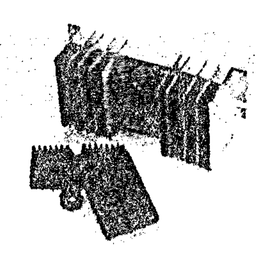


Figura 15.22 Disipadores de calor comunes.

Dado que ni siquiera un buen disipador de calor puede mantener la temperatura del encapsulado del transistor a temperatura ambiente (la cual, dicho sea de paso, puede ser superior a 25°C si el circuito del transistor se encuentra en un área cerrada donde otros dispositivos se encuentran también irradiando una buena cantidad de calor), será necesario reducir la cantidad de potencia máxima permitida para un transistor particular en función del aumento de la temperatura del encapsulado.

La figura 15.23 muestra una curva de pérdida de disipación de potencia para un transistor de silicio. La curva señala que el fabricante especificará un punto de temperatura superior (no necesariamente 25°C), a partir de la cual, se presentará una reducción lineal. Para el caso del silicio, la potencia máxima que se deberá manejar por el dispositivo no se reduce a 0 W sino hasta que la temperatura del encapsulado sea igual a 200°C.

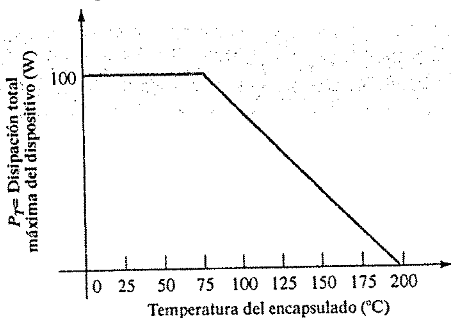


Figura 15.23 Curva típica de pérdida de disipación de potencia para transistores de silicio.

No es necesario proporcionar una curva de pérdida de disipación dado que es posible obtener la misma información como un factor de pérdida de disipación listado en la hoja de especificaciones. De forma matemática tenemos

$$P_D(\text{temp}_1) = P_D(\text{temp}_0) - (\text{Temp}_1 - \text{Temp}_0)(\text{factor de pérdida de disipación}) \quad (15.39)$$

donde el valor de Temp_0 es la temperatura a la cual debe comenzar la pérdida de disipación, el valor de Temp_1 es la temperatura de interés particular (por encima del valor de Temp_0), P_D (temp_0) y P_D (temp_1) son las disipaciones máximas de potencia para las temperaturas especificadas, y el factor de pérdida de disipación es el valor dado por el fabricante en unidades de watts (o miliwatts) por grado de temperatura.

EJEMPLO 15.17

Determine la disipación máxima que se permitirá para un transistor de silicio de 80 W (con un factor de pérdida de disipación a 25°C) si se exige una pérdida de disipación por encima de 25°C por un factor de pérdida de disipación de 0.5 W/°C a una temperatura de encapsulado de 125°C.

Solución

$$P_D(125°C) = P_D(25°C) - (125°C - 25°C)(0.5\ W/°C)$$

$$= 80\ W - 100°C(0.5\ W/°C) = \mathbf{30\ W}$$

Es interesante observar la potencia nominal que resulta del uso de un transistor de potencia sin un disipador de calor. Por ejemplo, un transistor de silicio con un valor nominal de 100 W a (o por debajo de) 100°C tiene un valor nominal de sólo 4 W a (o por debajo de) 25°C, la temperatura al aire libre. De esta forma, al operarlo sin un disipador de calor, el dispositivo puede manejar un máximo de sólo 4 W a temperatura ambiente de 25°C. El utilizar un disipador de calor lo suficientemente grande para mantener la temperatura del encapsulado en 100°C a 100 W permitirá la operación en el valor nominal máximo.

Analogía térmica del transistor de potencia

La selección de un disipador de potencia adecuado requiere de una gran cantidad de detalle que no sería apropiado para nuestras consideraciones básicas de transistores de potencia. Sin embargo, un mayor detalle acerca de las características térmicas del transistor y de su relación con su disipación de potencia, puede ayudar a obtener una comprensión más clara de la potencia limitada por la temperatura. El siguiente análisis deberá resultar útil.

En la analogía térmico-eléctrica de la figura 15.24 se ilustra la forma en que la temperatura de unión (T_J), la temperatura del encapsulado (T_C) y la temperatura ambiente (T_A) se relacionan mediante la capacidad de manejo de calor del dispositivo (un coeficiente de temperatura denominado con frecuencia resistencia térmica).

Al proporcionar una analogía térmica-eléctrica, el término *resistencia térmica* se utiliza para describir los efectos de calor mediante un término eléctrico. Los términos de la figura 15.24 se definen de la siguiente forma:

θ_{JA} = resistencia térmica total (de la unión al ambiente)

θ_{JC} = resistencia térmica del transistor (de la unión al encapsulado)

θ_{CS} = resistencia térmica del aislamiento (del encapsulado al disipador de calor)

θ_{SA} = resistencia térmica del disipador de calor (del disipador de calor al ambiente)

Mediante el empleo de la analogía eléctrica para resistencias térmicas, podemos escribir

$$\boxed{\theta_{JA} = \theta_{JC} + \theta_{CS} + \theta_{SA}} \quad (15.40)$$

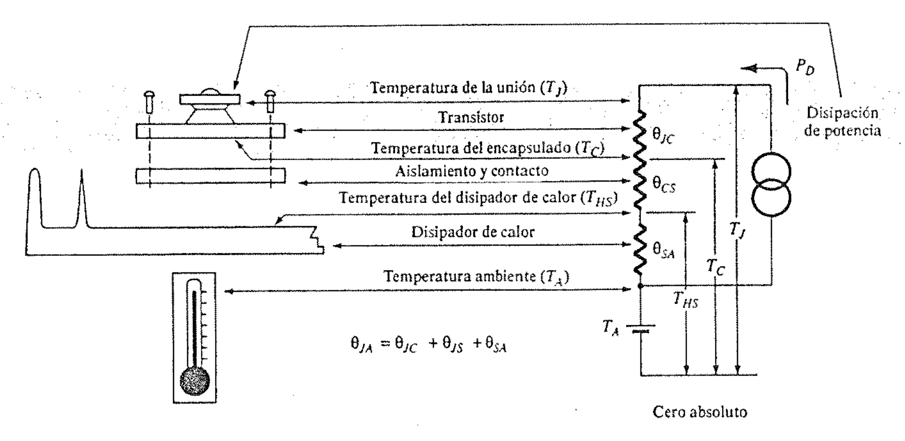


Figura 15.24 Analogía térmica-eléctrica.

La analogía también se puede utilizar al aplicar la ley de Kirchhoff para obtener

$$T_J = P_D\theta_{JA} + T_A \quad (15.41)$$

La última relación muestra que la temperatura de la unión "flota" sobre la temperatura ambiente y que mientras mayor sea la temperatura ambiente, menor será el valor permitido para la disipación de potencia del dispositivo.

El factor térmico θ ofrece información con respecto a la cantidad de caída de temperatura (o elevación) resultante para una cierta cantidad de disipación de potencia. Por ejemplo, el valor de θ_{JC} es por lo general de 0.5 °C/W. Esto significa que para una disipación de potencia de 50 W, la diferencia de temperatura entre la temperatura del encapsulado (medida por un termoacoplador) y la temperatura de la unión interna será de solamente

$$T_J - T_C = \theta_{JC}P_D = (0.5°C/W)(50\ W) = 25°C$$

De esta forma, si el disipador de calor puede mantener al encapsulado en digamos, 50°C, la unión se encontrará entonces en sólo 75°C, lo cual es una diferencia de temperatura relativamente pequeña, especialmente para niveles bajos de disipación de potencia.

El valor de la resistencia térmica desde la unión hasta el aire libre (sin utilizar un disipador de calor) es, generalmente,

$$\theta_{JA} = 40°C/W \qquad \text{(al aire libre)}$$

Para esta resistencia térmica, solamente 1 W de disipación de potencia ocasiona una temperatura de unión de 40°C mayor que la temperatura ambiente.

Ahora se puede considerar un disipador de calor para proporcionar una resistencia térmica baja entre el encapsulado y el aire, mucho menor que el valor de 40 °C/W de sólo el encapsulado del transistor. Al utilizar un disipador de calor se tiene

$$\theta_{SA} = 2°C/W$$

y con una resistencia térmica de aislamiento (que vaya del encapsulado al disipador de calor) de

$$\theta_{CS} = 0.8°C/W$$

y finalmente, para el transistor,

$$\theta_{CJ} = 0.5°C/W$$

es posible obtener

$$\theta_{JA} = \theta_{SA} + \theta_{CS} + \theta_{CJ}$$

$$= 2.0°C/W + 0.8°C/W + 0.5°C/W = 3.3°C/W$$

Por lo que con un disipador de calor, la resistencia térmica entre el aire y la unión es de solamente 3.3 °C/W, en comparación con los 40°C/W para el caso del transistor que opera directamente al aire libre. Mediante el valor de θ_{JA} anterior para un transistor que opere a, digamos, 2 W, podemos calcular

$$T_J - T_A = \theta_{JA}P_D = (3.3°C/W)(2\ W) = 6.6°C$$

En otras palabras, el empleo de un disipador de calor en este ejemplo, ofreció solamente un incremento de 6.6°C en la temperatura de la unión en comparación con un incremento de 80°C sin el disipador de calor.

EJEMPLO 15.18

Un transistor de silicio de potencia se opera con un disipador de calor (θ_{SA} = 1.5°C/W). El transistor, potencia nominal de 150 W (25°C), tiene una θ_{JC} = 0.5°C/W, y el aislamiento de montaje tiene θ_{CS} = 0.6°C/W. ¿Cuál es la potencia máxima que se puede ser disipar si la temperatura ambiente es de 40°C y $T_{J_{máx}}$ = 200°C?

Solución

$$P_D = \frac{T_J - T_A}{\theta_{JC} + \theta_{CS} + \theta_{SA}} = \frac{200°C - 40°C}{0.5°C/W + 0.6°C/W + 1.5°C/W} \approx 61.5\ W$$

15.8 AMPLIFICADORES CLASE C Y CLASE D

Aunque los amplificadores clase A, clase AB y clase B son los más utilizados como amplificadores de potencia, los amplificadores clase D son comunes debido a su muy alta eficiencia. Mientras que los amplificadores clase C no se emplean como amplificadores de audio, éstos encuentran su uso en circuitos de sintonización como los empleados en comunicaciones.

Amplificador clase C

Un amplificador clase C, como el mostrado en la figura 15.25, se polariza para operar por menos de 180° del ciclo de la señal de entrada. Sin embargo, el circuito sintonizado en la salida, proporcionará un ciclo completo de señal de salida para la frecuencia fundamental o resonante del circuito sintonizado (circuito tanque *L* y *C*) de la salida. Este tipo de operación está por tanto limitada para uso en una frecuencia fija, como sucede en un circuito de comunicaciones, por ejemplo. La operación de un circuito clase C no está destinada para amplificadores de gran señal o de potencia.

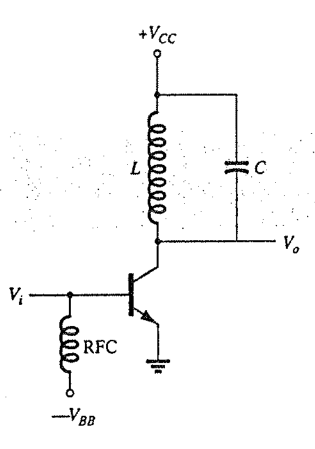


Figura 15.25 Circuito amplificador clase C.

Amplificador clase D

Un amplificador clase D está diseñado para operar con señales digitales o de tipo pulso. Mediante este tipo de circuito se logra una eficiencia de cerca de 90%, lo que lo hace muy deseable para amplificadores de potencia. Sin embargo, es necesario convertir toda señal de entrada a una forma de onda de tipo pulso antes de utilizarla para manejar una carga de potencia grande y convertir la señal de regreso a una señal de tipo senoidal para recuperar la señal original. La figura 15.26 muestra la forma en la que una señal senoidal se puede convertir a una señal de tipo pulso, por medio de algún tipo de forma de onda de diente de sierra o recortadora aplicada junto con la entrada sobre un circuito op-amp de tipo comparador de forma que se produzca una señal representativa tipo-pulso. Mientras que la letra D se utiliza para describir el siguiente tipo de operación de polarización posterior a la clase C, la letra D también se podría considerar como inicial de "Digital", debido a que ésta es la naturaleza de las señales proporcionadas al amplificador clase D.

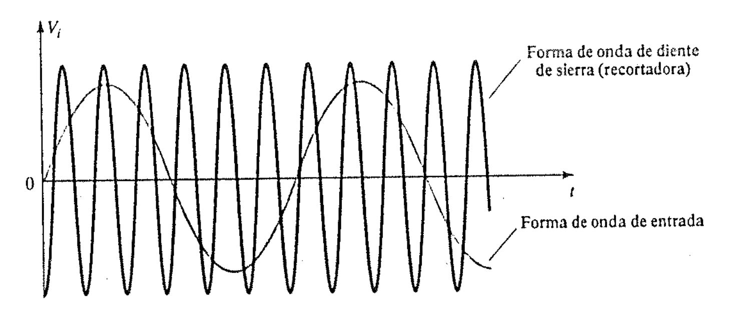


Figura 15.26 Recorte de la forma de onda senoidal para producir una forma de onda digital.

La figura 15.27 muestra un diagrama de bloques de la unidad necesaria para amplificar la señal clase D y luego convertirla de regreso a la señal de tipo senoidal mediante un filtro pasa-bajos. Dado que los transistores del amplificador utilizado para proporcionar la salida, se

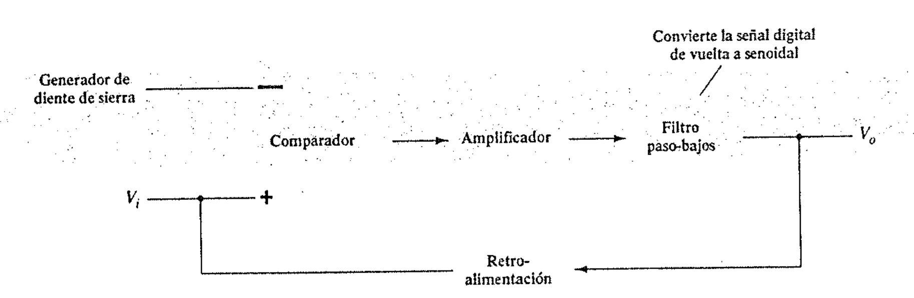


Figura 15.27 Diagrama de bloques del amplificador de clase D.

encuentran básicamente apagados o encendidos. éstos proporcionan corriente sólo cuando se encuentran encendidos, con baja pérdida de potencia debido a su pequeño voltaje de encendido. Debido a que la mayor parte de la potencia aplicada al amplificador se transfiere a la carga, la eficiencia del circuito es, por lo regular, muy alta. Los dispositivos MOSFET de potencia han sido muy populares como los dispositivos manejadores del amplificador de clase D.

15.9 RESUMEN

Conclusiones y conceptos importantes

1. Clases de amplificador:

   Clase A—la etapa de salida conduce durante 360° completos (un ciclo entero de la forma de onda).

   Clase B—las etapas de salida conducen cada una por 180° (juntas proporcionan un ciclo completo).

   Clase AB—las etapas de salida conducen cada una entre 180° y 360° (ofrecen un ciclo completo con menor eficiencia).

   Clase C—la etapa de salida conduce por menos de 180° (utilizado en circuitos de sintonización).

   Clase D—cuenta con operación mediante el empleo de señales digitales o de pulso.

2. Eficiencia del amplificador:

   Clase A—eficiencia máxima de 25% (sin transformador) y de 50% (con transformador).

   Clase B—eficiencia máxima de 78.5%.

3. Consideraciones de potencia:
   a. La potencia de entrada la proporciona la fuente de poder de dc.
   b. La potencia de salida es la entregada a la carga.
   c. La potencia disipada por dispositivos activos es esencialmente la diferencia entre las potencias de entrada y de salida.
4. La operación en contrafase, push-pull (complementaria) es, generalmente, la opuesta a la de los dispositivos con una operación sólo uno encendido a la vez (uno "empujando" durante medio ciclo, y el otro "jalando" durante el otro medio ciclo).
5. La **distorsión armónica** se refiere a la naturaleza no senoidal de la forma de onda periódica; donde la distorsión se define como la de la frecuencia periódica y los múltiplos de esa frecuencia.
6. La **disipación de calor** es el uso de encapsulados metálicos o armazones y ventiladores para eliminar el calor generado en un elemento de circuito.

Ecuaciones

$$P_i(\text{dc}) = V_{CC}I_{CQ}$$

$$P_o(\text{ac}) = V_{CE}(\text{rms})I_C(\text{rms}) = I_C^2(\text{rms})R_C = \frac{V_C^2(\text{rms})}{R_C}$$

$$P_o(\text{ac}) = \frac{V_{CE}(\text{p})I_C(\text{p})}{2} = \frac{I_C^2(\text{p})}{2R_C} = \frac{V_{CE}^2(\text{p})}{2R_C}$$

$$P_o(\text{ac}) = \frac{V_{CE}(\text{p-p})I_C(\text{p-p})}{8} = \frac{I_C^2(\text{p-p})}{8}R_C = \frac{V_{CE}^2(\text{p-p})}{8R_C}$$

$$\%\ \eta = \frac{P_o(\text{ac})}{P_i(\text{dc})} \times 100\%$$

Acción del transformador:

$$\frac{V_2}{V_1} = \frac{N_2}{N_1}$$

$$\frac{I_2}{I_1} = \frac{N_1}{N_2}$$

Operación de clase B:

$$I_{\text{dc}} = \frac{2}{\pi}I(\text{p})$$

$$P_i(\text{dc}) = V_{CC}\left(\frac{2}{\pi}I(\text{p})\right)$$

$$P_o(\text{ac}) = \frac{V_L^2(\text{rms})}{R_L}$$

$$P_o(\text{ac})\text{máxima} = \frac{V_{CC}^2}{2R_L}$$

$$P_i(\text{dc})\text{ máxima} = V_{CC}(I_{\text{dc}}\text{ máxima}) = V_{CC}\left(\frac{2V_{CC}}{\pi R_L}\right) = \frac{2V_{CC}^2}{\pi R_L}$$

$$P_{2Q}\text{ máxima} = \frac{2V_{CC}^2}{\pi^2 R_L}$$

Distorsión armónica:

$$\%\text{ de distorsión de la enésima armónica} = \%\ D_n = \frac{|A_n|}{|A_1|} \times 100\%$$

Disipación de calor:

$$\theta_{JA} = \theta_{JC} + \theta_{CS} + \theta_{SA}$$

15.10 ANÁLISIS POR COMPUTADORA

Programa 15.1: Amplificador de clase A alimentado en serie

Por medio del Centro de Diseño, se dibuja el circuito de un amplificador clase A alimentado en serie como se muestra en la figura 15.28. La figura 15.29 muestra una parte del análisis de salida. Edite el modelo del transistor para los valores de BF = 90 e IS = 2E-15 solamente. Esto mantiene el modelo del transistor lo más ideal posible de forma que los cálculos de PSpice coincidan mejor con los siguientes.

La polarización de dc del voltaje de colector se muestra como

$$V_c(\text{dc}) = 12.47 \text{ V}$$

```
Series-fed Class-A Amplifier

****   CIRCUIT DESCRIPTION
**********************************************

****   BJT MODEL PARAMETERS
          Q2N3904-X1
          NPN
       IS  2.000000E-15
       BF  90

****   SMALL SIGNAL BIAS SOLUTION
**********************************************
NODE   VOLTAGE          NODE   VOLTAGE               NODE   VOLTAGE
(  VL)       12.4670    ($N_0001)  22.0000           ($N_0002)  0.0000
($N_0003)    .8146

  VOLTAGE SOURCE CURRENTS
  NAME         CURRENT
  V_Vi         0.000E+00
  V_VCC        -9.639E-02
  TOTAL POWER DISSIPATION  2.12E+00  WATTS

**** BIPOLAR JUNCTION TRANSISTORS
NAME         Q_Q1
MODEL        Q2N3904-X1
IB           1.06E-03
IC           9.53E-02
VBE          8.15E-01
VBC          -1.17E+01
VCE          1.25E+01
BETADC       9.00E+01
GM           3.69E+00
RPI          2.44E+01
RO           1.00E+12
BETAAC       9.00E+01
FT           5.87E+19
```

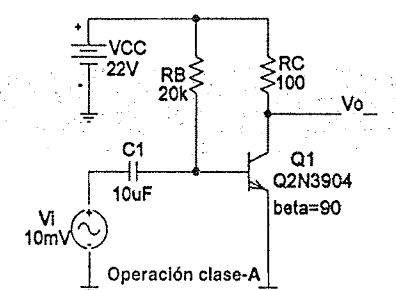


Figura 15.28 Amplificador clase A alimentado en serie.

Figura 15.29 Salida del análisis para el circuito de la figura 15.28.

Con la beta del transistor establecida en 90, la ganancia de ac se calcula como sigue:

$$I_E = I_c = 95 \text{ mA (a partir de la salida del análisis de PSpice)}$$

$$r_e = 26 \text{ mV}/95 \text{ mA} = 0.27 \ \Omega$$

Para una ganancia de

$$A_v = -R_c/r_e = -100/0.27 = -370$$

El voltaje de salida será entonces

$$V_o = A_v V_i = (-370) \cdot 10 \text{ mV} = -3.7 \text{ V(pico)}$$

La forma de onda de salida obtenida mediante **probe** se muestra en la figura 15.30. Para una salida pico a pico de

$$V_o(\text{p-p}) = 15.6 \text{ V} - 8.75 \text{ V} = 6.85 \text{ V}$$

la salida pico es

$$V_o(\text{p}) = 6.85 \text{ V}/2 = 3.4 \text{ V}$$

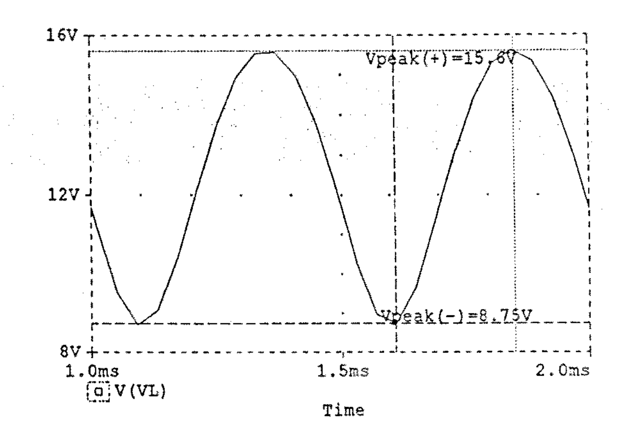


Figura 15.30 Salida de probe para el circuito de la figura 15.28.

el cual se ajusta bien con el que se calculó anteriormente.

A partir del análisis de salida del circuito, la potencia de entrada es

$$P_i = V_{CC} I_C = (22 \text{ V}) \cdot (95 \text{ mA}) = 2.09 \text{ W}$$

A partir de los datos de ac de probe, la potencia de salida es

$$P_o(\text{ac}) = V_o(\text{p-p})^2/[8 \cdot R_L] = (6.85)^2/[8 \cdot 100] = 58 \text{ mW}$$

La eficiencia será entonces igual a

$$\%\eta = P_o/P_i \cdot 100\% = (58 \text{ mW}/2.09 \text{ W}) \cdot 100\% = 2.8\%$$

Una señal de entrada mayor incrementaría la potencia de ac entregada a la carga e incrementaría la eficiencia (hasta un máximo de 25%).

Programa 15.2: Amplificador en contrafase cuasicomplementario

La figura 15.31 muestra un amplificador de potencia clase B en contrafase cuasicomplementario. Para la entrada de V_i = 20 V(p), la forma de onda de salida obtenida mediante **probe** se muestra en la figura 15.32.

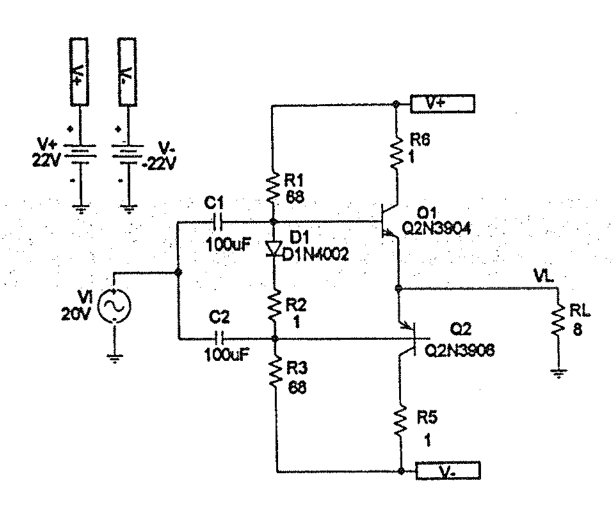


Figura 15.31 Amplificador de potencia de clase B cuasicomplementario.

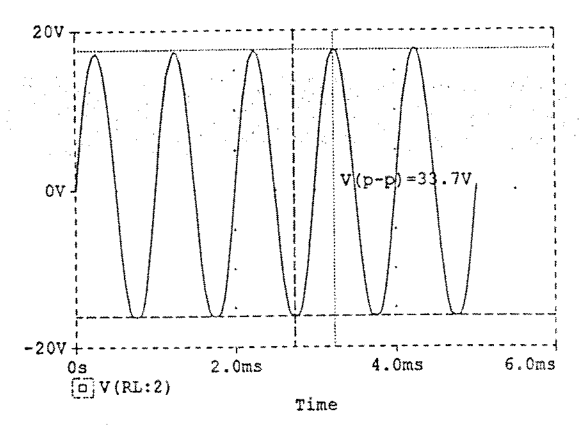


Figura 15.32 Salida de probe del circuito de la figura 15.31.

El voltaje de salida de ac resultante se observa como

$$V_o(\text{p-p}) = 33.7\text{ V}$$

de forma que

$$P_o = V_o^2(\text{p-p})/(8 \cdot R_L) = (33.7\text{ V})^2/(8 \cdot 8\ \Omega) = 17.7\text{ W}$$

La potencia de entrada para tal amplitud de señal es

$$P_i = V_{CC}I_{dc} = V_{CC}[(2/\pi)(V_o(\text{p-p})/2)/R_L]$$
$$= (22\text{ V}) \cdot [(2/\pi)(33.7\text{ V}/2)/8] = 29.5\text{ W}$$

La eficiencia del circuito será entonces igual a

$$\%\eta = P_o/P_i \cdot 100\% = (17.7\text{ W}/29.5\text{ W}) \cdot 100\% = 60\%$$

Programa 15.3: Amplificador en contrafasepull de op-amp

La figura 15.33 muestra un amplificador en contrafase de op-amp que proporciona una salida de ac a una carga de 8 Ω. Como se muestra, el op-amp proporciona una ganancia de

$$A_v = -R_F/R_1 = -47\text{ k}\Omega/18\text{ k}\Omega = -2.6$$

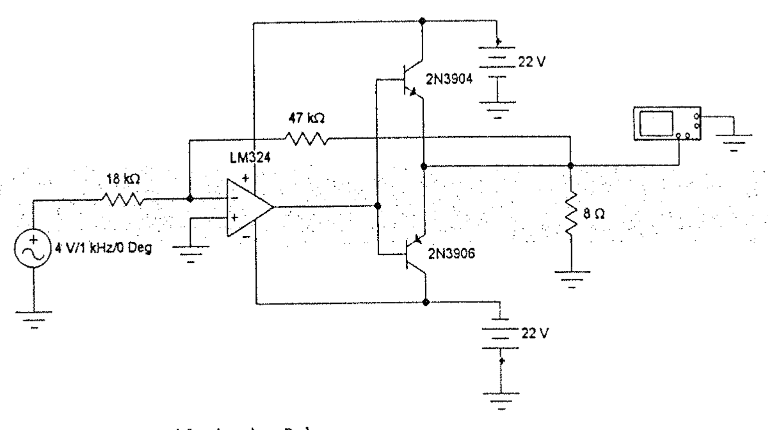


Figura 15.33 Amplificador clase B de op-amp.

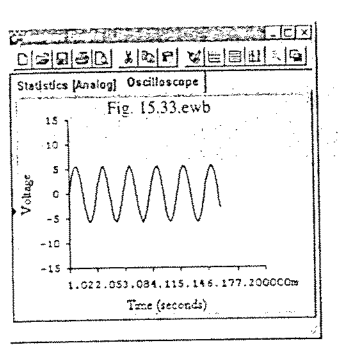


Figura 15.34 Salida de probe para el circuito de la figura 15.33.

Para la entrada, $V_i = 1$ V, la salida es

$$V_o(\text{p}) = A_vV_i = -2.6 \cdot (1\text{ V}) = -2.6\text{ V}$$

La figura 15.34 muestra la imagen en un osciloscopio del voltaje de salida.
La potencia de salida, potencia de entrada y eficiencia del circuito se calculan entonces como

$$P_o = V_o^2(\text{p-p})/(8 \cdot R_L) = (20.4\text{ V})^2/(8 \cdot 8\ \Omega) = 6.5\text{ W}$$

La potencia de entrada para tal amplitud de señal es

$$P_i = V_{CC}I_{dc} = V_{CC}[(2/\pi)(V_o(\text{p-p})/2)/R_L]$$
$$= (12\text{ V}) \cdot [(2/\pi) \cdot (20.4\text{ V}/2)/8] = 9.7\text{ W}$$

La eficiencia del circuito es entonces

$$\%\eta = P_o/P_i \cdot 100\% = (6.5\text{ W}/9.7\text{ W}) \cdot 100\% = 67\%$$

MATHCAD

A continuación se muestran los cálculos para el amplificador de potencia clase B del ejemplo 15.7 y para el amplificador de potencia clase B del ejemplo 15.12. Mediante el empleo de Mathcad, se puede capturar cualquier valor deseado para **VCC, RL** o **VL peak,** con lo que inmediatamente se obtienen todos los cálculos para los nuevos resultados.

Class-B Power Amplifier (Example 15.7)

(Amplificador de potencia de clase-B [ejemplo 15.7])

VCC := 30 RL := 16 VLpeak := 20

$ILpeak := \frac{VLpeak}{RL}$ ILpeak = 1.25

$Idc := 2 \cdot \frac{ILpeak}{3.14159}$ Idc = 0.796

$Pidc := VCC \cdot Idc$ Pidc = 23.873

$Poac := \frac{VLpeak^2}{(2 \cdot RL)}$ Poac = 12.5

$n := \left(\frac{Poac}{Pidc}\right) \cdot 100$ n = 52.36

Class-B Power Amplifier (Example 15.12)

(Amplificador de potencia de clase-B [ejemplo 15.12])

VCC := 25 RL := 4

$maxPidc := \frac{(2 \cdot VCC^2)}{(3.14159) \cdot RL}$ maxPidc = 99.472

$maxPoac := \frac{(VCC^2)}{(2 \cdot RL)}$ maxPoac = 78.125

$n := \left(\frac{maxPoac}{maxPidc}\right) \cdot 100$ n = 78.54

P2Q := maxPidc − maxPoac P2Q = 21.347

Los cálculos de distorsión armónica de los ejemplos 15.13 y 15.14 se muestran para un conjunto seleccionado de valores de **A1** a **A4.**

Examples 15.13 and 15.14
Harmonic Distortion Calculations

(Ejemplos 15.13 y 15.14. Cálculos de distorsión armónica)

A1 := 2.5 A2 := 0.25 A3 := 0.1 A4 := 0.05

$D2 := \left(\frac{|A2|}{|A1|}\right)\cdot 100$ D2 = 10 %

$D3 := \left(\frac{|A3|}{|A1|}\right)\cdot 100$ D3 = 4 %

$D4 := \left(\frac{|A4|}{|A1|}\right)\cdot 100$ D4 = 2 %

$THD := \sqrt{D2^2 + D3^2 + D4^2}$ THD = 10.954 %

PROBLEMAS

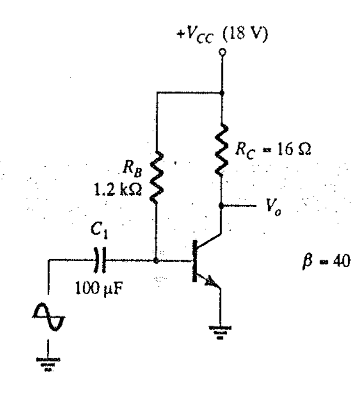


Figura 15.35 Problemas 1-4, 26.

§ 15.2 Amplificador clase A alimentado en serie

1. Calcule la potencia de entrada y de salida para el circuito de la figura 15.35. La señal de entrada ocasiona una corriente de base de 5 mA rms.

2. Calcule la potencia de entrada disipada por el circuito de la figura 15.35 si R_B se cambia a 1.5 kΩ.

3. ¿Cuál es la potencia de salida máxima que puede entregar el circuito de la figura 15.35 si R_B se cambia a 1.5 kΩ?

4. Si el circuito de la figura 15.35 se polariza en su punto de operación de voltaje central y de corriente de colector central, ¿cuál será la potencia de entrada para una potencia de salida máxima de 1.5 W?

§ 15.3 Amplificador clase A acoplado por transformador

5. Un transformador clase A acoplado por transformador emplea un transformador 25:1 para manejar una carga de 4 Ω. Calcule la carga de ac efectiva (vista por el transistor conectado al lado de mayores vueltas del transformador).

6. ¿Qué relación de vueltas de transformador se requiere para acoplar una carga de 8 Ω de forma que se presente como una carga efectiva de 8 kΩ?

7. Calcule la relación de vueltas del transformador requeridas para conectar cuatro bocinas paralelas de 16 Ω de forma que aparezcan como una carga efectiva de 8 kΩ.

* **8.** Un transformador acoplado de clase A maneja una bocina de 16 Ω mediante un transformador 3.87:1. Mediante el empleo de una fuente de voltaje de V_{CC} = 36 V, el circuito entrega 2 W a la carga. Calcule:
(a) P(ac) a través del primario del transformador.
(b) V_L(ac).
(c) V(ac) en el primario del transformador.
(d) Los valores rms de carga y de corriente del primario.

9. Calcule la eficiencia del circuito del problema 8 si la corriente de polarización es I_{C_Q} = 150 mA.

10. Dibuje el diagrama de circuito de un amplificador clase A acoplado por transformador mediante un transistor *npn*.

§ 15.4 Operación del amplificador clase B

11. Dibuje el diagrama de circuito de un amplificador de potencia en contrafase *npn* clase B mediante el empleo de una entrada acoplada por transformador.

12. Para un amplificador clase B que proporciona una señal pico de 22 V a una carga de 8 Ω y una alimentación de V_{CC} = 25 V, determine:
(a) La potencia de entrada.
(b) La potencia de salida.
(c) La eficiencia del circuito.

13. Para una amplificador clase B con V_{CC} = 25 V que maneja una carga de 8 Ω, determine:
(a) La potencia máxima de entrada.
(b) La potencia máxima de salida.
(c) La eficiencia máxima del circuito.

* **14.** Calcule la eficiencia de un amplificador clase B para una alimentación de voltaje de V_{CC} = 22 V que maneja una carga de 4 Ω con voltajes de salida pico de:
(a) V_L(p) = 20 V.
(b) V_L(p) = 4 V.

§ 15.5 Circuitos amplificadores clase B

15. Dibuje el diagrama de circuito de un amplificador cuasicomplementario que muestre las formas de onda de voltaje en el circuito.

16. Para el amplificador de potencia clase B de la figura 15.36, calcule:
(a) P_o(ac) máxima.
(b) P_i(dc) máxima.
(c) %η máxima.
(d) La potencia máxima disipada por ambos transistores.

* **17.** Si el voltaje de entrada al amplificador de potencia de la figura 15.36 es de 8 V rms, calcule:
(a) P_i(dc).
(b) P_o(ac).
(c) %η.
(d) La potencia disipada por ambos transistores de salida de potencia.

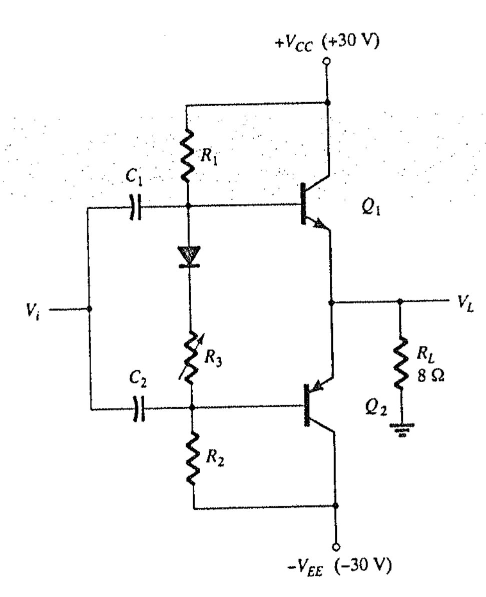


Figura 15.36 Problemas 16, 17 y 27.

* **18.** Para el amplificador de potencia de la figura 15.37, calcule:
(a) P_o(ac).
(b) P_i(dc).
(c) %η.
(d) La potencia disipada por ambos transistores de salida.

§ 15.6 Distorsión del amplificador

19. Calcule los componentes de distorsión armónica para una señal de salida que cuenta con amplitud de la fundamental de 2.1 V, amplitud de la segunda armónica de 0.3 V, tercer componente armónico de 0.1 V y componente de la cuarta armónica de 0.05 V.

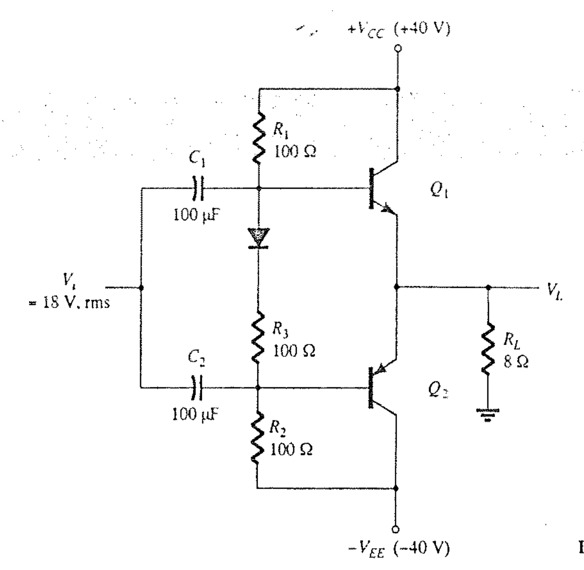


Figura 15.37 Problema 18.

20. Calcule la distorsión armónica total para los componentes de amplitud del problema 19.

21. Calcule la distorsión de la segunda armónica para una forma de onda de salida que cuenta con valores medidos de $V_{CE_{mín}} = 2.4$ V, $V_{CE_Q} = 10$ V y $V_{CE_{máx}} = 20$ V.

22. Para las lecturas de distorsión de $D_2 = 0.15$, $D_3 = 0.01$, y $D_4 = 0.05$, con $I_1 = 3.3$ A y $R_C = 4\ \Omega$, calcule la distorsión armónica total, el componente de potencia fundamental y la potencia total.

§ 15.7 Disipación de calor del transistor de potencia

23. Determine la disipación máxima permitida para un transistor de silicio de 100 W (nominal a 25°C) para un factor de pérdida de disipación de 0.6 W/°C a una temperatura de encapsulado de 105°C.

*** 24.** Un transistor de silicio de potencia de 160 W operado con un disipador de calor ($\theta_{SA} = 1.5$°C/W) tiene θ_{JC} 0.5°C/W y un aislamiento de montaje de $\theta_{CS} = 0.8$°C/W. ¿Qué potencia máxima puede manejar el transistor a una temperatura ambiente de 80°C? (La temperatura de la unión no debe exceder 200°C.)

25. ¿Qué potencia máxima puede disipar un transistor de silicio ($T_{J_{máx}} = 200$°C) hacia el aire libre a una temperatura ambiente de 80°C?

§ 15.8 Aplicaciones de computadora

*** 26.** Utilice el Centro de Diseño para dibujar el esquema de la figura 15.35 con $V_i = 9.1$ mV.

*** 27.** Utilice el Centro de Diseño para dibujar el esquema de la figura 15.36 con $V_i = 25$ V(p). Determine la eficiencia del circuito.

*** 28.** Utilice Electronics Workbench para dibujar el esquema de un amplificador clase B con op-amp como en la figura 15.33. Utilice $R_1 = 10$ kΩ, $R_F = 50$ kΩ y $V_i = 2.5$ V(p). Determine la eficiencia del circuito.

*Observe: los asteriscos indican problemas con mayor dificultad.

CAPÍTULO

Circuitos integrados (CIs) lineales digitales 16

16.1 INTRODUCCIÓN

Aunque existen muchos circuitos integrados (CIs) que contienen únicamente circuitos digitales, y otros más que sólo contienen circuitos lineales, existen varias unidades que contienen ambos tipos de circuitos, lineales y digitales. Entre los CIs lineales/digitales se encuentran circuitos comparadores, convertidores digital/análogico, circuitos de interfase, circuitos temporizadores, circuitos osciladores controlados por voltaje (VCO, por sus siglas en inglés de *Voltage-Controlled Oscillator*) y lazos de seguimiento de fase (PLLs, por sus siglas en inglés de *Phase-Locked Loops*).

El circuito comparador es aquel en el que un voltaje lineal de entrada se compara con otro voltaje de referencia, la salida es una condición digital que representa si el voltaje de entrada excede al voltaje de referencia.

Los circuitos que convierten las señales digitales a un voltaje analógico o lineal, y los que convierten un voltaje lineal en un valor digital, son comunes en el equipo aerospacial, equipo automotriz y reproductores de disco compacto, entre muchos otros.

Los circuitos de interfase se emplean para permitir la conexión de señales de diferentes niveles de voltaje digital, que provienen de distintos tipos de dispositivos de salida, o de diversas impedancias, de forma que tanto la etapa del manejador como la etapa de recepción operen apropiadamente.

Los CIs temporizadores ofrecen circuitos lineales y digitales para emplearse en distintas operaciones de temporización, como en una alarma de automóvil, un temporizador doméstico para encender y apagar las luces, o un circuito en un equipo electromecánico que proporcione la temporización adecuada para que coincida la operación deseada de la unidad. El temporizador 555 ha sido, desde hace mucho tiempo, una unidad de CI muy popular. Un oscilador controlado por voltaje proporciona una señal de salida de reloj cuya frecuencia puede ser modificada o ajustada mediante un voltaje de entrada. Una aplicación común de un VCO se encuentra en la lazo de seguimiento de fase, como la que se emplea en distintos transmisores y receptores de comunicaciones.

16.2 OPERACIÓN DEL COMPARADOR

Un circuito comparador permite la entrada de voltajes lineales y proporciona una salida digital que indica cuando una entrada es menor o mayor que la segunda. Es posible representar un circuito comparador básico como en la figura 16.1a, en el que la salida es una señal digital que se mantiene en un nivel alto de voltaje cuando la entrada no inversora (+) es mayor al voltaje de la entrada inversora (−), y conmuta a un nivel bajo de voltaje cuando la entrada no inversora cae por debajo del voltaje de la entrada inversora.

La figura 16.1 muestra una conexión típica con una entrada (la entrada inversora para este ejemplo) conectada a un voltaje de referencia, y la otra entrada conectada al voltaje de la señal de entrada. Mientras que $V_{entrada}$ sea menor que el nivel del voltaje de referencia de +2 V, la

Figura 16.1 Unidad comparadora: (a) unidad básica; (b) aplicación típica.

salida permanecerá en un nivel bajo de voltaje (cercano a −10 V). Cuando la entrada se eleva justo por arriba de +2 V, la salida rápidamente conmuta a un nivel alto de voltaje (cercano a +10 V). De esta forma, la salida alta indica que la señal de entrada es mayor a +2 V.

Debido a que el circuito interno empleado para fabricar un comparador contiene básicamente un circuito op-amp con una ganancia de voltaje muy alta, es posible analizar la operación de un comparador mediante el uso de un op-amp 741, como se indica en la figura 16.2. Con la entrada de referencia (en la terminal 2) conectada a 0 V, una señal senoidal aplicada a la entrada no inversora (terminal 3) ocasionará que la salida alterne entre sus dos estados de salida, como se aprecia en la figura 16.2b. La entrada V_i que supere, incluso por sólo una fracción de milivolt, el nivel de referencia de 0 V, será amplificada por la muy alta ganancia de voltaje (por lo general mayor a 00,000), de forma que la salida se elevará hacia su nivel positivo de saturación de salida, y permanecerá ahí mientras la entrada se mantenga por arriba de $V_{ref} = 0$ V. Cuando la entrada caiga justo por debajo del nivel de referencia de 0 V, la salida se conducirá hacia su nivel inferior de saturación y permanecerá ahí mientras la entrada se encuentre por debajo de $V_{ref} = 0$ V. La figura 16.2b muestra claramente que la señal de entrada es lineal, mientras que la salida es digital.

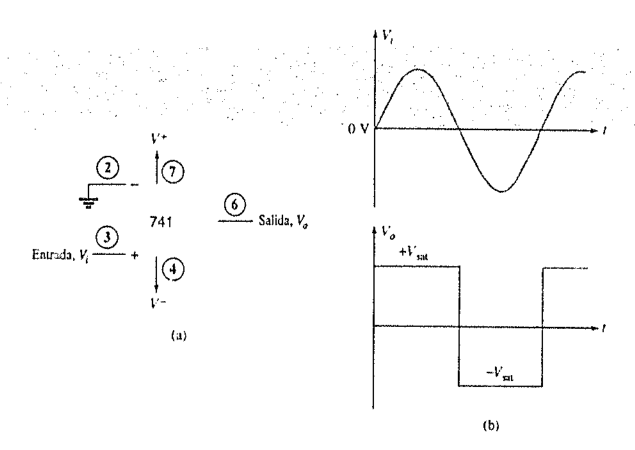


Figura 16.2 Operación del op-amp 741 como comparador.

En el uso general, el nivel de referencia no debe ser necesariamente igual a 0 V, sino que puede ser cualquier voltaje deseado positivo o negativo. Además, el voltaje de referencia puede estar conectado a la entrada de signo tanto positivo como negativo y la señal de entrada aplicarse a la otra entrada.

Empleo del op-amp como comparador

En la figura 16.3a se presenta un circuito que opera con un voltaje de referencia positivo conectado a la entrada de signo negativo y la salida conectada a un indicador tipo LED. El nivel del voltaje de referencia está en

$$V_{ref} = \frac{10\,k\Omega}{10\,k\Omega + 10\,k\Omega}(+12\text{ V}) = +6\text{ V}$$

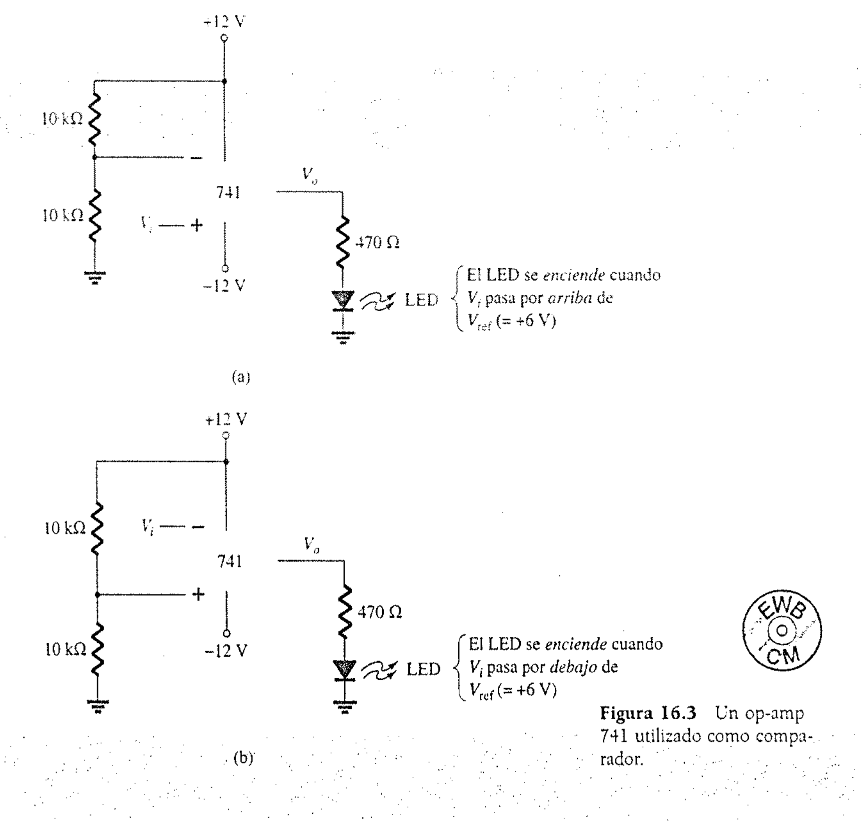


Figura 16.3 Un op-amp 741 utilizado como comparador.

Dado que el voltaje de referencia se encuentra conectado a la entrada inversora, la salida cambiará a su nivel positivo de saturación cuando la entrada V_i, se vuelva más positiva que el nivel de voltaje de referencia de +6 V. Luego, la salida V_o, encenderá al LED como una señal de que la entrada es más positiva que el nivel de referencia.

Como una conexión alternativa, el voltaje de referencia podría estar conectado a la entrada no inversora como se aprecia en la figura 16.3b. Mediante esta conexión, la señal de entrada que caiga por debajo del nivel de referencia ocasionará que la salida encienda al LED. De esta forma, es posible hacer que el LED se encienda cuando la señal de entrada se encuentra por arriba o por debajo del nivel de referencia, según la terminal de entrada sobre la que se conecte la señal de entrada y la terminal de entrada que actúe como entrada de referencia.

Uso de unidades de CI comparador

Aunque los op-amps pueden utilizarse como circuitos comparadores, son más adecuados los CIs comparadores. Algunos de los beneficios incorporados a un CI comparador son: una conmutación más rápida entre los dos niveles de salida, inmunidad al ruido integrada para evitar oscilaciones en la salida cuando la entrada cruce por el nivel de referencia, y salidas capaces de manejar de forma directa una variedad de cargas. A continuación se analizan algunos CIs comparadores, y se describe su conexión de terminales y la forma de utilizarlos.

COMPARADOR 311

El comparador de voltaje 311 presentado en la figura 16.4 contiene un circuito comparador que puede operar tanto con fuentes de alimentación dobles de ±15 V así como también con una fuente sencilla de +5 V (como la empleada en circuitos lógicos digitales). La salida puede proporcionar un voltaje en uno de dos niveles distintos o se puede emplear para accionar una

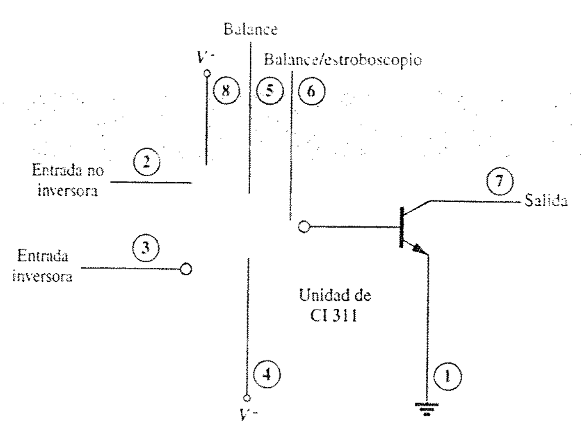


Figura 16.4 Comparador 311 (encapsulado DIP de ocho terminales).

lámpara o un relevador. Observe que la salida se toma de un transistor bipolar para permitir el manejo de una variedad de cargas. La unidad también cuenta con entradas balance y estroboscópicas, lo que permite la activación periódica de la salida. Algunos ejemplos demostrarán la forma en la que esta unidad de comparador se puede emplear para algunas aplicaciones comunes.

En la figura 16.5 se muestra un detector de cruce cero que detecta el cruce del voltaje de entrada a través de 0 V, mediante el empleo del CI 311. La entrada inversora se conecta a tierra (el voltaje de referencia). Cuando la señal de entrada se vuelve positiva enciende al transistor de salida, lo que hace que la salida vaya a su nivel bajo (−10 V para este caso). Cuando la señal de entrada se vuelve negativa (por debajo de 0 V), el transistor se apaga, lo que hace que la salida vaya a su nivel alto (hacia +10 V). La salida será de esta forma una señal que indica si la entrada se encuentra por arriba o por debajo de 0 V. Cuando la entrada se encuentra en algún voltaje positivo, la salida será baja, mientras que cualquier voltaje negativo dará por resultado que la salida se mueva hacia un nivel alto de voltaje.

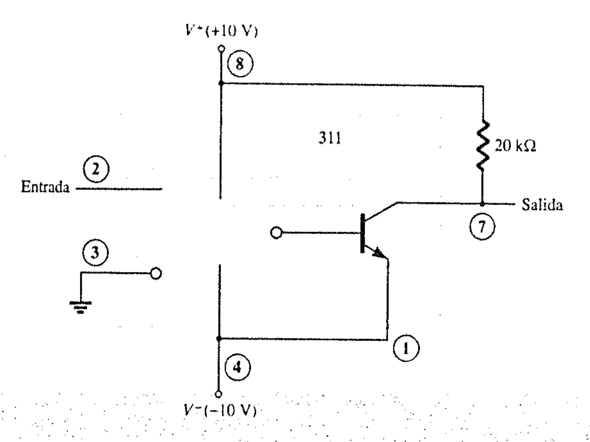


Figura 16.5 Detector de cruce cero mediante un CI 311.

La figura 16.6 presenta la forma en la que se puede emplear un comparador 311 con entrada estroboscópica. En este ejemplo, la salida se volverá alta cuando la entrada supere el nivel de referencia, pero sólo si la entrada TTL estroboscópica se encuentra apagada (0 V). Si la entrada TTL estroboscópica está en el nivel de voltaje alto, ocasionará que la entrada estroboscópica del 311 en la terminal número 6 se vuelva baja, lo que a su vez ocasionará que la salida permanezca en el estado apagado (con la salida alta) sin tomar en cuenta la señal de entrada.

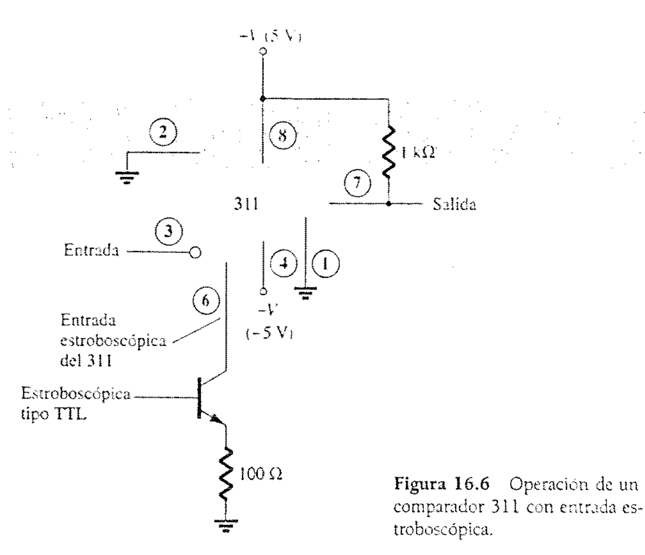


Figura 16.6 Operación de un comparador 311 con entrada estroboscópica.

De hecho, la salida permanecerá en nivel alto a menos que se aplique la señal estroboscópica. Cuando esto sucede, la salida actúa normalmente y conmuta entre el nivel alto y el bajo según el nivel de la señal de entrada. Cuando está en operación, la salida del comparador responderá ante la señal de entrada sólo durante el momento en el que la señal estroboscópica permita tal operación.

La figura 16.7 muestra al comparador manejando un relevador. Cuando la entrada desciende por debajo de 0 V y lleva la salida hacia el nivel de voltaje bajo, el relevador se enciende, con lo que se cierran los contactos normalmente abiertos (N.A.) en ese momento. Estos contactos se pueden conectar para operar una gran variedad de dispositivos. Por ejemplo, un timbre o una campana que está conectada a los contactos puede activarse cuando el voltaje de entrada desciende por debajo de 0 V. Mientras el voltaje se encuentre presente en la terminal de entrada, el timbre permanecerá apagado.

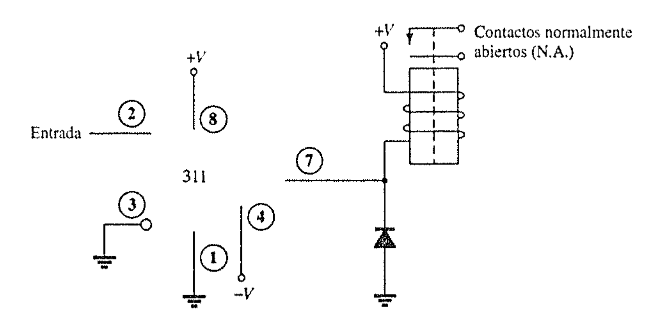


Figura 16.7 Operación de un comparador 311 con salida de relevador.

COMPARADOR 339

El CI 339 es un comparador cuádruple que contiene cuatro circuitos comparadores de voltaje independientes conectados a las terminales externas como se muestra en la figura 16.8. Cada comparador cuenta con entradas inversora y no inversora, así como con una salida. El voltaje de alimentación aplicado sobre un par de terminales, alimenta a los cuatro comparadores. Incluso cuando sólo se desea utilizar un comparador, los cuatro estarán consumiendo potencia.

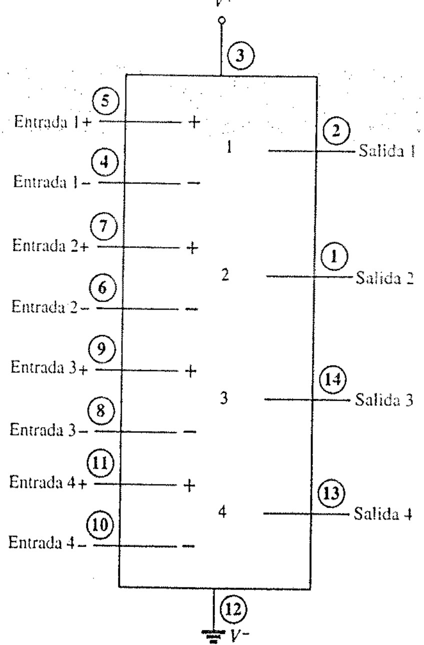


Figura 16.8 CI comparador cuádruple (339).

Para observar la forma en la que estos circuitos comparadores se pueden utilizar, la figura 16.9 muestra a uno de los circuitos comparadores del CI 339 conectado como un detector de cruce cero. Una vez que la señal de entrada se eleve por arriba de 0 V, la salida conmutará a V^+. La salida cambiará a V^- sólo cuando la entrada descienda por debajo de 0 V.

Es posible utilizar un nivel de referencia distinto a 0 V, y cualquier terminal de entrada se puede utilizar como la señal de referencia, lo cual deja a la otra terminal conectada a la señal de entrada. La operación de unos de los circuitos comparadores se describe a continuación.

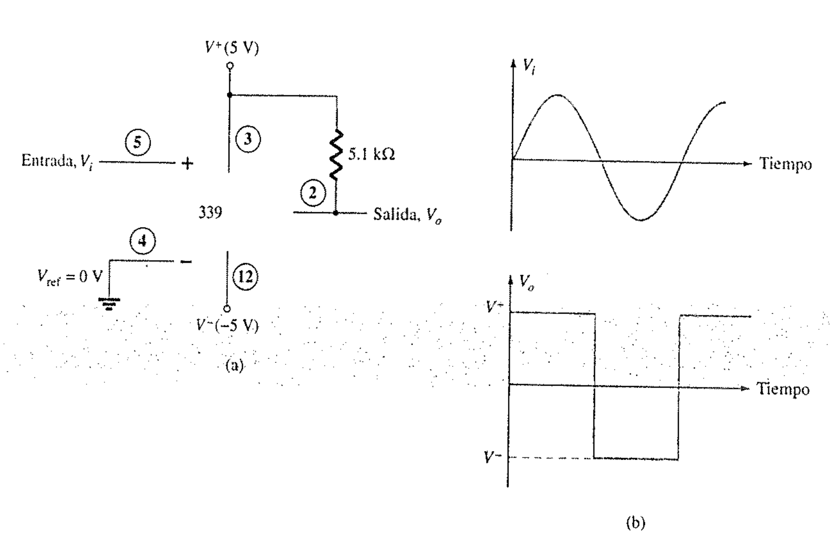


Figura 16.9 Operación de un circuito comparador 339 como detector de cruce cero.

El voltaje de entrada diferencial (diferencia de voltaje a través de las terminales de entrada) que se vuelve positivo, hace que el transistor de salida se apague (circuito abierto), mientras que un voltaje negativo de entrada diferencial enciende al transistor de salida, lo que deja a la salida en el nivel bajo de alimentación.

Si la entrada negativa se lleva a un nivel de referencia V_{ref}, la entrada es más positiva que V_{ref} ocasionará una entrada diferencial positiva la cual lleva a la salida al estado de circuito abierto. Cuando la entrada no inversora descienda por debajo de V_{ref}, se obtendrá una entrada diferencial negativa y la salida será igual a V^-.

Si la entrada positiva está en un nivel de referencia determinado, la entrada inversora que descienda por debajo de V_{ref} ocasionará la salida de circuito abierto mientras que la entrada inversora que supere V_{ref} causará una salida en V^-. Esta operación se resume en la figura 16.10.

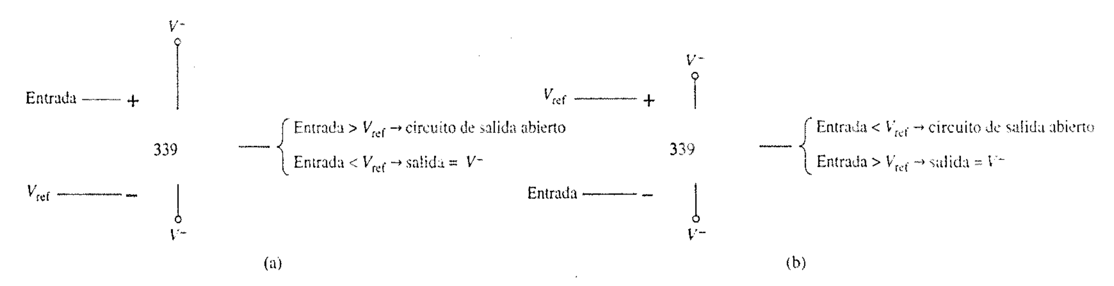


Figura 16.10 Operación de un circuito comparador 339 con entrada de referencia: (a) entrada de signo negativo; (b) entrada de signo positivo.

Debido a que la salida de cada uno de estos circuitos comparadores es de la forma de colector abierto, las aplicaciones en que las salidas de más de un circuito pueden estar en la conexión OR alambrado son posibles. La figura 16.11 muestra dos circuitos comparadores conectados tanto con una salida común como con una entrada común. El comparador 1 tiene su entrada no inversora conectada a un voltaje de referencia de +5 V. Por lo tanto, llevará a su salida

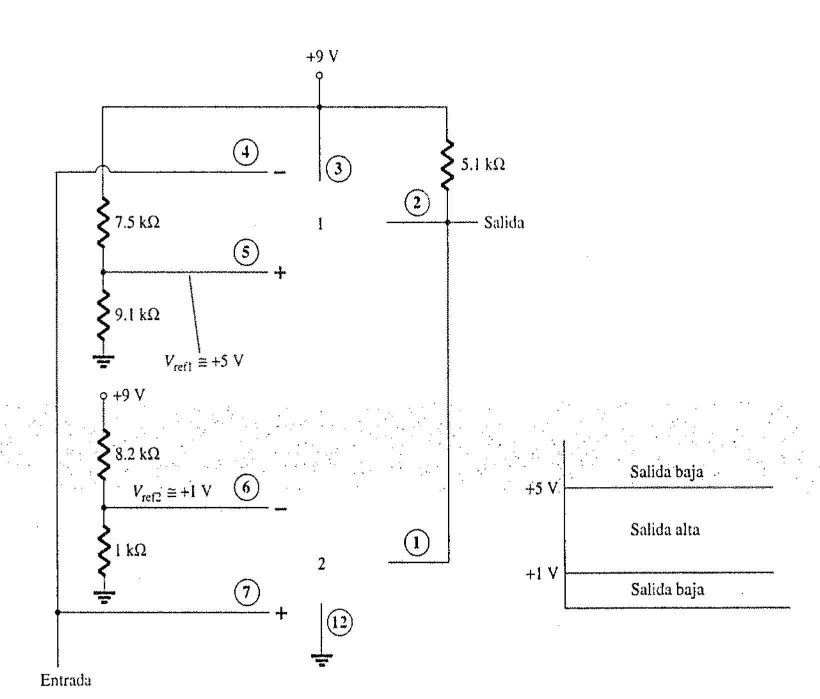


Figura 16.11 Operación de dos circuitos comparadores 339 como detector de ventana de voltaje.

hacia el nivel bajo por el comparador 1 cuando la señal de entrada se eleve por arriba de +5 V. El comparador 2 tiene un voltaje de referencia de +1 V conectado a su entrada inversora. Por lo tanto, llevará a su salida hacia el nivel bajo cuando la señal de entrada descienda por debajo de +1 V. En resumen, la salida irá al nivel bajo siempre que la entrada se encuentre por debajo de +1 V o por arriba de +5 V, como se muestra en la figura 16.11, donde la operación general es la de un detector de ventana de voltaje. La salida alta indicará que la entrada se encuentra dentro de la ventana de voltaje de +1 a +5 V (estos valores están determinados por los niveles de los voltajes de referencia empleados).

16.3 CONVERTIDORES DIGITALES-ANALÓGICOS

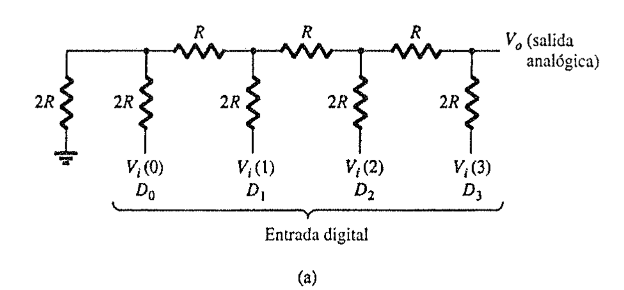
Muchos voltajes y corrientes en electrónica varían continuamente sobre cierto rango de valores. En los circuitos digitales las señales se encuentran en uno de dos niveles, los cuales representan los valores binarios de 1 y cero. Un convertidor analógico-digital (ADC del inglés *Analog-Digital Converter*) obtiene un valor digital que representa un voltaje analógico de entrada, mientras que un convertidor digital-analógico (DAC) convierte un valor digital de nuevo a un voltaje analógico.

Conversión digital-analógica

CONVERSIÓN POR RED DE ESCALERA

La conversión digital a analógica puede lograrse mediante métodos diferentes. Un esquema popular emplea una red de resistores, denominada *red de escalera*. Una red de escalera acepta entradas de valores binarios de, por lo general, 0 V o V_{ref} y proporciona un voltaje de salida proporcional al valor binario de entrada. La figura 16.12a muestra una red de escalera con cuatro voltajes de entrada, que representan 4 bits de datos digitales y un voltaje de salida de dc. El voltaje de salida es proporcional al valor de la entrada digital, según lo define la siguiente relación

$$V_o = \frac{D_0 \times 2^0 + D_1 \times 2^1 \times D_2 \times 2^2 + D_3 \times 2^3}{2^4} V_{ref} \qquad (16.1)$$



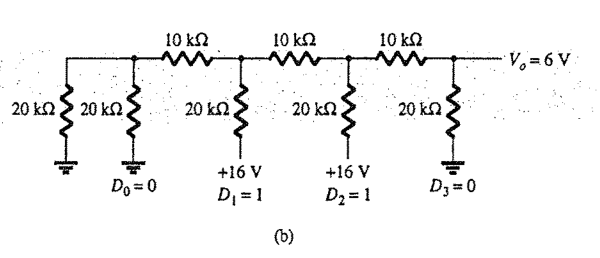


Figura 16.12 Red de escalera de cuatro etapas empleada como un convertidor digital-analógico: (a) circuito básico; (b) circuito de ejemplo con una entrada de 0110.

En el ejemplo mostrado en la figura 16.12b, el voltaje de salida resultante deberá ser

$$V_o = \frac{0 \times 1 + 1 \times 2 + 1 \times 4 + 0 \times 8}{16}(16 \text{ V}) = 6 \text{ V}$$

Por tanto, 0110_2 digital, se convierte en 6 V analógicos.

La función de la red de escalera es convertir los 16 posibles valores binarios de 0000 a 1111 en uno de los 16 niveles de voltaje en incrementos de $V_{ref}/16$. A través del uso de más segmentos de escalera es posible tener más entradas binarias y una mejor cuantización para cada incremento. Por ejemplo, una red de escalera de 10 etapas podría extender el número de incrementos de voltaje o la resolución del voltaje hasta $V_{ref}/2^{10}$ o $V_{ref}/1024$. Un voltaje de referencia de $V_{ref} = 10$ V proporcionaría entonces incrementos de voltaje de salida de 10 V/1024, o de aproximadamente 10 mV. Más etapas de escalera brindan mayor resolución de voltaje. En general, la resolución de voltaje para n etapas de escalera es

$$\boxed{\frac{V_{ref}}{2^n}} \qquad (16.2)$$

La figura 16.13 muestra un diagrama de bloques de un DAC típico que utiliza una red de escalera. La red de escalera, referida en el diagrama como una *escalera R-2R*, se localiza entre la fuente de corriente de referencia y los interruptores de corriente conectados a cada entrada binaria, donde la corriente resultante de salida es proporcional al valor binario de entrada. La entrada binaria enciende terminales seleccionadas de la escalera, donde la corriente de salida es una suma ponderada de la corriente de referencia. Al conectar la corriente de salida a través de un resistor se generará un voltaje analógico, si así se desea.

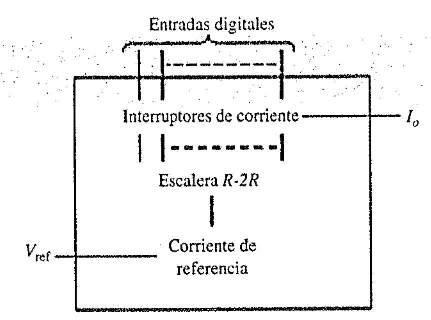


Figura 16.13 CI DAC que utiliza una red de escalera R-2R.

Conversión analógica-digital

CONVERSIÓN DE DOBLE PENDIENTE

Un método común para convertir un voltaje analógico en un valor digital es el método de doble pendiente. La figura 16.14a muestra un diagrama de bloques del convertidor básico de doble pendiente. El voltaje analógico que será convertido se aplica a través de un interruptor electrónico a un integrador o circuito generador de rampa (que básicamente se trata de una corriente constante que carga a un capacitor para producir una rampa de voltaje lineal). La salida digital se obtiene de un contador que opera durante los dos intervalos de pendiente positiva y negativa del integrador.

El método de conversión procede de la siguiente forma: durante un intervalo fijo de tiempo (por lo común el rango completo del contador), el voltaje analógico conectado con el integrador incrementa el voltaje en la entrada del comparador hasta cierto valor positivo. La figura 16.14b muestra que al término del intervalo de tiempo fijo el voltaje del integrador es mayor para el voltaje de entrada más grande. Al término del intervalo fijo del contador, el contador se

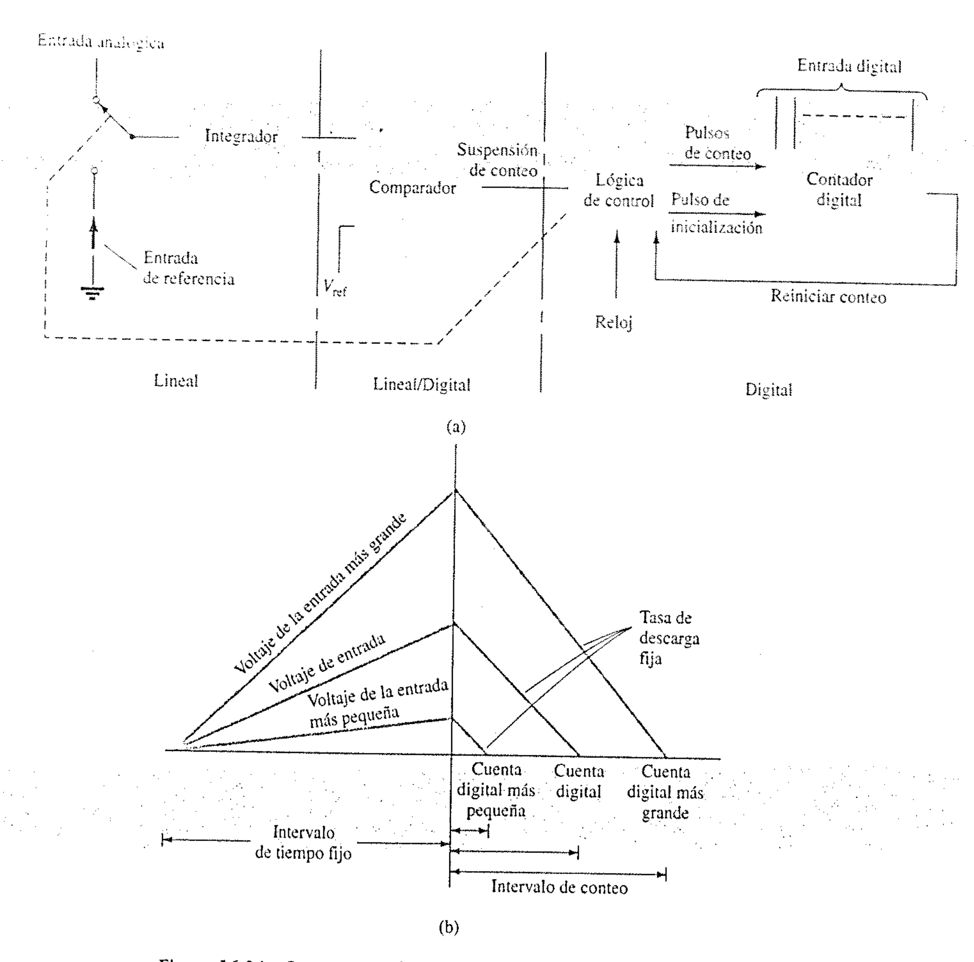


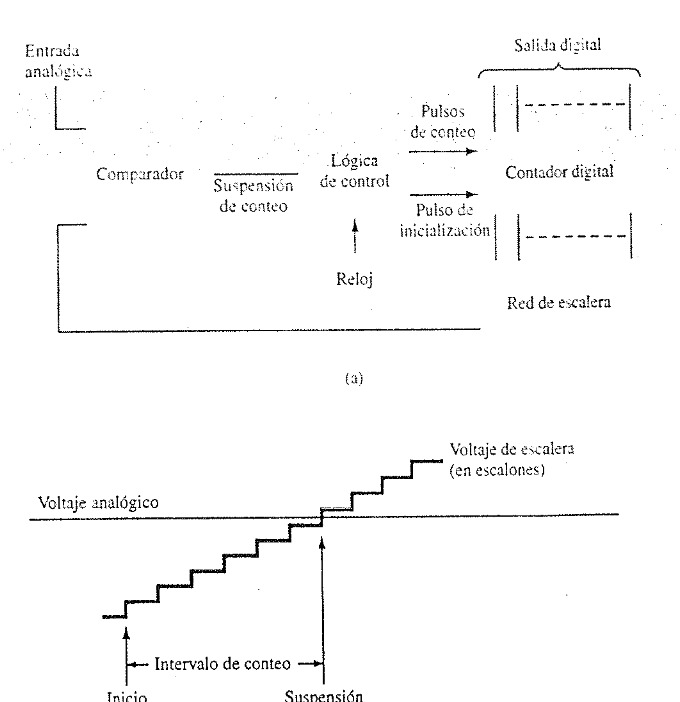
Figura 16.14 Conversión analógica-digital mediante el método de pendiente doble: (a) diagrama lógico; (b) forma de onda.

inicializa a cero y el interruptor electrónico conecta al integrador con un voltaje de entrada fijo o de referencia. Posteriormente, la salida del integrador (o entrada del capacitor) disminuye a un ritmo constante. El contador avanza durante este periodo, mientras que la salida del integrador disminuye a un ritmo fijo hasta que cae por debajo del voltaje de referencia del comparador, momento en el que la lógica de control recibe una señal (la salida del comparador) para detener el conteo. El valor digital almacenado en el contador será entonces la salida digital del convertidor.

El empleo del mismo reloj e integrador para realizar la conversión durante los intervalos de pendiente positiva y negativa tiende a compensar la desviación de la frecuencia del reloj y las limitaciones de precisión del integrador. Al ajustar el valor de referencia de entrada y la frecuencia del reloj es posible escalar la salida del contador según se desee. El contador puede ser binario, BCD, o de algún otro tipo de contador digital, si así se desea.

CONVERSIÓN POR RED DE ESCALERA

Otro método popular para realizar la conversión analógica-digital hace uso de una red de escalera junto con un circuito contador y uno comparador (ver figura 16.15). Un contador digital avanza a partir de un valor de cero mientras que una red de escalera accionada por el contador genera un voltaje de escalera, como se muestra en la figura 16.15b, el cual se aumenta en un incremento de voltaje por cada paso del contador. Un circuito comparador, que recibe tanto



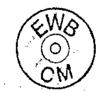


Figura 16.15 Conversión analógica-digital mediante una red de escalera: (a) diagrama lógico; (b) forma de onda.

al voltaje de escalera como al voltaje de entrada analógico, proporciona una señal para detener el conteo cuando el voltaje de escalera se eleva por arriba del voltaje de entrada. El valor del contador en ese momento será la salida digital.

La cantidad de cambio de voltaje incrementada por la señal en escalera depende del número de bits de conteo empleados. Un contador de 12 etapas, que opera una escalera de red de 12 etapas y emplea un voltaje de referencia de 10 V, incrementaría cada valor de contador por un voltaje de

$$\frac{V_{ref}}{2^{12}} = \frac{10\text{ V}}{4096} = 2.4\text{ mV}$$

Esto da por resultado una resolución de la conversión de 2.4 mV. La frecuencia de reloj del contador afectará al tiempo requerido para efectuar la conversión. Una frecuencia de reloj de 1 MHz que opere un contador de 12 etapas requeriría de un tiempo máximo de conversión de

$$4096 \times 1\ \mu\text{s} = 4096\ \mu\text{s} \approx 4.1\text{ ms}$$

El número mínimo de conversiones que podrían efectuarse cada segundo será entonces igual a

$$\text{número de conversiones} = 1/4.1\text{ ms} \approx 244\text{ conversiones/segundo}$$

Dado que en promedio, con algunas conversiones que requieren un bajo tiempo de conteo y otras que requieren prácticamente el tiempo máximo de conteo, se necesitará un tiempo de conversión de 4.1 ms/2 = 2.05 ms, y el número promedio de conversiones será de 2 × 244 = 488 conversiones/segundo. Con una frecuencia de reloj menor se podrán realizar menos conversiones por segundo. Un convertidor que emplee menos etapas de conteo (y menor resolución de conversión) podría efectuar más conversiones por segundo. La precisión de la conversión depende de la precisión del comparador.

16.4 OPERACIÓN DE LA UNIDAD TEMPORIZADORA DE CI

Otro circuito integrado analógico-digital popular es el versátil temporizador 555. Este circuito integrado está compuesto por una combinación de comparadores lineales y multivibradores biestables, *flip-flops*, digitales como se ilustra en la figura 16.16. El circuito completo por lo común está en un encapsulado de 8 terminales, como se especifica en la figura 16.16. Una conexión en serie de tres resistores establece los niveles de voltaje de referencia de los dos comparadores en $2V_{CC}/3$ y $V_{CC}/3$, la salida de estos comparadores inicia o reinicia la unidad flip-flop. Luego, la salida del circuito flip-flop se conecta mediante una etapa de amplificación de salida a una terminal externa. El flip-flop también opera un transistor interno del CI, el colector del transistor generalmente se mantiene en un nivel bajo para descargar al capacitor temporizador.

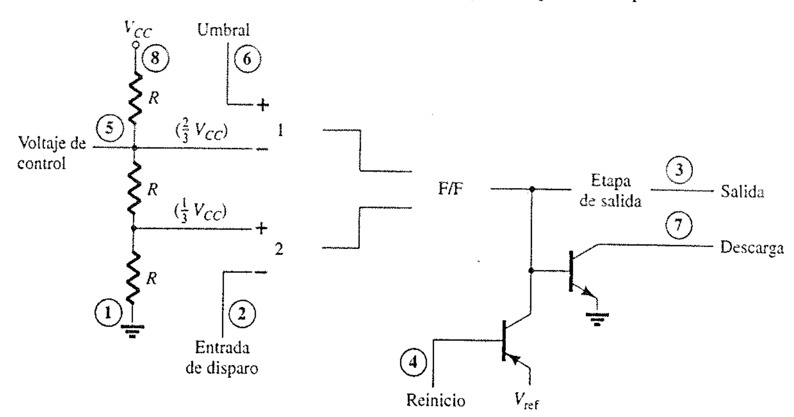


Figura 16.16 Detalle del CI temporizador 555.

Operación astable

Una aplicación popular del CI temporizador 555 se encuentra como un multivibrador astable o circuito de reloj. El siguiente análisis de la operación del 555 como un circuito astable incluye los detalles de las distintas partes de la unidad así como la forma en la que se utilizan las diferentes entradas y salidas. La figura 16.17 muestra un circuito astable construido mediante el empleo de un resistor y de un capacitor externos para fijar el intervalo de temporización de la señal de salida.

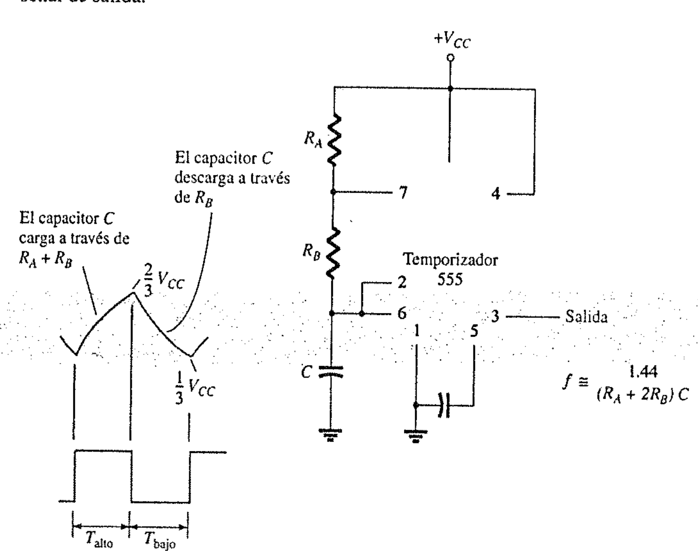


Figura 16.17 Multivibrador astable que utiliza un CI 555.

El capacitor C se carga hacia V_{CC} mediante los resistores externos R_A y R_B. En referencia a la figura 16.17, el voltaje del capacitor se eleva hasta que llega a ser superior a $2V_{CC}/3$. Este voltaje es el voltaje de umbral en la terminal 6, el cual accionará al comparador 1 para que dispare el flip-flop de forma que la salida, terminal 3, vaya a nivel bajo. Además, el transistor de descarga se encenderá, lo que ocasionará que el capacitor se descargue a través de la terminal correspondiente, 7, y de R_B. El voltaje del capacitor luego disminuirá hasta que caiga por debajo del nivel de disparo ($V_{CC}/3$). El flip-flop se disparará de forma que la salida vuelva a ser alta y el transistor de descarga se apague, de manera que el capacitor pueda cargarse de nuevo mediante los resistores R_A y R_B hacia V_{CC}.

La figura 16.18a muestra las formas de onda del capacitor y de la salida que genera el circuito astable. El cálculo de los intervalos de tiempo durante los cuales la salida es alta o baja, puede efectuarse mediante las siguientes relaciones

$$T_{alto} \approx 0.7(R_A + R_B)C \qquad (16.3)$$

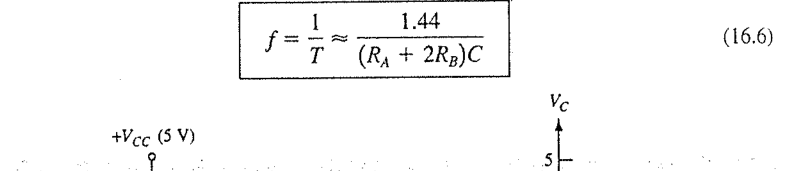
$$T_{bajo} \approx 0.7R_BC \qquad (16.4)$$

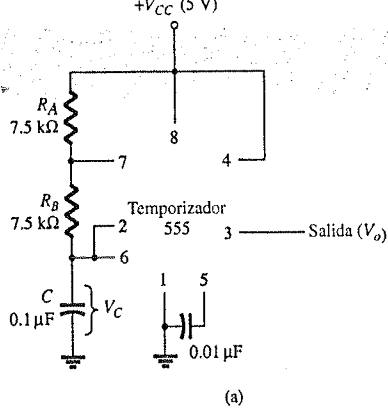
El periodo total será

$$T = \text{periodo} = T_{alto} + T_{bajo} \qquad (16.5)$$

Entonces, la frecuencia del circuito astable se calculará por medio de*

$$f = \frac{1}{T} \approx \frac{1.44}{(R_A + 2R_B)C} \qquad (16.6)$$





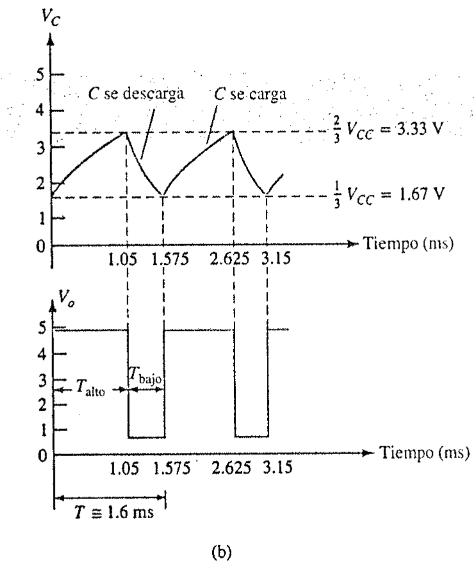


Figura 16.18 Multivibrador astable para el ejemplo 16.1: (a) circuito; (b) formas de onda.

*El periodo puede calcularse de forma directa a partir de

$$T = 0.693(R_A + 2R_B)C \approx 0.7(R_A + 2R_B)C$$

y la frecuencia a partir de

$$f \approx \frac{1.44}{(R_A + 2R_B)C}$$

EJEMPLO 16.1 Determine la frecuencia y trace la forma de onda de la salida del circuito de la figura 16.18a.

Solución

Mediante las ecuaciones 16.3 a la 16.6 se obtiene

$$T_{alto} = 0.7(R_A + R_B)C = 0.7(7.5 \times 10^3 + 7.5 \times 10^3)(0.1 \times 10^{-6})$$
$$= 1.05 \text{ ms}$$
$$T_{bajo} = 0.7R_BC = 0.7(7.5 \times 10^3)(0.1 \times 10^{-6}) = 0.525 \text{ ms}$$
$$T = T_{alto} + T_{bajo} = 1.05 \text{ ms} + 0.525 \text{ ms} = 1.575 \text{ ms}$$
$$f = \frac{1}{T} = \frac{1}{1.575 \times 10^{-3}} \approx \mathbf{635\ Hz}$$

Las formas de onda se dibujan en la figura 16.18b.

Operación monoestable

El temporizador 555 puede también emplearse como un circuito multivibrador monoestable o de disparo único, como se observa en la figura 16.19. Cuando la señal de entrada de disparo se vuelve negativa, ésta acciona el disparo único, lo que provoca que la salida en la terminal 3 se vuelva alta durante un periodo.

$$T_{alto} = 1.1R_AC \tag{16.7}$$

De vuelta a la referencia de la figura 16.16, el borde negativo de la entrada de disparo ocasiona que el comparador 2 active al flip-flop, lo que provoca que la salida en la terminal 3 vaya al nivel alto. El capacitor C se cargará hasta V_{CC} mediante el resistor R_A. Durante el intervalo de carga, la salida permanece en el nivel alto. Cuando el voltaje a través del capacitor alcance el nivel de umbral de $2V_{CC}/3$, el comparador 1 accionará el flip-flop lo que ocasionará que la salida vaya al nivel bajo. El transistor de descarga también pasa a nivel bajo, ocasionando que el capacitor permanezca cercano a 0 V hasta que se dispare nuevamente.

La figura 16.19b muestra la señal de disparo de entrada y la forma de onda de salida resultante para el temporizador 555 que opera como disparo único. Los periodos para este circuito pueden ir desde microsegundos hasta varios segundos, esto hace que este CI resulte útil para un rango de aplicaciones.

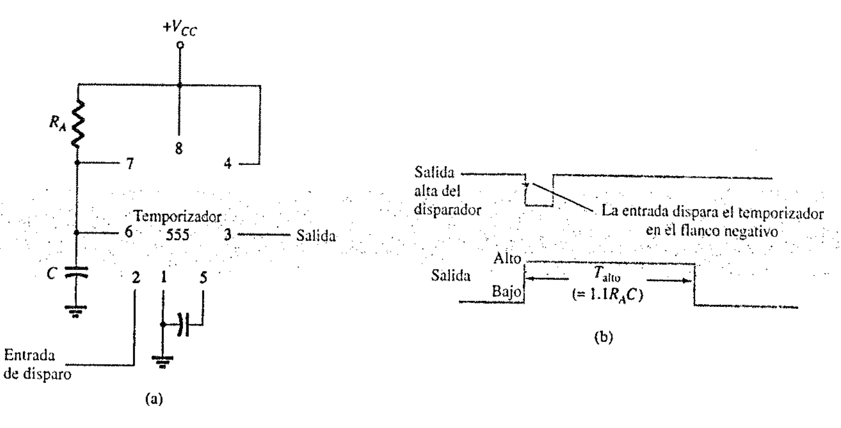


Figura 16.19 Operación del temporizador 555 como multivibrador monoestable o disparo único: (a) circuito; (b) formas de onda.

EJEMPLO 16.2 Determine el periodo de la forma de onda de salida para el circuito de la figura 16.20, cuando el disparo es un pulso negativo.

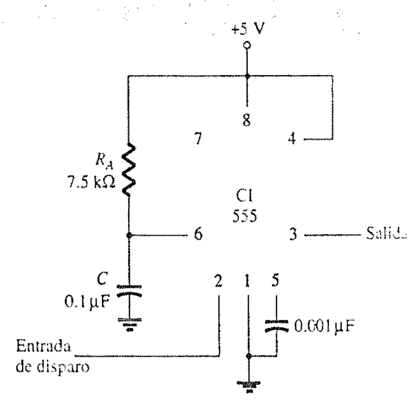


Figura 16.20 Circuito monoestable para el ejemplo 16.2.

Solución

Al emplear la ecuación 16.7, se obtiene

$$T_{alto} = 1.1R_AC = 1.1(7.5 \times 10^3)(0.1 \times 10^{-6}) = \mathbf{0.825\ ms}$$

16.5 OSCILADOR CONTROLADO POR VOLTAJE

Un oscilador controlado por voltaje (VCO, por sus siglas en inglés de *Voltage-Controlled Oscillator*) es un circuito que proporciona una señal variable de salida (por lo general de forma de onda cuadrada o triangular) cuya frecuencia puede ajustarse a lo largo de un rango controlado por un voltaje de dc. Un ejemplo de un VCO es la unidad de CI 566, la cual contiene los circuitos necesarios para generar tanto señales con forma de onda cuadrada, como triangular, y cuya frecuencia se establece mediante un resistor y un capacitor externos, y que luego es modificada por medio de un voltaje de dc aplicado. La figura 16.21a muestra que el 566 contiene fuentes de corriente para cargar y descargar un capacitor externo C_1 a una velocidad establecida por el resistor externo R_1 y por el voltaje de entrada dc de modulación. Se emplea un circuito disparador de Schmitt para conmutar las fuentes de corriente entre la carga y la descarga del capacitor, y el voltaje triangular desarrollado a través del capacitor y la onda cuadrada del disparador de Schmitt se proporcionan como salidas a través de amplificadores de acoplamiento.

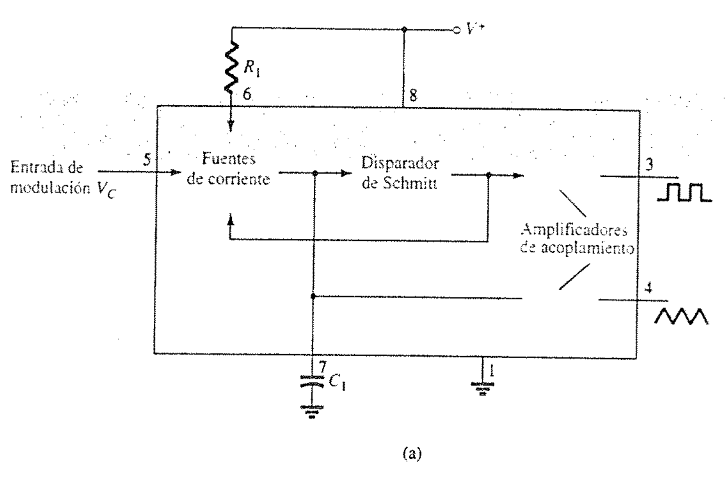
La figura 16.21b muestra la conexión de las terminales de la unidad 566 y un resumen de las fórmulas y de los límites de valores. El oscilador puede programarse en un rango de frecuencia de 10 a 1 mediante una selección adecuada de un capacitor y de un resistor externos, y luego modular a lo largo de un rango de frecuencia de 10 a 1 mediante un voltaje de control V_C.

La frecuencia de operación libre o de operación central, f_o, se puede calcular a partir de

$$f_o = \frac{2}{R_1C_1}\left(\frac{V^+ - V_C}{V^+}\right) \tag{16.8}$$

con las siguientes restricciones prácticas de los valores de circuito:

1. R_1 deberá encontrarse en el rango $2\text{ k}\Omega \leq R_1 \leq 20\text{ k}\Omega$.
2. V_C deberá encontrarse en el rango $\frac{3}{4}V^+ \leq V_C \leq V^+$.



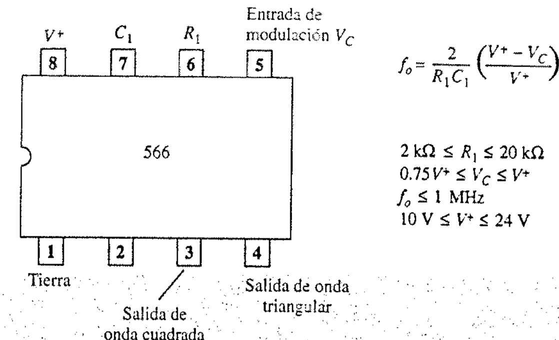


Figura 16.21 El generador de funciones 566: (a) diagrama de bloques; (b) configuración de terminales y resumen de los datos de operación.

3. f_o deberá ser menor a 1 MHz.
4. V^+ deberá estar en un rango de 10 V a 24 V.

La figura 16.22 muestra un ejemplo en el que se utiliza el generador de funciones 566 para proporcionar tanto señales de onda cuadrada como triangular a una frecuencia fija establecida por R_1, C_1 y V_C. Un divisor de voltaje, resistores R_2 y R_3, proporcionan un voltaje dc de modulación de un valor fijo.

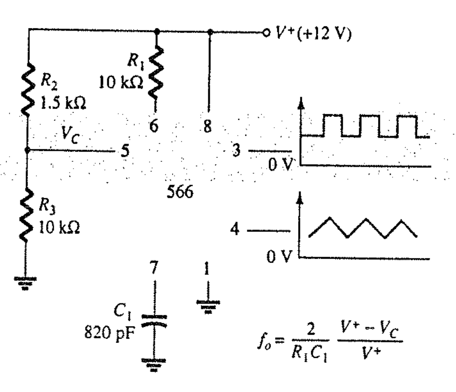


Figura 16.22 Conexión de la unidad VCO 566.

$$V_C = \frac{R_3}{R_2 + R_3} V^+ = \frac{10\ k\Omega}{1.5\ k\Omega + 10\ k\Omega}(12\ V) = 10.4\ V$$

(el cual se encuentra de forma adecuada en el rango $0.75V^+ = 9$ V y $V^+ = 12$ V). Al emplear la ecuación 16.8 se tiene

$$f_o = \frac{2}{(10 \times 10^3)(820 \times 10^{-12})}\left(\frac{12 - 10.4}{12}\right) \approx 32.5\ kHz$$

El circuito de la figura 16.23 muestra la forma en la que puede ajustarse la frecuencia de salida de la onda cuadrada, mediante el empleo del voltaje de entrada V_C, para variar la frecuencia de la señal. El potenciómetro R_3 permite la variación de V_C desde cerca de 9 V hasta aproximadamente 12 V, sobre el rango completo de frecuencia de 10 a 1. Con el control del potenciómetro en el máximo, el voltaje de control será

$$V_C = \frac{R_3 + R_4}{R_2 + R_3 + R_4}(V^+) = \frac{5\ k\Omega + 18\ k\Omega}{510\ \Omega + 5\ k\Omega + 18\ k\Omega}(+12\ V) = 11.74\ V$$

lo que da por resultado una menor frecuencia de salida de

$$f_o = \frac{2}{(10 \times 10^3)(220 \times 10^{-12})}\left(\frac{12 - 11.74}{12}\right) \approx 19.7\ kHz$$

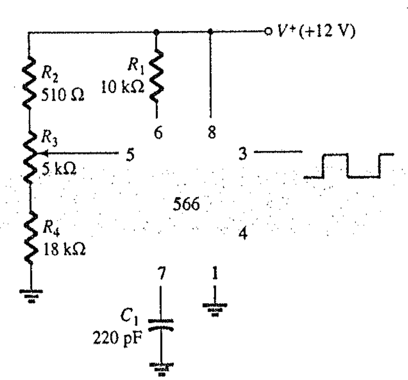


Figura 16.23 Conexión de un 566 como unidad de VCO.

Con el brazo de control de R_3 en el nivel mínimo, el voltaje de control será

$$V_C = \frac{R_4}{R_2 + R_3 + R_4}(V^+) = \frac{18\ k\Omega}{510\ \Omega + 5\ k\Omega + 18\ k\Omega}(+12\ V) = 9.19\ V$$

lo que resulta en una frecuencia superior de

$$f_o = \frac{2}{(10 \times 10^3)(220 \times 10^{-12})}\left(\frac{12 - 9.19}{12}\right) \approx 212.9\ kHz$$

La frecuencia de la onda cuadrada de salida se puede entonces modificar mediante el potenciómetro R_3 sobre un rango de frecuencia de al menos 10 a 1.

En lugar de variar el ajuste del potenciómetro para cambiar el valor de V_C, es posible aplicar un voltaje de modulación de entrada $V_{entrada}$, como se indica en la figura 16.24. El divisor de voltaje fija el valor de V_C en cerca de 10.4 V. Un voltaje ac de entrada de aproximadamente 1.4 V pico puede llevar a V_C alrededor del punto de polarización entre los voltajes de 9 V y 11.8 V, lo que ocasiona que la frecuencia de salida varíe sobre un rango aproximado de 10 a 1. De esta forma, la señal de entrada $V_{entrada}$ modulará en frecuencia al voltaje de salida alrededor de la frecuencia central establecida por el valor de polarización de $V_C = 10.4$ V($f_o = 121.2$ kHz).

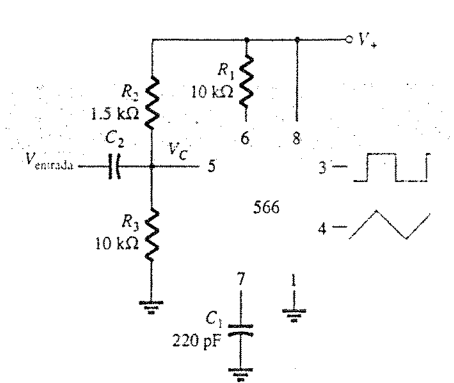


Figura 16.24 Operación del VCO con entrada de modulación de frecuencia.

16.6 LAZO DE SEGUIMIENTO DE FASE

Un lazo de seguimiento de fase (PLL) es un circuito electrónico que consiste de un detector de fase, un filtro pasa-bajos y un oscilador controlado por voltaje conectados como se ilustra en la figura 16.25. La aplicaciones comunes de un PLL incluyen: (1) sintetizadores de frecuencia que proporcionan múltiplos de frecuencia de una señal de referencia [por ejemplo, la frecuencia portadora para los múltiples canales de una unidad de banda civil (CB) o de una unidad de banda de radio marina se puede generar por medio de una frecuencia controlada por un cristal y sus múltiplos generados con el empleo de un PLL]; (2) redes de demodulación de FM para obtener una operación en FM con excelente linealidad entre la frecuencia de la señal de entrada y el voltaje de salida del PLL; (3) demodulación de las dos frecuencias de transmisión de datos o portadoras, para la transmisión de datos digitales empleada en la operación de codificación por desplazamiento de frecuencia (FSK, del inglés *Frequency-Shift Keying*); (4) una amplia variedad de áreas que incluyen módems, receptores y transmisores de telemetría, decodificadores de tonos, detectores de AM y filtros de rastreo.

Se compara una señal de entrada V_i, con la señal proveniente de un VCO V_o, mediante un comparador de fase (refiérase a la figura 16.25) con lo que se obtiene un voltaje de salida V_e, que representa la diferencia de fase entre las dos señales. Este voltaje es después alimentado a un filtro pasa-bajos que proporciona un voltaje de salida (amplificado si se requiere) que puede tomarse como el voltaje de salida del PLL y que se utiliza internamente como el voltaje para modular la frecuencia del VCO. La función de lazo cerrado del circuito, es la de mantener muy fija la frecuencia del VCO respecto a la frecuencia de la señal de entrada.

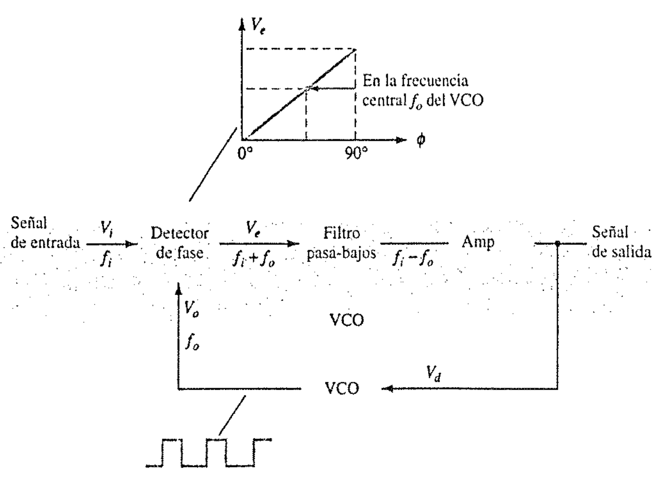


Figura 16.25 Diagrama de bloques del lazo de seguimiento de fase básico (PLL).

Operación básica del PLL

La operación básica de un circuito PLL puede explicarse utilizando como referencia el circuito de la figura 16.25. Primero consideraremos la operación de los distintos circuitos en el lazo de seguimiento de fase cuando el lazo se encuentra operando en seguimiento (la frecuencia de la señal de entrada y la frecuencia del VCO son las mismas). Cuando la frecuencia de la señal de entrada es la misma que la proveniente del VCO hacia el comparador, el voltaje V_d, tomado como salida, será el valor necesario para mantener al VCO en seguimiento con la señal de entrada. Luego, el VCO proporcionará como salida de señal de onda cuadrada con amplitud fija a la frecuencia de la entrada. La mejor operación se obtiene si la frecuencia central del VCO, f_o, se establece con el voltaje de polarización de dc a la mitad de su rango de operación lineal. El amplificador permite este ajuste en el voltaje de dc a partir del obtenido como salida del circuito de filtro. Cuando el lazo se encuentra en seguimiento, las dos señales que van al comparador tendrán la misma frecuencia, aunque no necesariamente se encontrarán en fase. Una diferencia fija de fase entre las dos señales que van al comparador ocasiona un voltaje fijo de dc hacia el VCO. Los cambios en la frecuencia de la señal de entrada resultarán entonces en un cambio en el voltaje dc para el VCO. Dentro de un rango de frecuencia de captura y seguimiento, el voltaje de dc hará que la frecuencia del VCO coincida con la de la entrada.

Mientras el lazo se encuentre intentando lograr el seguimiento, la salida del comparador de fase contendrá componentes de frecuencia con la suma y diferencia de las señales comparadas. Un filtro pasa-bajos dejará pasar solamente a los componentes de baja frecuencia de la señal, de forma que el lazo pueda obtener el seguimiento entre las señales de entrada y del VCO.

Debido al limitado rango de operación del VCO y a la conexión de retroalimentación del circuito PLL, existen dos importantes bandas de frecuencias que se especifican para un PLL. El rango de captura de un PLL es el rango de frecuencia centrado alrededor de la frecuencia de libre ejecución f_o del VCO, sobre la cual el lazo puede adquirir el seguimiento con la señal de entrada. Una vez que el PLL ha logrado la captura, éste puede mantener el seguimiento con la señal de entrada sobre un rango de frecuencia un tanto más amplio denominado *rango de seguimiento*.

Aplicaciones

El PLL puede utilizarse en diferentes aplicaciones que incluyen (1) demodulación de frecuencia, (2) síntesis de frecuencia y (3) decodificadores FSK. A continuación siguen ejemplos de cada uno de éstos.

DEMODULACIÓN DE FRECUENCIA

La detección o demodulación de FM puede lograrse directamente mediante el uso del circuito PLL. Si la frecuencia central del PLL se selecciona o se designa como la frecuencia portadora de FM, el voltaje filtrado o de salida del circuito de la figura 16.25 será el voltaje demodulado deseado, con una variación del valor proporcional a la variación de la frecuencia de la señal. De esta forma, el circuito PLL opera como un desmontador, limitador y demodulador de frecuencia intermedia (IF) como los que se utilizan en los receptores de FM.

Una unidad popular es la 565, que se muestra en la figura 16.26a, la cual contiene un detector de fase, un amplificador y un oscilador controlado por voltaje, los cuales se encuentran conectados internamente sólo de forma parcial. Se emplean un resistor y un capacitor externos R_1 y C_1, para establecer la frecuencia central o de libre ejecución del VCO. Otro capacitor externo C_2, se emplea para establecer la banda de paso del filtro pasa-bajos y la salida del VCO deberá conectarse de vuelta como entrada del detector de fase para cerrar el lazo del PLL. Por lo general, el 565 utiliza dos fuentes de alimentación V^+ y V^-.

La figura 16.26b muestra al PLL conectado para funcionar como un demodulador de FM. El resistor R_1 y el capacitor C_1 establecen la frecuencia de ejecución libre f_o.

$$\boxed{f_o = \frac{0.3}{R_1 C_1}} \qquad (16.9)$$

$$= \frac{0.3}{(10 \times 10^3)(220 \times 10^{-12})} = 136.36 \text{ kHz}$$

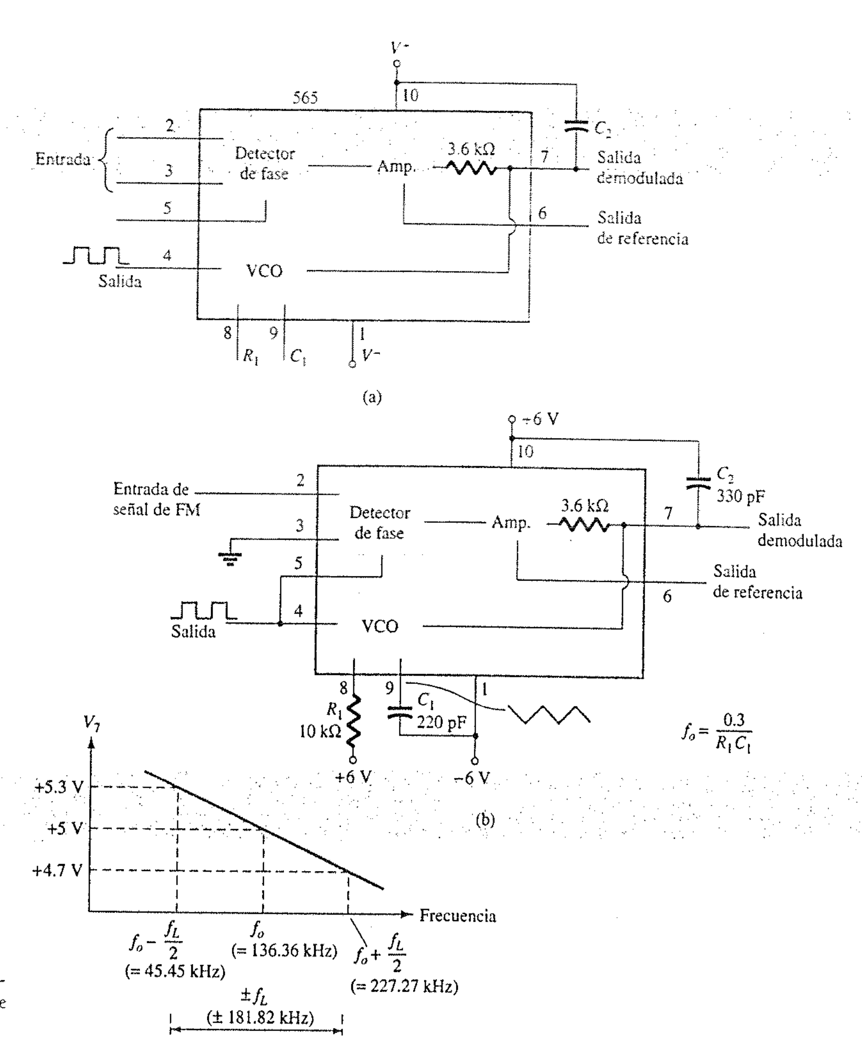


Figura 16.26 Lazo de seguimiento de fase (PLL): (a) diagrama de bloques básico; (b) PLL conectado como un demodulador de frecuencia; (c) gráfica del voltaje de salida en función de la frecuencia.

con la limitación de $2\text{ k}\Omega \leq R_1 \leq 20\text{ k}\Omega$. El rango de seguimiento es

$$f_L = \pm\frac{8f_o}{V}$$

$$= \pm\frac{8(136.36 \times 10^3)}{6} = \pm 181.8\text{ kHz}$$

para fuentes de voltaje de $V = \pm 6$ V. El rango de captura es

$$f_C = \pm\frac{1}{2\pi}\sqrt{\frac{2\pi f_L}{R_2C_2}}$$

$$= \pm\frac{1}{2\pi}\sqrt{\frac{2\pi(181.8 \times 10^3)}{(3.6 \times 10^3)(330 \times 10^{-12})}} = 156.1\text{ kHz}$$

La señal en la terminal 4 será una onda cuadrada de 136.36 kHz. Una entrada dentro del rango de seguimiento de 181.8 kHz dará por resultado que la salida en la terminal 7 varíe alrededor de su nivel de voltaje de dc ajustado con la señal de entrada en f_o. La figura 16.26c muestra la salida en la terminal 7 como una función de la frecuencia de la señal de entrada. El voltaje dc en la terminal 7 se encuentra linealmente relacionado con la frecuencia de la señal de entrada dentro del rango del frecuencia $f_L = 181.82$ kHz alrededor de la frecuencia central de 136.36 kHz. El voltaje de salida será la señal demodulada que varía con la frecuencia dentro del rango especificado de operación.

SÍNTESIS DE FRECUENCIA

Es posible construir un sintetizador de frecuencia en torno a un PLL como se observa en la figura 16.27. Se inserta un divisor de frecuencia entre la salida del VCO y el comparador de fase de forma que la señal de lazo que va al comparador esté en la frecuencia f_o, mientras que la salida del VCO sea Nf_o. Esta salida será un múltiplo de la frecuencia de entrada, siempre y cuando el lazo se encuentre en seguimiento. La señal de entrada puede estabilizarse en f_1 con la salida del VCO resultante en Nf_1, si el lazo se configura para seguimiento en la frecuencia fundamental (cuando $f_o = f_1$). La figura 16.27b muestra un ejemplo donde se utiliza un PLL 565 como multiplicador de frecuencia y un 7490 como divisor. La entrada V_i a la frecuencia f_1 se compara con la entrada (de frecuencia f_o) en la terminal 5. Una salida a Nf_o ($4f_o$ para el presente ejemplo) se conecta a través de un circuito inversor para proporcionar una entrada en la terminal 14 del 7490, la cual varía entre 0 y +5 V. Al emplear la salida de la terminal 9, la cual se divide entre 4 a partir de la que se encuentra en la entrada del 7490, la señal en la terminal 4 del PLL será de cuatro veces la frecuencia de entrada siempre que se mantenga el lazo en seguimiento. Debido a que el VCO puede variar únicamente sobre un rango limitado respecto a la frecuencia central, puede ser necesario modificar la frecuencia del VCO cada vez que se mo-

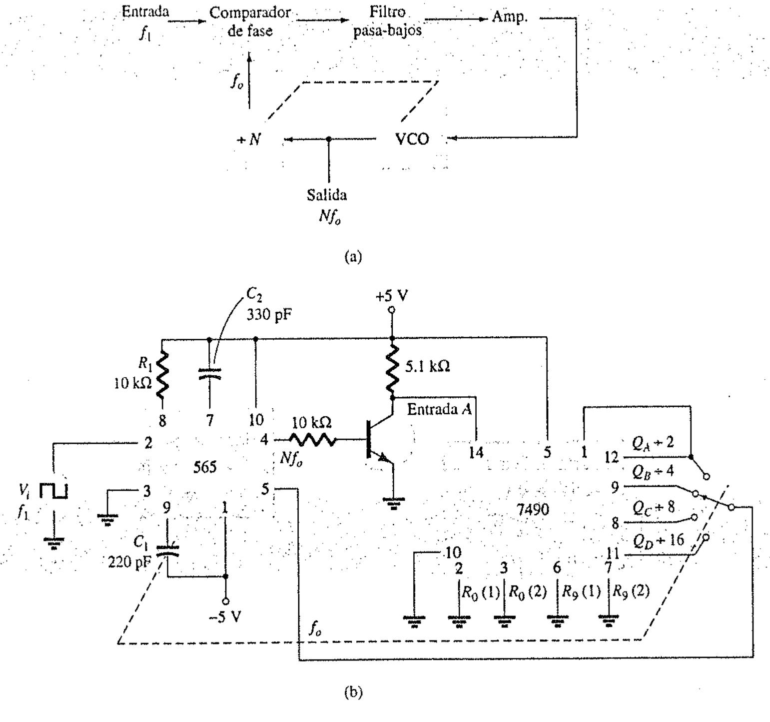


Figura 16.27 Sintetizador de frecuencia: (a) diagrama de bloques; (b) implementación que utiliza una unidad PLL 565.

difique el valor del divisor. Mientras que el circuito PLL se encuentre en seguimiento, la frecuencia de salida del VCO será exactamente N veces la frecuencia de entrada. Sólo será necesario reajustar f_o para que se encuentre dentro del rango de captura y seguimiento, entonces el lazo cerrado dará por resultado que la salida del VCO sea exactamente Nf_1 en el seguimiento.

DECODIFICADORES FSK

Es posible construir un decodificador FSK de señal [codificación por desplazamiento de frecuencia (del inglés *Frequency-Shift Keyed*)] como se muestra en la figura 16.28. El decodificador recibe una señal a una de dos distintas frecuencias de portador, 1270 Hz o 1070 Hz, que representen los niveles lógicos para RS-232C, o de marca (−5 V) o de espacio (+14 V), respectivamente. Cuando la señal se presenta en la entrada, el lazo da seguimiento a la frecuencia de entrada y la rastrea entre las dos posibles frecuencias con un desplazamiento de dc correspondiente en la salida.

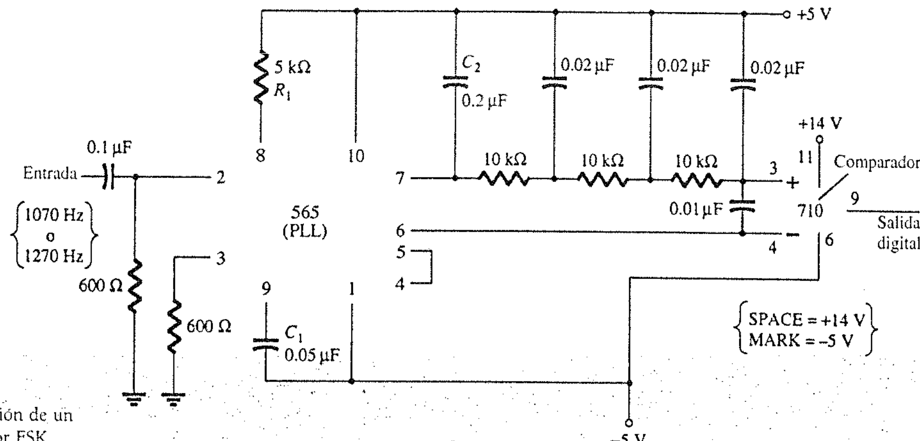


Figura 16.28 Conexión de un 565 como decodificador FSK.

El filtro de escalera de RC (las tres secciones de $C = 0.02\ \mu F$ y $R = 10\ k\Omega$) se utiliza para eliminar el componente de suma de frecuencias. La frecuencia de operación libre se ajusta mediante R_1 de forma que el nivel de voltaje de dc a la salida (terminal 7) sea el mismo que el de la terminal 6. Entonces, una entrada a la frecuencia de 1070 Hz llevará el voltaje de salida del decodificador hacia un nivel de voltaje más positivo, lo que desplaza la salida digital a un nivel alto (de espacio o +14 V). De forma correspondiente, una entrada de 1270 Hz conducirá a la salida de dc del 565 a ser menos positiva con la salida digital, la cual entonces caerá al nivel bajo (de marca o −5 V).

16.7 CIRCUITOS DE INTERFASE

La conexión de distintos tipos de circuitos, ya sean digitales o analógicos, puede requerir de algún tipo de circuito de interfase. Los circuitos de interfase se pueden utilizar para manejar una carga o para obtener una señal en un circuito receptor. Un circuito manejador proporciona la señal de salida a un voltaje o corriente adecuado para operar varias cargas, o para operar dispositivos tales como relevadores, exhibidores visuales o unidades de potencia. Un circuito receptor básicamente acepta una señal de entrada, lo que ofrece una alta impedancia de entrada para minimizar el efecto de la carga sobre la señal de entrada. Además, los circuitos de interfase pueden incluir la característica de señal estroboscópica, la cual permite la conexión de las señales de interfase durante intervalos específicos de tiempo establecidos por la señal de estroboscópica.

La figura 16.29a muestra un manejador de doble línea, cada manejador acepta la entrada de señales TTL, y proporciona una salida capaz de manejar circuitos de dispositivos TTL o MOS. Este tipo de circuitos de interfase se presenta en varias formas, algunos como unidades inversoras y otros como unidades no inversoras. El circuito de la figura 16.29b muestra un receptor de dos líneas que cuenta con entradas tanto inversoras como no inversoras, de forma que es posible seleccionar cualquier condición de operación. Como ejemplo, la conexión de una señal de entrada a la entrada inversora daría por resultado una salida invertida de la unidad receptora. La conexión de la entrada a la entrada no inversora proporcionaría la misma interfase excepto que la salida obtenida tendría la misma polaridad que la señal recibida. La unidad manejadora de receptor de la figura 16.29 proporciona una salida cuando la señal estroboscópica se encuentra presente (nivel alto para este caso).

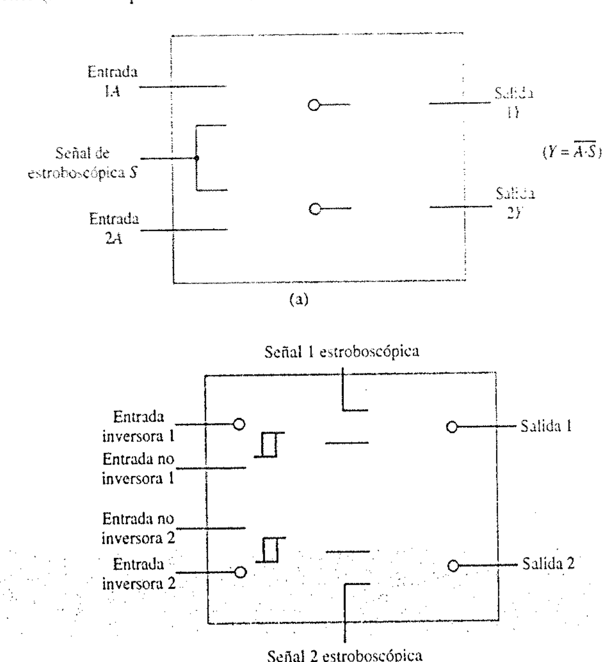


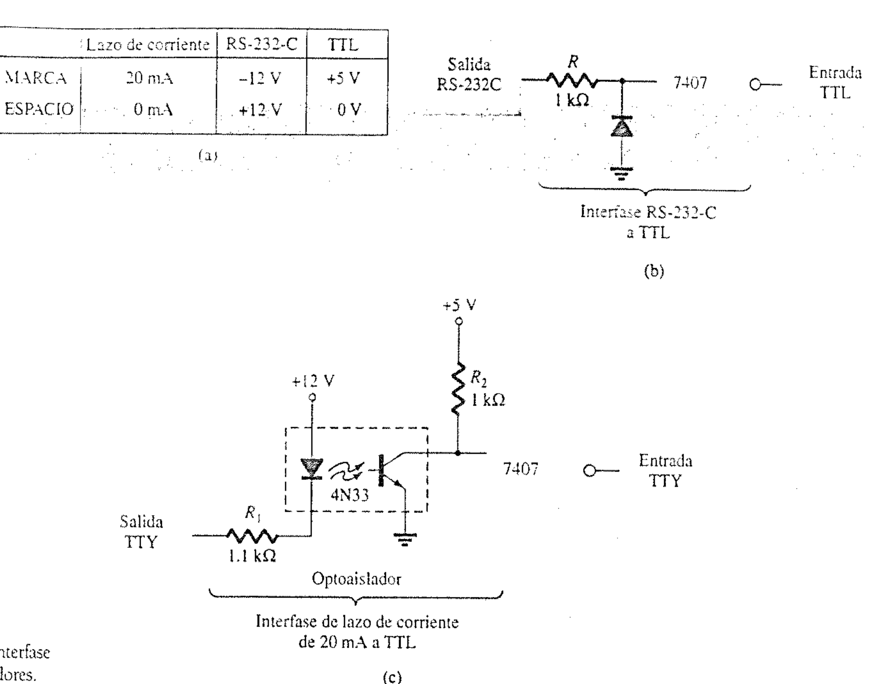
Figura 16.29 Unidades de interfase: (a) manejadores dobles de línea (SN75150); (b) receptores dobles de línea (SN75152).

Otro tipo de circuito de interfase es el que se utiliza para conectar distintas unidades digitales de entrada y de salida o señales con dispositivos tales como teclados, terminales de vídeo e impresoras. Uno de los estándares EIA de la industria electrónica se denomina RS-232C, el cual establece que una señal digital representa una marca (1 lógico) y un espacio (0 lógico). La definición de marca y de espacio varía según el tipo de circuito empleado (aunque una lectura completa del estándar detallará los límites aceptables para la marca y el espacio).

Convertidor RS-232C a TTL

Para el caso de circuitos TTL, +5 V representa la marca y 0 V el espacio. Para el caso del RS-232C la marca podría ser −12 V y el espacio +12 V. La figura 16.30a proporciona una tabulación de algunas definiciones de marca y espacio. Para una unidad que tenga las salidas definidas según el RS-232C y que opere con otra unidad que funcione con un nivel TTL de señal, sería posible emplear el circuito de interfase que se muestra en la figura 16.30b. Una salida tipo marca generada por el manejador (a −12 V) se recortaría por el diodo de forma que la entrada hacia el circuito inversor sea cercana a 0 V, lo que da por resultado una salida de +5 V (marca en TTL). Una salida tipo espacio de +12 V hará que la salida del inversor sea baja para obtener una salida de 0 V (un espacio).

Otro ejemplo de circuito de interfase que convierte las señales de un lazo de corriente TTY a niveles TTL según se muestra en la figura 16.30c. Se obtendrá una entrada tipo marca, cuando se consuman 20 mA de corriente de la fuente a través de la línea de salida del teletipo (TTY). Esta corriente luego pasa a través del diodo de un optoaislador y activa al transistor de salida.



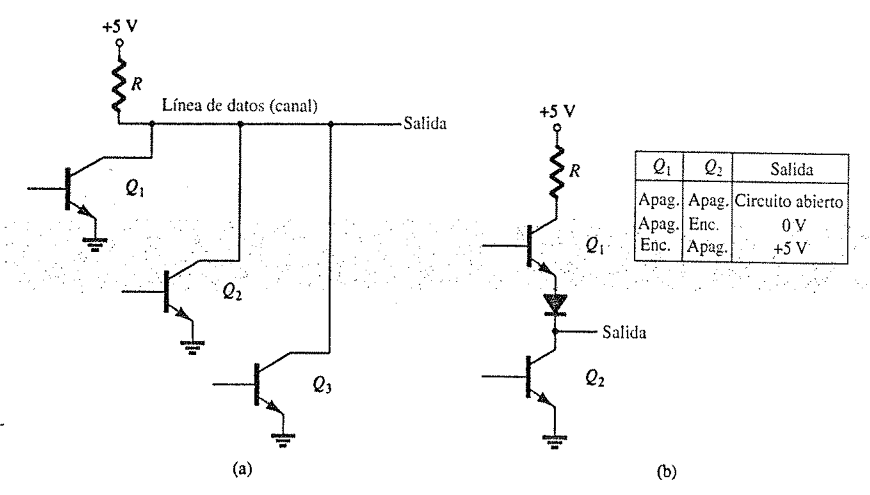
	Lazo de corriente	RS-232-C	TTL
MARCA	20 mA	−12 V	+5 V
ESPACIO	0 mA	+12 V	0 V

(a)

Figura 16.30 Señales de interfase estándar y circuitos convertidores.

La entrada al inversor al volverse baja, ocasiona una señal de +5 V de la salida del inversor 7407 de forma que una marca del teletipo ocasionará una marca a la entrada TTL. Una señal de espacio proveniente del lazo de corriente del teletipo no proporciona corriente, con lo que se mantiene apagado al transistor del optoaislador y la salida del inversor será entonces de 0 V, representa una señal de espacio en TTL.

Otro medio para conseguir la interfase de señales digitales es el uso de circuitos con salida de colector abierto o de tres estados. Cuando una señal sale del colector del transistor (ver figura 16.31) que no se encuentra conectado con ningún otro componente electrónico, se tiene una salida de colector abierto. Esto permite conectar varias señales al mismo alambre o canal. Cualquier transistor que se encienda proporcionará entonces un voltaje de salida bajo, mientras que todos los transistores apagados restantes proporcionarán un voltaje de salida alto.



Q_1	Q_2	Salida
Apag.	Apag.	Circuito abierto
Apag.	Enc.	0 V
Enc.	Apag.	+5 V

Figura 16.31 Conexión para líneas de datos: (a) salida de colector abierto; (b) salida de tres estados.

16.8 RESUMEN

Conclusiones y conceptos importantes

1. Un comparador proporciona una salida en un nivel alto o bajo cuando una entrada se encuentra por arriba o por debajo de la otra.
2. Un DAC es un convertidor digital-analógico.
3. Un ADC es un convertidor analógico-digital.
4. CI temporizador:
   a. Un circuito astable actúa como reloj.
   b. Un circuito monoestable actúa como un disparo único o temporizador.
5. Un circuito de lazo de seguimiento de fase (PLL) contiene un detector de fase, un filtro pasa-bajos y un oscilador controlado por voltaje (VCO).
6. Existen dos tipos estándares de circuitos de interfase: el RS-232-C y el TTL.

16.9 ANÁLISIS POR COMPUTADORA

PSpice para Windows

Muchas de las aplicaciones prácticas de op-amp cubiertas en este capítulo pueden analizarse mediante PSpice. En el análisis de distintos problemas se puede presentar la polarización de dc resultante o utilizar **PROBE** para desplegar las formas de onda resultantes.

Programa 16.1: Circuito comparador utilizado para activar un LED

Mediante el Centro de Diseño, dibuje el circuito de un comparador con la salida accionando un LED indicador, según se muestra en la figura 16.32. Para ser capaz de observar la magnitud del voltaje de salida de dc, coloque un componente **VPRINT1** en V_o con **DC** y **MAG** seleccionados. Para observar la corriente de dc a través del LED, coloque un componente **IPRINT** en serie con el medidor de corriente del LED, como se muestra en la figura 16.32. La sección **Analysis Setup** proporciona un barrido de dc como se observa en la figura 16.33. El barrido de dc (**DC Sweep**) se establece, según se muestra, para V_i de 4 a 8 V en incrementos de 1 V. Después de ejecutar la simulación, una parte de la salida resultante del análisis obtenido se muestra en la figura 16.34.

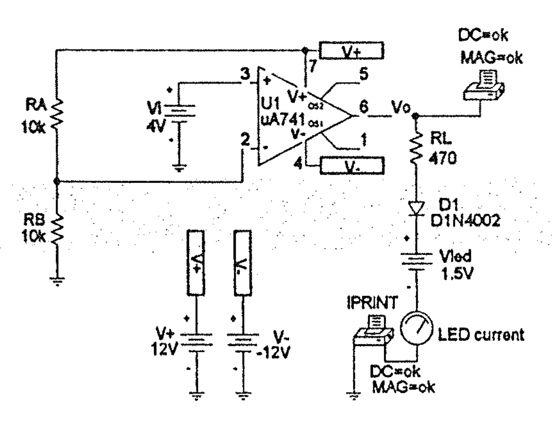
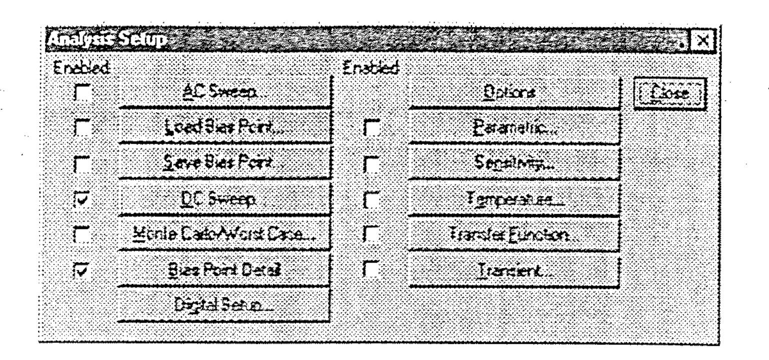


Figura 16.32 Circuito comparador utilizado para accionar un LED.



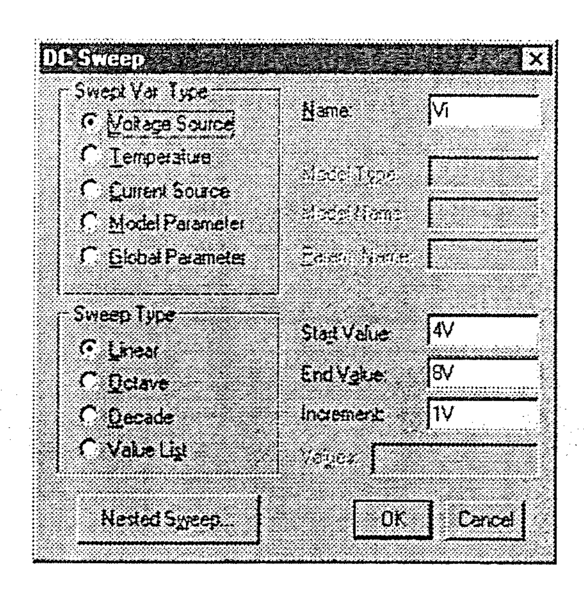
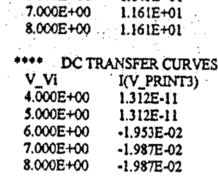


Figura 16.33 Configuración del análisis para un barrido de dc en el circuito de la figura 16.32.

El circuito de la figura 16.32 muestra un divisor de voltaje que proporciona 6 V a la entrada de signo negativo de forma que cualquier entrada (V_i) por debajo de 6 V, ocasionará que la salida se encuentre en el voltaje de saturación negativo (cerca de −10 V). Cualquier entrada por arriba de +6 V ocasionará que la salida llegue al nivel de saturación positivo (cerca de +10 V). El LED por tanto se *encenderá* por cualquier entrada superior al nivel de referencia de +6 V y se *apagará* por cualquier entrada por debajo de +6 V. El listado de la figura 16.34 muestra una tabla del voltaje de salida y una tabla de la corriente del LED para una entrada de 4 a 8 V. La tabla muestra que la corriente del LED es cercana a 0 para entradas arriba de +6 V y una corriente cercana a 20 mA que enciende al LED para entrada de +6 V y superiores.


Comparator Circuit Driving LED

**** DC TRANSFER CURVES

V_Vi	V(Vo)
4.000E+00	-1.161E+01
5.000E+00	-1.161E+01
6.000E+00	1.145E+01
7.000E+00	1.161E+01
8.000E+00	1.161E+01

**** DC TRANSFER CURVES

V_Vi	I(V_PRINT3)
4.000E+00	1.312E-11
5.000E+00	1.312E-11
6.000E+00	-1.953E-02
7.000E+00	-1.987E-02
8.000E+00	-1.987E-02

Figura 16.34 Salida del análisis (editada) para el circuito de la figura 16.32.

Programa 16.2: Operador del comparador

La operación de un CI comparador puede demostrarse por medio de un op-amp 741 como se muestra en la figura 16.35. La entrada es una señal pico senoidal de 5 V. La configuración del análisis (**Analysis Setup**) proporciona un análisis de transistorio (**Transient**) con incrementos (**Print Step**) de **20 ns** y un tiempo final (**Final Time**) de **3 ms**. Dado que la señal de entrada se aplica sobre la entrada no inversora, la salida se encuentra en fase con la entrada. Cuando la entrada crece por arriba de 0 V, la salida llega al nivel positivo de saturación, cercano a +5 V.

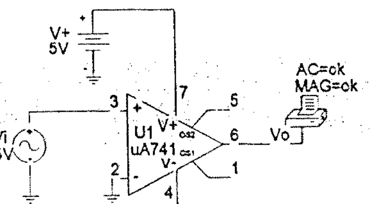


Figura 16.35 Esquema de un comparador.

Cuando la entrada cae por debajo de 0 V, la salida llega al nivel negativo de saturación, el cual es de 0 V dado que la entrada de voltaje negativo se estableció en ese nivel. La figura 16.36 muestra una salida de **PROBE** del voltaje de entrada y de salida.

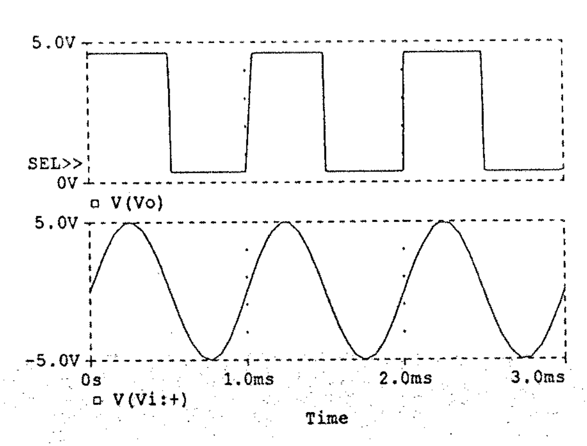


Figura 16.36 Salida de PROBE para el comparador de la figura 16.35.

Programa 16.3: Operación del temporizador 555 como oscilador

La figura 16.37 muestra un temporizador 555 funcionando como un oscilador. Es posible utilizar las ecuaciones 16.3 y 16.4 para calcular los tiempos de carga y de descarga como sigue:

$$T_{\text{alto}} = 0.7(R_A + R_B)C = 0.7(7.5\ \text{k}\Omega + 7.15\ \text{k}\Omega)(0.1\ \mu\text{F}) = 1.05\ \text{ms}$$

$$T_{\text{bajo}} = 0.7R_BC = 0.7(7.5\ \text{k}\Omega)(0.1\ \mu\text{F}) = 0.525\ \text{ms}$$

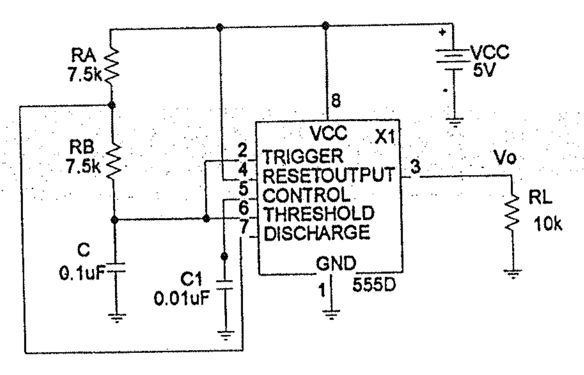


Figura 16.37 Esquema de un oscilador con temporizador 555.

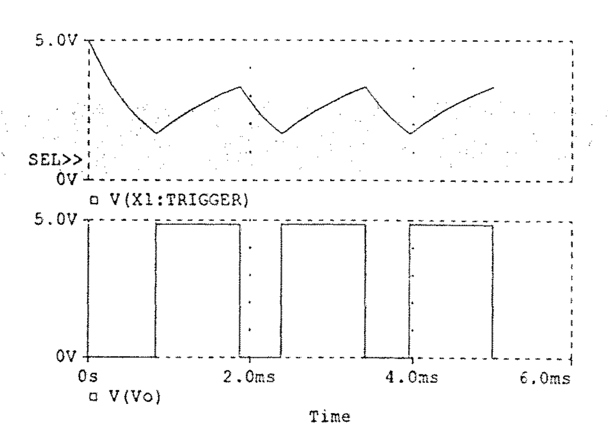


Figura 16.38 Salida de PROBE para el oscilador 555 de la figura 16.37.

Las formas de onda resultantes de salida y de disparo se muestran en la figura 16.38. Cuando el disparador carga hasta el nivel superior de disparo, la salida pasa al nivel bajo de 0 V. La salida permanece en el nivel bajo hasta que la entrada del disparador descarga al nivel inferior de disparo, momento en el que la salida pasa al nivel alto de +5 V.

Electronics Workbench

Programa 16.4: El temporizador 555 como oscilador

La figura 16.39 muestra el oscilador que el del programa 16.3, pero esta vez utilizando Electronics Workbench para construir el circuito y para mostrar las formas de onda resultantes en un osciloscopio. En la figura 16.39 se muestra, por medio de un osciloscopio, la forma de onda a través del capacitor y la de la salida.

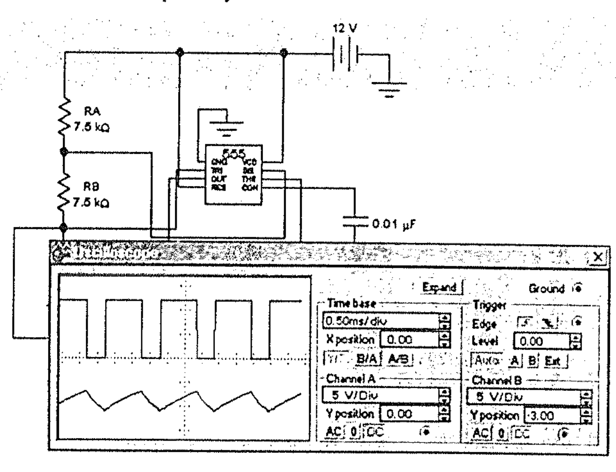


Figura 16.39 Oscilador con temporizador que utiliza EWB.

PROBLEMAS

§ 16.2 Operación del comparador

1. Dibuje el diagrama de un op-amp 741 operado con fuentes de ±15 V con $V_i(-) = 0$ V y $V_i(+) = +5$ V. Incluya las conexiones de las terminales.
2. Trace la forma de onda de salida para el circuito de la figura 16.40.
3. Dibuje un diagrama de circuito de un op-amp 311 que presenta una entrada de 10 V rms aplicada sobre la entrada inversora y la entrada de signo positivo conectada a tierra. Identifique todos los números de terminales.
4. Dibuje la forma de onda resultante para el circuito de la figura 16.41.
5. Dibuje el diagrama del circuito de un detector de cruce por cero mediante una etapa del comparador 339 con fuentes de ±12 V.

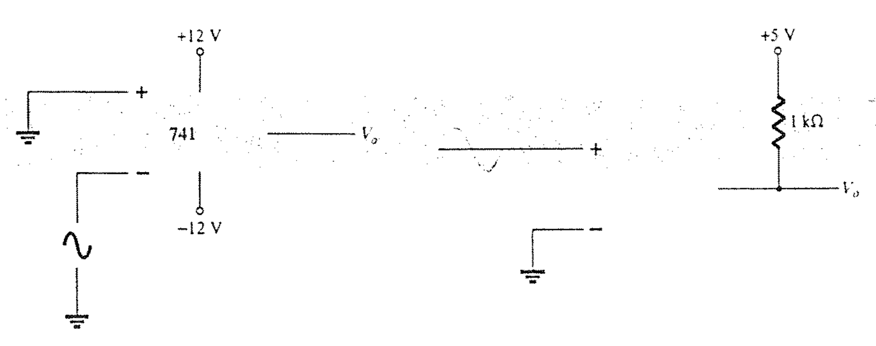


Figura 16.40 Problema 2.

Figura 16.41 Problema 4.

6. Trace la forma de onda de salida para el circuito de la figura 16.42.

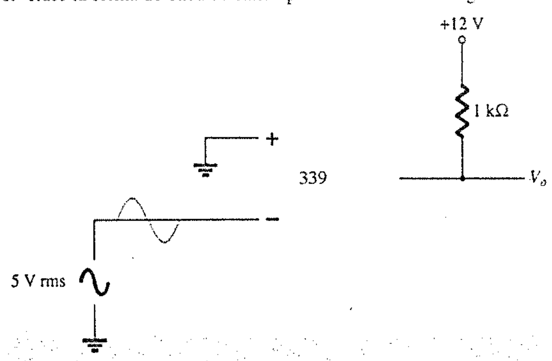


Figura 16.42 Problema 6.

* 7. Describa la operación del circuito de la figura 16.43.

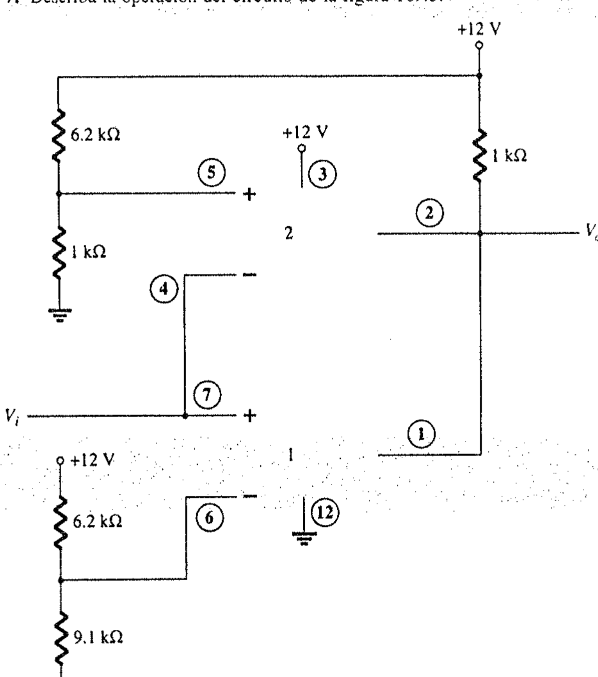


Figura 16.43 Problema 7.

8. Trace una red escalera de 5 etapas con el empleo de resistores de 15 kΩ y de 30 kΩ.
9. Para un voltaje de referencia de 16 V, calcule el voltaje de salida para una entrada de 11010 para el circuito del problema 8.
10. ¿Qué resolución de voltaje es posible por medio de una red de escalera de 12 etapas con un voltaje de referencia de 10 V?
11. Para un convertidor de doble pendiente, describa lo que sucede durante el intervalo fijo de tiempo y el intervalo de conteo.
12. ¿Cuántos pasos del contador ocurren al utilizar un contador digital de 12 etapas a la salida de un ADC?
13. ¿Cuál es el intervalo máximo de conteo cuando se emplea un contador de 12 etapas operador a una frecuencia de reloj de 20 MHz?

§ 16.4 Operación de la unidad temporizadora de CI

14. Dibuje el circuito de un temporizador 555 conectado como un multivibrador astable para operar a 350 kHz. Determine el valor del capacitor C necesario, mediante $R_A = R_B = 7.5$ kΩ.
15. Dibuje el circuito de disparo único con el empleo de un temporizador 555 para proporcionar un periodo de 20 μs. Si $R_A = 7.5$ kΩ, ¿Qué valor de C será necesario?
16. Dibuje las formas de onda de entrada y de salida para un disparo único, multivibrador monoestable, por medio de un temporizador 555 accionado por un reloj de 10 kHz con $R_A = 5.1$ kΩ y $C = 5$ nF.

§ 16.5 Oscilador controlado por voltaje

17. Calcule la frecuencia central de un VCO utilizando un CI 566 como en la figura 16.22 con $R_1 = 4.7$ kΩ, $R_2 = 1.8$ kΩ, $R_3 = 11$ kΩ y $C_1 = 0.001$ μF.
*18. ¿Qué rango de frecuencia resulta en el circuito de la figura 16.23, con $C_1 = 0.001$ μF?
19. Determine el capacitor necesario en el circuito de la figura 16.22 para obtener una salida de 200 kHz.

§ 16.6 Lazo de seguimiento de fase

20. Calcule la frecuencia de operación libre del VCO en el circuito de la figura 16.26b con $R_1 = 4.7$ kΩ y $C_1 = 0.001$ μF.
21. ¿Qué valor del capacitor C_1, se requiere en el circuito de la figura 16.26b para obtener una frecuencia central de 100 kHz?
22. ¿Cuál es el rango de seguimiento del circuito PLL en la figura 16.26b para $R_1 = 4.7$ kΩ y $C_1 = 0.001$ μF?

§ 16.7 Circuitos de interfase

23. Describa las condiciones de señal para las interfases de lazo de corriente y RS-232C.
24. ¿Qué es un canal de datos?
25. ¿Cuál es la diferencia entre la salida de colector abierto y la salida de tres estados?

§ 16.9 Análisis por computadora

*26. Utilice el Centro de Diseño para dibujar un circuito esquemático como en la figura 16.32, utilizando un LM111 con $V_i = 5$ V rms aplicados a la entrada de signo negativo (−) y +5 V rms aplicados a la entrada de signo positivo (+). Utilice Probe para ver la forma de onda de salida.
*27. Utilice el Centro de Diseño para dibujar un circuito esquemático como en la figura 16.35. Analice el listado de salida para los resultados.
*28. Utilice EWB para dibujar un oscilador 555 con salida resultante de $T_{bajo} = 2$ ms y $T_{alto} = 5$ ms.

*Observe: Los asteriscos indican problemas con mayor dificultad.

CAPÍTULO

Retroalimentación y circuitos osciladores

17.1 CONCEPTOS DE RETROALIMENTACIÓN

El concepto de retroalimentación se ha mencionado anteriormente, en particular, se utilizó en los circuitos de op-amp descritos en los capítulos 13 y 14. Según la polaridad relativa de la señal retroalimentada al circuito, es posible tener retroalimentación positiva o negativa. La retroalimentación negativa genera una reducción en la ganancia de voltaje, con la cual se obtienen mejoras en varias características del circuito, como se resume a continuación. La retroalimentación positiva lleva a un circuito a la oscilación como sucede en diversos tipos de circuitos osciladores.

En la figura 17.1 se muestra una conexión típica de retroalimentación. La señal de entrada V_s, se aplica a una red mezcladora, donde se combina con la señal de retroalimentación V_f. La diferencia entre estas señales, V_i, será, por tanto, el voltaje de entrada al amplificador. Una parte de la salida del amplificador V_o, se conecta a la red de retroalimentación (β), la cual proporciona a la red mezcladora de entrada una parte reducida de la salida como señal de retroalimentación.

Si la señal de retroalimentación cuenta con polaridad opuesta a la señal de entrada, como se muestra en la figura 17.1, la retroalimentación es negativa. Mientras que este tipo de retroalimentación ocasiona una reducción en la ganancia de voltaje total, se obtienen varias mejoras, entre las que se encuentran:

1. Mayor impedancia de entrada.
2. Mayor estabilidad de la ganancia de voltaje.
3. Mejor respuesta a la frecuencia.
4. Menor impedancia de salida.
5. Reducción de ruido.
6. Operación más lineal.

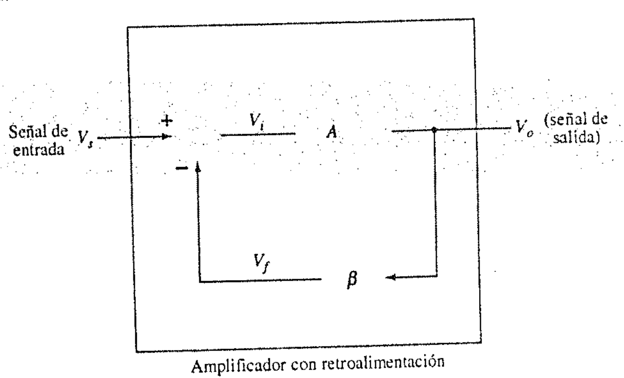


Figura 17.1 Diagrama simple de bloques del amplificador con retroalimentación.

17.2 TIPOS DE CONEXIÓN DE RETROALIMENTACIÓN

Existen cuatro formas básicas para conectar la señal de retroalimentación. Es posible retroalimentar hacia la entrada tanto el *voltaje* como la *corriente* ya sea en *serie* o en *paralelo*. Específicamente, pueden ser:

1. Retroalimentación de voltaje en serie (figura 17.2a).
2. Retroalimentación de voltaje en paralelo (figura 17.2b).
3. Retroalimentación de corriente en serie (figura 17.2c).
4. Retroalimentación de corriente en paralelo (figura 17.2d).

En la lista anterior, el término *voltaje* se refiere a la conexión del voltaje de salida como de entrada a la red de retroalimentación; *corriente* se refiere al uso de una parte de la corriente de salida a través de la red de retroalimentación. El término *serie* se refiere a la conexión de la señal de retroalimentación en serie con el voltaje de la señal de entrada, y *paralelo* se refiere a la conexión de la señal de retroalimentación en paralelo con una fuente de corriente de entrada.

Las conexiones de retroalimentación en serie tienden a *incrementar* la resistencia de entrada, mientras que las conexiones de retroalimentación en paralelo tienden a *disminuir* la resistencia de entrada. La retroalimentación de voltaje tiende a *disminuir* la impedancia de salida, mientras que la retroalimentación de corriente tiende a *incrementar* la impedancia de salida. Típicamente, se buscan altas impedancias de entrada y bajas impedancias de salida para la mayoría de los amplificadores en cascada. Ambas características se obtienen al utilizar la conexión de retroalimentación de voltaje en serie. Por tanto nos concentraremos primero en esta conexión de amplificador.

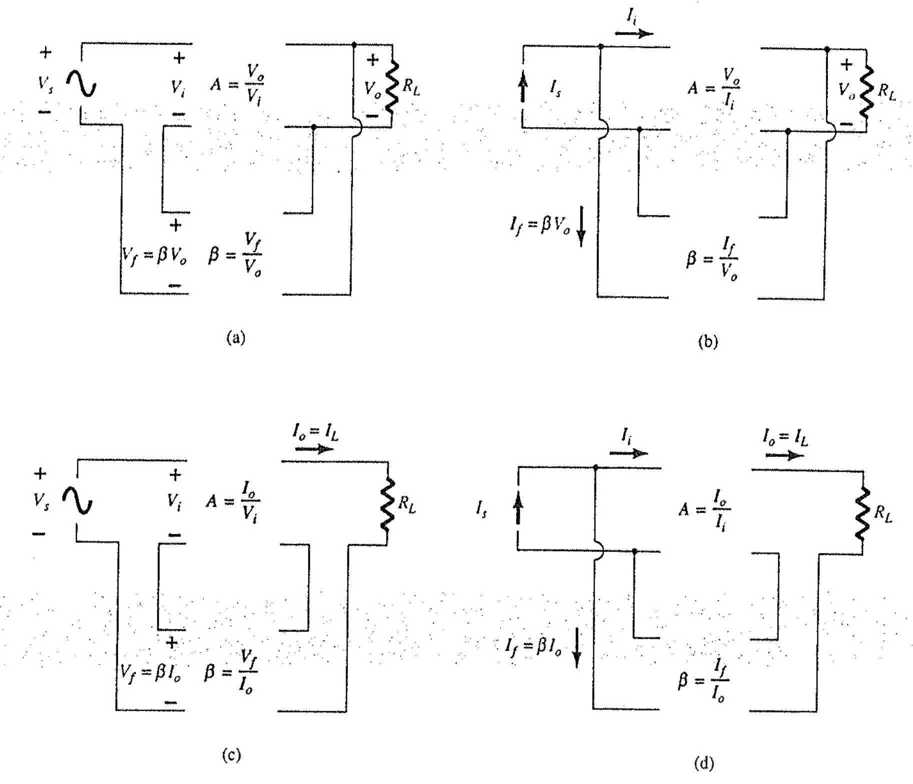


Figura 17.2 Tipos de amplificador con retroalimentación: (a) retroalimentación de voltaje en serie, $A_f = V_o/V_s$; (b) retroalimentación de voltaje en paralelo, $A_f = V_o/I_s$; (c) retroalimentación de corriente en serie, $A_f = I_o/V_s$; (d) retroalimentación de corriente en paralelo, $A_f = I_o/I_s$.

Ganancia con retroalimentación

En esta sección se analiza la ganancia de cada una de las conexiones de circuito de retroalimentación de la figura 17.2. La ganancia sin retroalimentación A, es la de la etapa de amplificación. Con retroalimentación β, la ganancia total del circuito se reduce mediante un factor de $(1 + \beta A)$, como se detalla a continuación. En la tabla 17.1 se proporciona un resumen de la ganancia, el factor de retroalimentación y la ganancia con retroalimentación, para futura referencia.

TABLA 17.1 Resumen de la ganancia, retroalimentación y ganancia con retroalimentación a partir de la figura 17.2

		Voltaje en serie	Voltaje en paralelo	Corriente en serie	Corriente en paralelo
Ganancia sin retroalimentación	A	$\frac{V_o}{V_i}$	$\frac{V_o}{I_i}$	$\frac{I_o}{V_i}$	$\frac{I_o}{I_i}$
Retroalimentación	β	$\frac{V_f}{V_o}$	$\frac{I_f}{V_o}$	$\frac{V_f}{I_o}$	$\frac{I_f}{I_o}$
Ganancia con retroalimentación	A_f	$\frac{V_o}{V_s}$	$\frac{V_o}{I_s}$	$\frac{I_o}{V_s}$	$\frac{I_o}{I_s}$

RETROALIMENTACIÓN DE VOLTAJE EN SERIE

La figura 17.2a muestra la conexión de retroalimentación de voltaje en serie con una parte del voltaje de salida retroalimentado en serie a la señal de entrada, lo que da como resultado una reducción de la ganancia total. Sin retroalimentación ($V_f = 0$), la ganancia de voltaje de la etapa de amplificación es

$$A = \frac{V_o}{V_s} = \frac{V_o}{V_i} \tag{17.1}$$

Si se conecta una señal de retroalimentación V_f, en serie con la entrada, entonces

$$V_i = V_s - V_f$$

Dado que $\quad V_o = AV_i = A(V_s - V_f) = AV_s - AV_f = AV_s - A(\beta V_o)$

entonces $\quad (1 + \beta A)V_o = AV_s$

de forma que la ganancia total de voltaje *con* retroalimentación es,

$$\boxed{A_f = \frac{V_o}{V_s} = \frac{A}{1 + \beta A}} \tag{17.2}$$

La ecuación 17.2 muestra que la ganancia *con* retroalimentación es la ganancia del amplificador reducida por el factor $(1 + \beta A)$. Se verá que este factor también afecta a la impedancia de entrada y de salida entre otras características del circuito.

RETROALIMENTACIÓN DE VOLTAJE EN PARALELO

La ganancia con retroalimentación para la red de la figura 17.2b es

$$A_f = \frac{V_o}{I_s} = \frac{A\,I_i}{I_i + I_f} = \frac{A\,I_i}{I_i + \beta V_o} = \frac{A\,I_i}{I_i + \beta A\,I_i}$$

$$\boxed{A_f = \frac{A}{1 + \beta A}} \tag{17.3}$$

Impedancia de entrada con retroalimentación

RETROALIMENTACIÓN DE VOLTAJE EN SERIE

En la figura 17.3 se observa una conexión más detallada de la conexión de retroalimentación de voltaje en serie. La impedancia de entrada puede determinarse de la siguiente forma:

$$I_i = \frac{V_i}{Z_i} = \frac{V_s - V_f}{Z_i} = \frac{V_s - \beta V_o}{Z_i} = \frac{V_s - \beta A V_i}{Z_i}$$

$$I_i Z_i = V_s - \beta A V_i$$

$$V_s = I_i Z_i + \beta A V_i = I_i Z_i + \beta A I_i Z_i$$

$$\boxed{Z_{if} = \frac{V_s}{I_i} = Z_i + (\beta A) Z_i = Z_i(1 + \beta A)} \qquad (17.4)$$

La impedancia de entrada con retroalimentación en serie se considera igual al valor de la impedancia de entrada sin retroalimentación multiplicada por el factor $(1 + \beta A)$ y aplica tanto para la configuración de voltaje en serie (figura 17.2a) como para la corriente en serie (figura 17.2c).

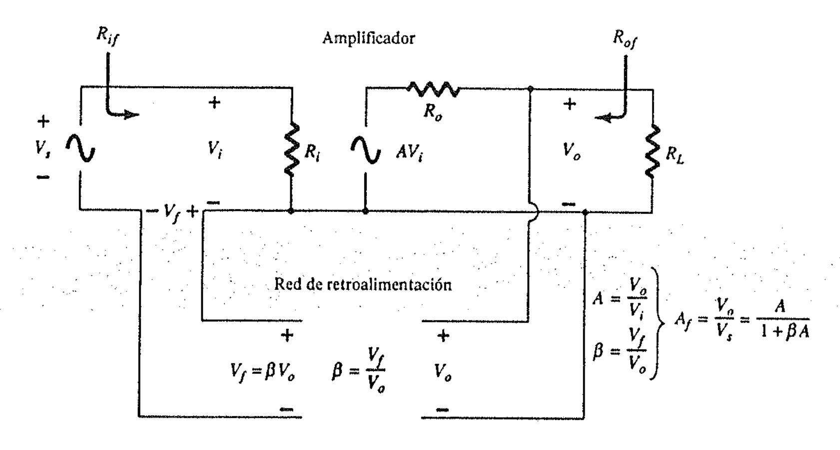


Figura 17.3 Conexión de retroalimentación de voltaje en serie.

RETROALIMENTACIÓN DE VOLTAJE EN PARALELO

En la figura 17.4 se muestra una conexión más detallada de la conexión de retroalimentación de voltaje en paralelo. La impedancia de entrada puede determinarse como

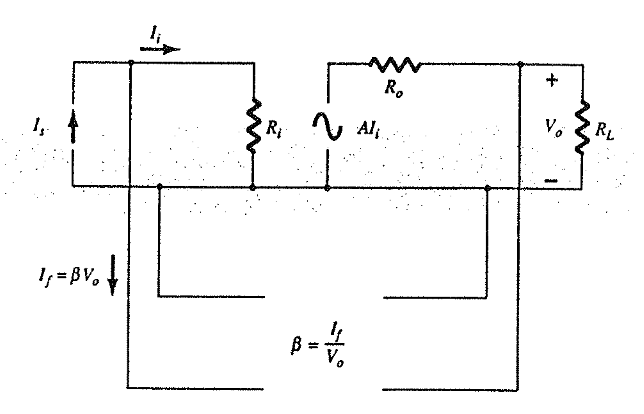


Figura 17.4 Conexión de retroalimentación de voltaje en paralelo.

$$Z_{if} = \frac{V_i}{I_s} = \frac{V_i}{I_i + I_f} = \frac{V_i}{I_i + \beta V_o}$$

$$= \frac{V_i/I_i}{I_i/I_i + \beta V_o/I_i}$$

$$\boxed{Z_{if} = \frac{Z_i}{1 + \beta A}} \qquad (17.5)$$

Esta reducción en la impedancia de entrada aplica tanto para la conexión de voltaje en serie de la figura 17.2a como para la conexión de voltaje en paralelo de la figura 17.2b.

Impedancia de salida con retroalimentación

La impedancia de salida para las conexiones de la figura 17.2 depende de si se emplea retroalimentación de voltaje o de corriente. Para el caso de retroalimentación de voltaje, la impedancia de salida disminuye, mientras que para la retroalimentación de corriente, la impedancia de salida se incrementa.

RETROALIMENTACIÓN DE VOLTAJE EN SERIE

El circuito de retroalimentación de voltaje en serie de la figura 17.3, ofrece suficiente detalle de circuito para determinar la impedancia de salida con retroalimentación. La impedancia de salida se determina mediante la aplicación de un voltaje V, con lo que se ocasiona una corriente I, con V_s en corto circuito ($V_s = 0$). El voltaje V será entonces

$$V = IZ_o + AV_i$$

Cuando $V_s = 0$, $\quad V_i = -V_f$

de forma que $\quad V = IZ_o - AV_f = IZ_o - A(\beta V)$

Al escribir de nuevo la ecuación como

$$V + \beta A V = IZ_o$$

permite resolver para la resistencia de salida con retroalimentación:

$$\boxed{Z_{of} = \frac{V}{I} = \frac{Z_o}{1 + \beta A}} \qquad (17.6)$$

La ecuación 17.6 muestra que con retroalimentación de voltaje en serie, la impedancia de salida se reduce a partir del nivel sin retroalimentación por el factor $(1 + \beta A)$.

RETROALIMENTACIÓN DE CORRIENTE EN SERIE

La impedancia de salida con retroalimentación de corriente en serie puede determinarse mediante la aplicación de una señal V a la salida, con V_s en corto circuito, con lo que se obtiene una corriente I, y donde la impedancia de salida es la relación de V a I. la figura 17.5 muestra una conexión más detallada con retroalimentación de corriente en serie. Para la sección de salida de la conexión con retroalimentación de corriente en serie de la figura 17.5, la impedancia de salida resultante está determinada de la siguiente forma. Con $V_s = 0$,

$$V_i = V_f$$

$$I = \frac{V}{Z_o} - AV_i = \frac{V}{Z_o} - AV_f = \frac{V}{Z_o} - A\beta I$$

$$Z_o(1 + \beta A)I = V$$

$$\boxed{Z_{of} = \frac{V}{I} = Z_o(1 + \beta A)} \qquad (17.7)$$

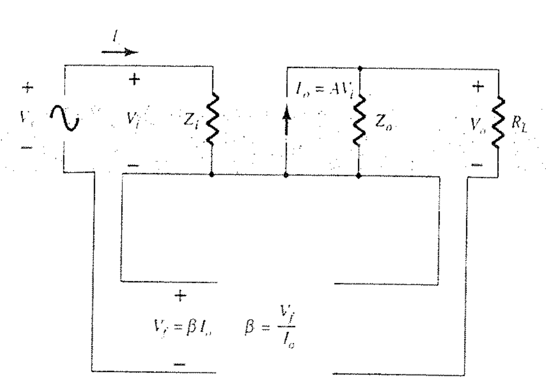


Figura 17.5 Conexión de retroalimentación de corriente en serie.

En la tabla 17.2 se proporciona un resumen del efecto de la retroalimentación sobre las impedancias de entrada y de salida.

TABLA 17.2 Efecto de la conexión de retroalimentación sobre las impedancias de entrada y de salida

	Voltaje en serie	*Corriente en serie*	*Voltaje en paralelo*	*Corriente en paralelo*
Z_{if}	$Z_i(1+\beta A)$ (incrementada)	$Z_i(1+\beta A)$ (incrementada)	$\frac{Z_i}{1+\beta A}$ (disminuida)	$\frac{Z_i}{1+\beta A}$ (disminuida)
Z_{of}	$\frac{Z_o}{1+\beta A}$ (disminuida)	$Z_o(1+\beta A)$ (incrementada)	$\frac{Z_o}{1+\beta A}$ (disminuida)	$Z_o(1+\beta A)$ (incrementada)

EJEMPLO 17.1

Determine la ganancia de voltaje y las impedancias de entrada y de salida con retroalimentación, para retroalimentación de voltaje en serie, que tiene $A = -100$, $R_i = 10\ \text{k}\Omega$, $R_o = 20\ \text{k}\Omega$ para una retroalimentación de (a) $\beta = -0.1$ y (b) $\beta = -0.5$.

Solución

Mediante las ecuaciones 17.2, 17.4 y 17.6, se obtiene

$$\text{(a)}\quad A_f = \frac{A}{1+\beta A} = \frac{-100}{1+(-0.1)(-100)} = \frac{-100}{11} = \mathbf{-9.09}$$

$$Z_{if} = Z_i(1+\beta A) = 10\ \text{k}\Omega\,(11) = \mathbf{110\ k\Omega}$$

$$Z_{of} = \frac{Z_o}{1+\beta A} = \frac{20\times10^3}{11} = \mathbf{1.82\ k\Omega}$$

$$\text{(b)}\quad A_f = \frac{A}{1+\beta A} = \frac{-100}{1+(-0.5)(-100)} = \frac{-100}{51} = \mathbf{-1.96}$$

$$Z_{if} = Z_i(1+\beta A) = 10\ \text{k}\Omega\,(51) = \mathbf{510\ k\Omega}$$

$$Z_{of} = \frac{Z_o}{1+\beta A} = \frac{20\times10^3}{51} = \mathbf{392.16\ \Omega}$$

El ejemplo 17.1 demostró el compromiso que existe entre la ganancia y la mejora en la resistencia de entrada y de salida. La reducción de la ganancia por un factor de 11 (de 100 a 9.09) se complementa por una reducción de la resistencia de salida y por un incremento de la resistencia de entrada por el mismo factor de 11. La reducción de la ganancia por un factor de 51 proporciona una ganancia de solamente 2, pero con la resistencia de entrada incrementada por el factor de 51 (hasta casi 500 kΩ) y la resistencia de salida reducida de 20 kΩ hasta menos de 400 Ω. La retroalimentación ofrece al diseñador la opción de encontrar un compromiso entre la reducción de la ganancia del amplificador a cambio de mejoras en otras características del circuito.

Reducción en la distorsión de frecuencia

Para un amplificador con retroalimentación negativa que cuente con $\beta A \gg 1$, la ganancia con retroalimentación será $A_f = 1/\beta$. De esto se deduce que si la red de retroalimentación es puramente resistiva, la ganancia con retroalimentación no será dependiente de la frecuencia, incluso cuando la ganancia básica del amplificador sea dependiente de la frecuencia. En la práctica, la distorsión de frecuencia que surge debido a la variación de la ganancia del amplificador con la frecuencia, se reduce de forma considerable en un amplificador con retroalimentación negativa de voltaje.

Reducción de ruido y distorsión no lineal

La retroalimentación de señal tiende a limitar la cantidad de ruido en la señal (como el zumbido de la fuente de alimentación) y la distorsión no lineal. El factor $(1 + \beta A)$ reduce tanto el ruido de entrada como la distorsión no lineal resultante para lograr una mejoría considerable. Sin embargo, debe notarse que existirá una reducción en la ganancia total (el precio exigido a cambio de la mejora en el desempeño del circuito). Si se emplean etapas adicionales para llevar a la ganancia total al nivel sin retroalimentación, deberá advertirse que la(s) etapa(s) extra(s), puede(n) volver a introducir el ruido, reducido por el amplificador con retroalimentación, en el sistema. Este problema puede mitigarse de alguna forma mediante el ajuste de la ganancia del circuito amplificador con retroalimentación para obtener una mayor ganancia, con lo que se proporciona al mismo tiempo una señal de ruido reducida.

Efecto de la retroalimentación negativa sobre la ganancia y el ancho de banda

En la ecuación 17.2, la ganancia total con retroalimentación negativa se presentará como

$$A_f = \frac{A}{1+\beta A} \cong \frac{A}{\beta A} = \frac{1}{\beta} \qquad \text{cuando } \beta A \gg 1$$

Mientras $\beta A >> 1$, la ganancia total será aproximadamente de $1/\beta$. Debemos comprender que para un amplificador práctico (con un solo punto de ruptura de frecuencia alta y baja) la ganancia de lazo abierto cae a altas frecuencias debido al dispositivo activo y a las capacitancias del circuito. La ganancia también puede caer a bajas frecuencias para las etapas de un amplificador acoplado por capacitor. Una vez que la ganancia de lazo abierto A cae lo suficientemente y que el factor βA ya no es mucho mayor a 1, la conclusión de la ecuación 17.2 $A_f \cong 1/\beta$ ya no será válida.

La figura 17.6 muestra que el amplificador con retroalimentación negativa cuenta con un ancho de banda mayor (B_f) que el amplificador sin retroalimentación (B). El amplificador con retroalimentación cuenta con una mayor frecuencia superior a 3 dB y una menor frecuencia inferior a 3 dB.

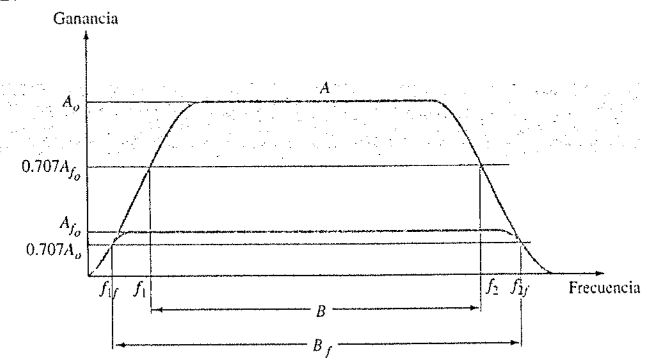


Figura 17.6 Efecto de la retroalimentación negativa sobre la ganancia y el ancho de banda.

Resulta interesante observar que el empleo de retroalimentación, aunque da por resultado un decremento de la ganancia de voltaje, proporciona un incremento en B y particularmente en la frecuencia superior de 3 dB. De hecho, el producto de la ganancia por la frecuencia permanece igual, de forma que el producto ganancia-ancho de banda del amplificador básico tendrá el mismo valor para el amplificador con retroalimentación. Sin embargo, dado que el amplificador con retroalimentación posee una ganancia menor, la operación neta consiste en *intercambiar* la ganancia por el ancho de banda (se utiliza el ancho de banda para la frecuencia superior de 3 dB debido a que por lo regular $f_2 \gg f_1$).

Estabilidad de ganancia con retroalimentación

Además del factor β que establece un valor preciso de ganancia, también nos interesa qué tan estable es el amplificador con retroalimentación en comparación con un amplificador sin retroalimentación. Al derivar la ecuación 17.2 se obtiene

$$\left|\frac{dA_f}{A_f}\right| = \frac{1}{|1 + \beta A|}\left|\frac{dA}{A}\right| \tag{17.8}$$

$$\left|\frac{dA_f}{A_f}\right| \cong \left|\frac{1}{\beta A}\right|\left|\frac{dA}{A}\right| \quad \text{cuando } \beta A \gg 1 \tag{17.9}$$

Esto muestra que la magnitud del cambio relativo en ganancia $\left|\frac{dA_f}{A_f}\right|$ se reduce mediante el factor $|\beta A|$ comparado con el cambio sin retroalimentación $\left(\left|\frac{dA}{A}\right|\right)$.

EJEMPLO 17.2

Si un amplificador con ganancia de -1000 y retroalimentación de $\beta = -0.1$, cuenta con un cambio de ganancia de 20% debido a la temperatura, calcule el cambio de ganancia del amplificador con retroalimentación.

Solución

Mediante la ecuación 17.9, se obtiene

$$\left|\frac{dA_f}{A_f}\right| \cong \left|\frac{1}{\beta A}\right|\left|\frac{dA}{A}\right| = \left|\frac{1}{-0.1(-1000)}(20\%)\right| = \mathbf{0.2\%}$$

La mejora es de 100 veces. De esta forma, mientras que la ganancia del amplificador cambia de $|A| = 1000$ en 20%, la ganancia con retroalimentación cambia de $|A_f| = 100$ en solamente 0.2%.

17.3 CIRCUITOS PRÁCTICOS DE RETROALIMENTACIÓN

Los ejemplos de circuitos prácticos de retroalimentación ofrecerán un medio para demostrar el efecto que ejerce la retroalimentación sobre los distintos tipos de conexión. Esta sección únicamente proporciona una introducción básica a este tema.

Retroalimentación de voltaje en serie

La figura 17.7 muestra una etapa de amplificador a FET con retroalimentación de voltaje en serie. Una parte de la señal de salida (V_o) se obtiene mediante el uso de una red de retroalimentación con los resistores R_1 y R_2. El voltaje de retroalimentación V_f se encuentra conectado en serie con la fuente de la señal fuente V_s, y su diferencia es la señal de entrada V_i.

Sin retroalimentación la ganancia del amplificador es

$$A = \frac{V_o}{V_i} = -g_m R_L \tag{17.10}$$

donde R_L es la combinación en paralelo de los resistores:

$$R_L = R_D R_o(R_1 + R_2) \tag{17.11}$$

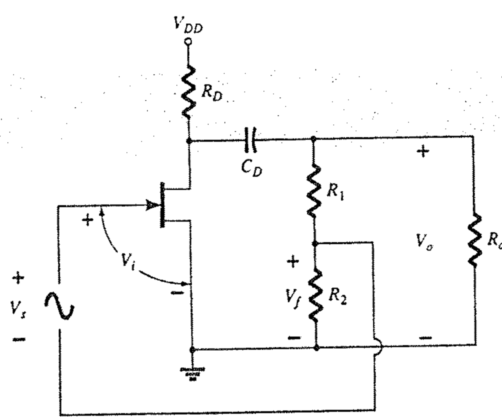


Figura 17.7 Etapa de amplificador a FET con retroalimentación de voltaje en serie.

La red de retroalimentación proporciona un factor de retroalimentación de

$$\beta = \frac{V_f}{V_o} = \frac{-R_2}{R_1 + R_2} \tag{17.12}$$

Al utilizar los valores anteriores de A y β en la ecuación 17.2, encontramos que la ganancia con retroalimentación negativa será

$$A_f = \frac{A}{1 + \beta A} = \frac{-g_m R_L}{1 + [R_2 R_L/(R_1 + R_2)]g_m} \tag{17.13}$$

Si $\beta A \gg 1$, tenemos

$$\boxed{A_f \cong \frac{1}{\beta} = -\frac{R_1 + R_2}{R_2}} \tag{17.14}$$

EJEMPLO 17.3

Calcule la ganancia con y sin retroalimentación para el circuito amplificador a FET de la figura 17.7 y los siguientes valores de circuito: R_1 = 80 kΩ, R_2 = 20 kΩ, R_o = 10 kΩ, R_D = 10 kΩ y g_m = 4000 μS.

Solución

$$R_L \cong \frac{R_o R_D}{R_o + R_D} = \frac{10\,\text{k}\Omega\,(10\,\text{k}\Omega)}{10\,\text{k}\Omega + 10\,\text{k}\Omega} = 5\,\text{k}\Omega$$

Al despreciar la resistencia de 100 kΩ de R_1 y R_2 en serie

$$A = -g_m R_L = -(4000 \times 10^{-6}\,\mu\text{S})(5\,\text{k}\Omega) = \mathbf{-20}$$

El factor de retroalimentación será

$$\beta = \frac{-R_2}{R_1 + R_2} = \frac{-20\,\text{k}\Omega}{80\,\text{k}\Omega + 20\,\text{k}\Omega} = -0.2$$

La ganancia con retroalimentación será

$$A_f = \frac{A}{1 + \beta A} = \frac{-20}{1 + (-0.2)(-20)} = \frac{-20}{5} = \mathbf{-4}$$

La figura 17.8 muestra una conexión de retroalimentación de voltaje en serie mediante un op-amp. La ganancia del op-amp A, sin retroalimentación, se reduce por el factor de retroalimentación

$$\beta = \frac{R_2}{R_1 + R_2} \qquad (17.15)$$

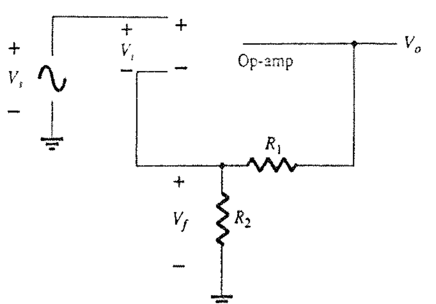


Figura 17.8 Retroalimentación de voltaje en serie en una conexión de op amp.

EJEMPLO 17.4 Calcule la ganancia de amplificador del circuito de la figura 17.8, para una ganancia de op-amp A = 100,000 y resistencias R_1 = 1.8 kΩ y R_2 = 200 Ω.

Solución

$$\beta = \frac{R_2}{R_1 + R_2} = \frac{200\ \Omega}{200\ \Omega + 1.8\ \text{k}\Omega} = 0.1$$

$$A_f = \frac{A}{1 + \beta A} = \frac{100{,}000}{1 + (0.1)(100{,}000)}$$

$$= \frac{100{,}000}{10{,}001} = 9.999$$

Observe que debido a que $\beta A \gg 1$,

$$A_f \cong \frac{1}{\beta} = \frac{1}{0.1} = \mathbf{10}$$

El circuito emisor-seguidor de la figura 17.9 proporciona retroalimentación de voltaje en serie. El voltaje de la señal V_s, será el voltaje de entrada V_i. El voltaje de salida V_o, será también el voltaje de retroalimentación en serie con el voltaje de entrada. El amplificador según se indica en la figura 17.9 proporciona la operación *con* retroalimentación. La operación del circuito sin retroalimentación proporciona $V_f = 0$, de forma que

$$A = \frac{V_o}{V_s} = \frac{h_{fe} I_b R_E}{V_s} = \frac{h_{fe} R_E (V_s/h_{ie})}{V_s} = \frac{h_{fe} R_E}{h_{ie}}$$

y

$$\beta = \frac{V_f}{V_o} = 1$$

La operación con retroalimentación proporcionará entonces

$$A_f = \frac{V_o}{V_s} = \frac{A}{1 + \beta A} = \frac{h_{fe} R_E / h_{ie}}{1 + (1)(h_{fe} R_E / h_{ie})}$$

$$= \frac{h_{fe} R_E}{h_{ie} + h_{fe} R_E}$$

Cuando $h_{fe} R_E \gg h_{ie}$,

$$A_f \cong 1$$

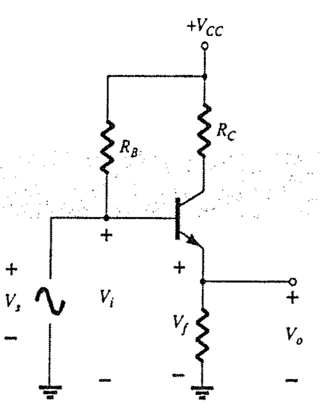


Figura 17.9 Circuito (emisor-seguidor) de retroalimentación de voltaje en serie.

Retroalimentación de corriente en serie

Otra técnica de retroalimentación consiste en seleccionar muestras de la corriente de salida (I_o) y devolver un voltaje proporcional en serie con la entrada. Al mismo tiempo que estabiliza la ganancia del amplificador, la conexión con retroalimentación de corriente en serie, incrementa la resistencia de entrada.

La figura 17.10 muestra una sola etapa de amplificador con transistor. Dado que el emisor de esta etapa tiene un emisor sin desvío, efectivamente cuenta con retroalimentación de corriente en serie. La corriente a través del resistor R_E ocasiona un voltaje de retroalimentación que se opone a la señal que la fuente aplica de forma que el voltaje de salida V_o se reduce. Para eliminar la retroalimentación de corriente en serie, el resistor del emisor se debe eliminar o desviar para la señal mediante un capacitor (como regularmente se hace).

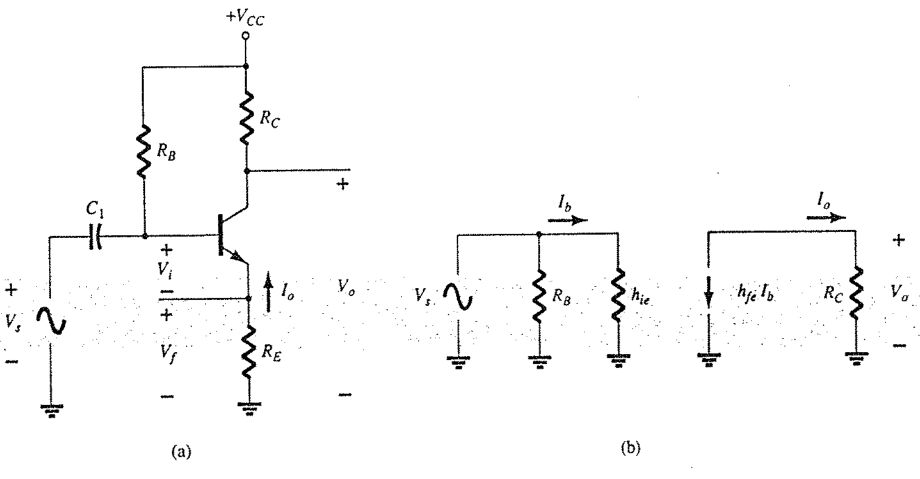


Figura 17.10 Amplificador a transistor con resistor de emisor (R_E) sin desvío para retroalimentación de corriente en serie: (a) circuito amplificador; (b) circuito equivalente de ac sin retroalimentación.

SIN RETROALIMENTACIÓN

En referencia al formato básico de la figura 17.2a y resumido en la tabla 17.1, tenemos

$$A = \frac{I_o}{V_i} = \frac{-I_b h_{fe}}{I_b h_{ie} + R_E} = \frac{-h_{fe}}{h_{ie} + R_E} \tag{17.16}$$

$$\beta = \frac{V_f}{I_o} = \frac{-I_o R_E}{I_o} = -R_E \tag{17.17}$$

Las impedancias de entrada y de salida son

$$Z_i = R_B \| (h_{ie} + R_E) \cong h_{ie} + R_E \tag{17.18}$$

$$Z_o = R_C \tag{17.19}$$

CON RETROALIMENTACIÓN

$$A_f = \frac{I_o}{V_s} = \frac{A}{1+\beta A} = \frac{-h_{fe}/h_{ie}}{1 + (-R_E)\left(\dfrac{-h_{fe}}{h_{ie}+R_E}\right)} \cong \frac{-h_{fe}}{h_{ie} + h_{fe}R_E} \tag{17.20}$$

La impedancia de entrada y salida se calcula como se detalló en la tabla 17.2.

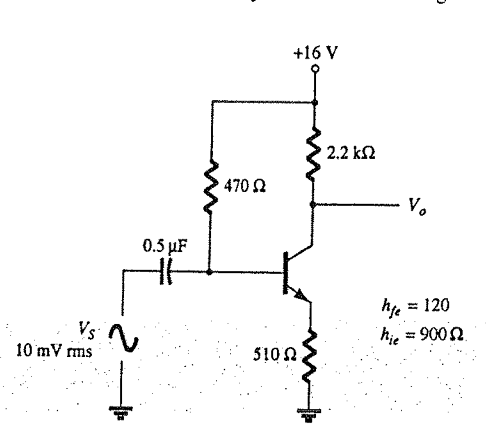
$$Z_{if} = Z_i(1+\beta A) \cong h_{ie}\left(1 + \frac{h_{fe}R_E}{h_{ie}}\right) = h_{ie} + h_{fe}R_E \tag{17.21}$$

$$Z_{of} = Z_o(1+\beta A) = R_C\left(1 + \frac{h_{fe}R_E}{h_{ie}}\right) \tag{17.22}$$

La ganancia de voltaje (A) con retroalimentación es

$$A_{vf} = \frac{V_o}{V_s} = \frac{I_o R_C}{V_s} = \left(\frac{I_o}{V_s}\right)R_C = A_f R_C \cong \frac{-h_{fe}R_C}{h_{ie} + h_{fe}R_E} \tag{17.23}$$

EJEMPLO 17.5 Calcule la ganancia de voltaje del circuito de la figura 17.11.



$h_{fe} = 120$
$h_{ie} = 900\,\Omega$

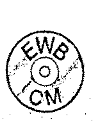


Figura 17.11 Amplificador a BJT con retroalimentación de corriente en serie para el ejemplo 17.5.

Solución

Sin retroalimentación,

$$A = \frac{I_o}{V_i} = \frac{-h_{fe}}{h_{ie} + R_E} = \frac{-120}{900 + 510} = -0.085$$

$$\beta = \frac{V_f}{I_o} = -R_E = -510$$

El factor $(1 + \beta A)$ es entonces

$$1 + \beta A = 1 + (-0.085)(-510) = 44.35$$

La ganancia con retroalimentación es entonces

$$A_f = \frac{I_o}{V_s} = \frac{A}{1+\beta A} = \frac{-0.085}{44.35} = -1.92 \times 10^{-3}$$

y la ganancia de voltaje con retroalimentación A_{vf} es

$$A_{vf} = \frac{V_o}{V_s} = A_f R_C = (-1.92 \times 10^{-3})(2.2 \times 10^3) = \mathbf{-4.2}$$

Sin retroalimentación ($R_E = 0$), la ganancia de voltaje es

$$A_v = \frac{-R_C}{r_e} = \frac{-2.2 \times 10^3}{7.5} = \mathbf{-293.3}$$

Retroalimentación de voltaje en paralelo

El circuito de op amp de ganancia constante de la figura 17.12a ofrece retroalimentación de voltaje en paralelo. En referencia a la figura 17.2b, la tabla 17.1 y a las características ideales del op amp, $I_i = 0$, $V_i = 0$, y la ganancia de voltaje infinita, tenemos

$$A = \frac{V_o}{I_i} = \infty \tag{17.24}$$

$$\beta = \frac{I_f}{V_o} = \frac{-1}{R_o} \tag{17.25}$$

La ganancia con retroalimentación será entonces

$$A_f = \frac{V_o}{I_s} = \frac{V_o}{I_i} = \frac{A}{1+\beta A} = \frac{1}{\beta} = -R_o \tag{17.26}$$

Ésta es una ganancia de resistencia de transferencia. La ganancia más común es la ganancia de voltaje con retroalimentación,

$$A_{vf} = \frac{V_o}{I_s}\frac{I_s}{V_1} = (-R_o)\frac{1}{R_1} = \frac{-R_o}{R_1} \tag{17.27}$$

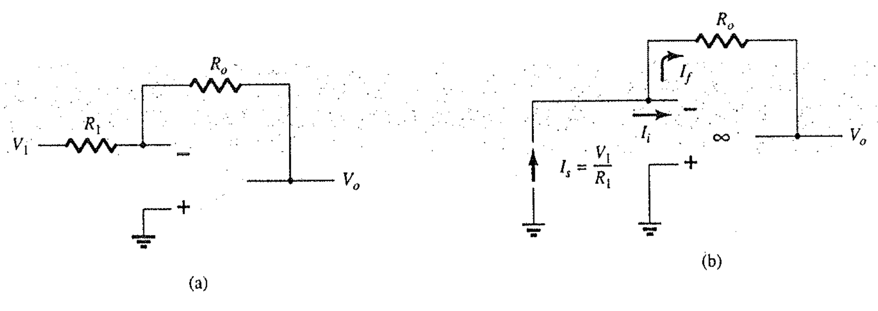


Figura 17.12 Amplificador con retroalimentación negativa de voltaje en paralelo: (a) circuito de ganancia constante; (b) circuito equivalente.

El circuito de la figura 17.13 es un amplificador con retroalimentación de voltaje en paralelo que utiliza un FET sin retroalimentación, $V_f = 0$.

$$A = \frac{V_o}{I_i} \cong -g_m R_D R_S \tag{17.28}$$

La retroalimentación es

$$\beta = \frac{I_f}{V_o} = \frac{-1}{R_F} \tag{17.29}$$

Con retroalimentación, la ganancia del circuito es

$$A_f = \frac{V_o}{I_s} = \frac{A}{1+\beta A} = \frac{-g_m R_D R_S}{1 + (-1/R_F)(-g_m R_D R_S)}$$
$$= \frac{-g_m R_D R_S R_F}{R_F + g_m R_D R_S} \tag{17.30}$$

La ganancia de voltaje del circuito con retroalimentación será entonces

$$A_{vf} = \frac{V_o}{I_s}\frac{I_s}{V_s} = \frac{-g_m R_D R_S R_F}{R_F + g_m R_D R_S}\left(\frac{1}{R_S}\right)$$
$$= \frac{-g_m R_D R_F}{R_F + g_m R_D R_S} = (-g_m R_D)\frac{R_F}{R_F + g_m R_D R_S} \tag{17.31}$$

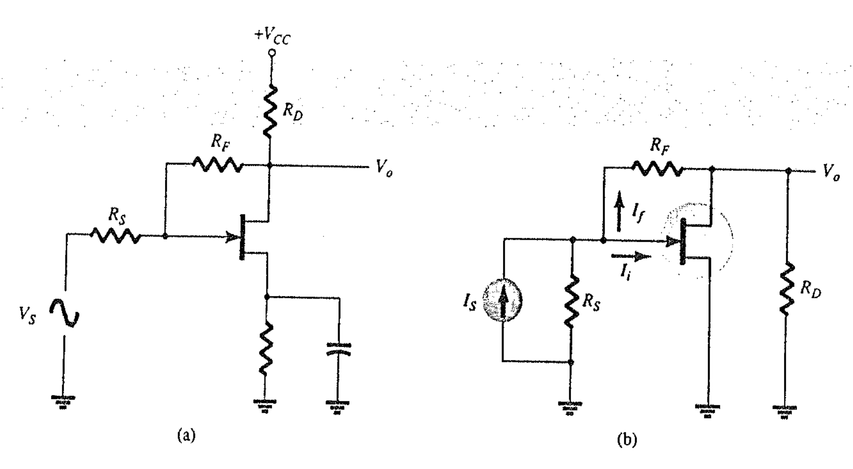


Figura 17.13 Amplificador con retroalimentación de voltaje en paralelo mediante el uso de un FET: (a) circuito; (b) circuito equivalente.

EJEMPLO 17.6

Calcule la ganancia de voltaje con y sin retroalimentación para el circuito de la figura 17.13a con valores de $g_m = 5$ mS, $R_D = 5.1$ kΩ, $R_S = 1$ kΩ y $R_F = 20$ kΩ.

Solución

Sin retroalimentación, la ganancia de voltaje es

$$A_v = -g_m R_D = -(5 \times 10^{-3})(5.1 \times 10^3) = \mathbf{-25.5}$$

Con retroalimentación la ganancia se reduce a

$$A_{vf} = (-g_m R_D)\frac{R_F}{R_F + g_m R_D R_S}$$
$$= (-25.5)\frac{20 \times 10^3}{(20 \times 10^3) + (5 \times 10^{-3})(5.1 \times 10^3)(1 \times 10^3)}$$
$$= -25.5(0.44) = \mathbf{-11.2}$$

17.4 AMPLIFICADOR CON RETROALIMENTACIÓN: CONSIDERACIONES DE FASE Y FRECUENCIA

Hasta ahora hemos considerado la operación de un amplificador con retroalimentación en el que la señal de retroalimentación era *opuesta* a la señal de entrada, es decir, retroalimentación negativa. En cualquier circuito práctico esta condición se presenta solamente para cierto rango de frecuencias medias de operación. Sabemos que la ganancia de amplificador varía con la frecuencia, es decir, disminuye a altas frecuencias desde el valor de frecuencia media. Además, el corrimiento de fase de un amplificador también se modifica con la frecuencia.

Si a medida que la frecuencia se incrementa, cambia el corrimiento de fase, entonces parte de la señal de retroalimentación se *sumará* a la señal de entrada. Entonces, será posible que el amplificador comience a oscilar debido a la retroalimentación positiva. Si el amplificador oscila a cierta frecuencia baja o alta, éste ya no será útil como amplificador. El diseño adecuado de un amplificador con retroalimentación requiere de que el circuito sea estable a *todas* las frecuencias, no solamente en aquéllas en el rango de interés. De otra forma, una perturbación transitoria podría ocasionar que un amplificador aparentemente estable, comience a oscilar de forma repentina.

Criterio de Nyquist

Al juzgar la estabilidad de un amplificador con retroalimentación, como una función de la frecuencia, el producto βA y el corrimiento de fase entre la entrada y la salida, serán los factores determinantes. Una de las técnicas más populares empleadas para analizar la estabilidad es el método de Nyquist. Se utiliza un diagrama de Nyquist para graficar la ganancia y el desplazamiento de fase como una función de la frecuencia, sobre un plano complejo. La gráfica de Nyquist, en resumen, combina las dos gráficas de Bode de ganancia en función de la frecuencia y de desplazamiento de fase en función de la frecuencia, en una sola gráfica. La gráfica de Nyquist se utiliza para mostrar rápidamente si un amplificador es estable para todas las frecuencias, y qué tan estable es este amplificador en relación con cierto criterio de ganancia o desplazamiento de fase.

Por principio, considere el *plano complejo* mostrado en la figura 17.14. Se muestran algunos puntos con distintos valores de ganancias (βA) y con ángulos diferentes de desplazamiento de fase. Mediante el eje real positivo como referencia (0°), se muestra una magnitud de $\beta A = 2$ con un desplazamiento de fase de 0° en el punto 1. Adicionalmente, se muestra en

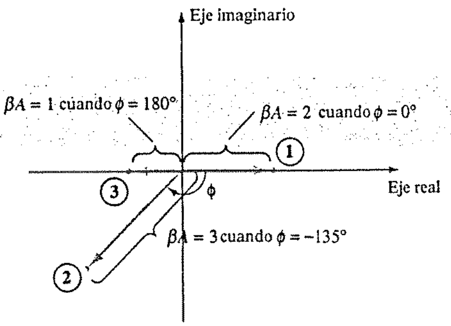


Figura 17.14 Plano complejo mostrando puntos comunes de ganancia-fase.

el punto 2 una magnitud de βA = 3 con un desplazamiento de fase de −135°, y una magnitud/fase de βA = 1 y 180° se muestran en el punto 3. De esta forma, los puntos sobre esta gráfica pueden representar tanto *magnitud de ganancia* de βA como *desplazamiento de fase*. Si se grafican, a una frecuencia creciente, los puntos que representan la ganancia y el desplazamiento de fase para un circuito amplificador, entonces se obtiene una gráfica de Nyquist como la que se muestra en la figura 17.15. En el origen, la ganancia es 0 con una frecuencia de 0 (para un acoplamiento tipo RC). Para puntos de frecuencia superior, los puntos f_1, f_2 y f_3 y el desplazamiento de fase se incrementan, como también ocurre con la magnitud de βA. En la frecuencia representativa f_4, el valor de A será la longitud del vector a partir del origen y hasta el punto f_4, y el desplazamiento de fase será el ángulo ϕ. A la frecuencia f_5, el desplazamiento de fase es de 180°. A mayores frecuencias, se observa que la frecuencia disminuye de regreso a 0.

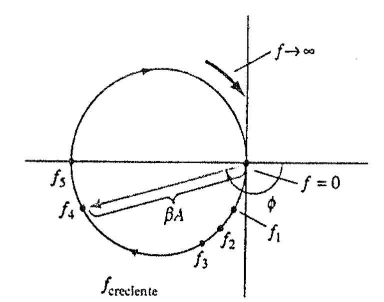


Figura 17.15 Gráfica de Nyquist.

El criterio de Nyquist para la estabilidad puede enunciarse de la siguiente forma:

El amplificador será inestable si la curva de Nyquist trazada encierra (circunda) al punto −1, y será estable en caso contrario.

Las curvas de la figura 17.16 demuestran un ejemplo del criterio de Nyquist. La gráfica de Nyquist de la figura 17.16a es estable, dado que ésta no encierra al punto −1, mientras que la que se mostró en la figura 17.16b es inestable dado que la curva sí encierra el punto −1. Tenga presente que encerrar el punto −1 significa que a un desplazamiento de fase de 180° la ganancia de lazo (βA) será mayor a 1; por lo tanto, la señal de retroalimentación se encuentra en fase con la entrada y es lo suficientemente grande para dar como resultado una señal de entrada más grande que la aplicada, con lo que se obtiene el efecto de oscilación.

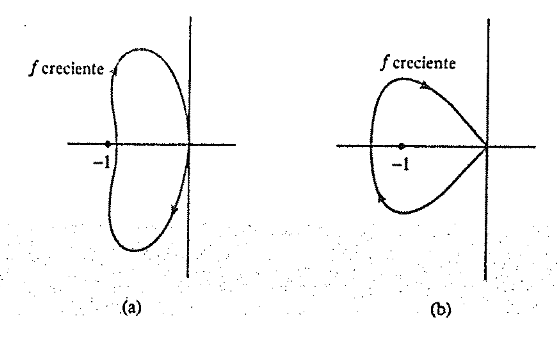


Figura 17.16 Gráficas de Nyquist que muestran las condiciones de estabilidad: (a) estable); (b) inestable.

Márgenes de ganancia y de fase

A partir del criterio de Nyquist, sabemos que un amplificador con retroalimentación será estable si la ganancia de lazo (βA) es menor que la unidad (0 dB) cuando su ángulo de fase es igual a 180°. Adicionalmente es posible determinar ciertos márgenes de estabilidad para indicar qué tan cercano se encuentra el amplificador a la inestabilidad. Es decir, si la ganancia (βA) es menor a la unidad, por ejemplo, de valor 0.95, ésta no será tan estable en comparación con el caso de otro amplificador que tenga ganancia de digamos (βA) = 0.7 (ambas tomadas a 180°). Por supuesto, un amplificador con ganancia de lazo de 0.95 o 0.7 será estable, sin embargo una de éstas se encontrará más cercana a la inestabilidad, si la ganancia de lazo se incrementa, que la otra. Es posible definir los términos siguientes:

El *margen de ganancia* (GM, por sus siglas en inglés de *Gain Margin*) se define como el negativo del valor $|\beta A|$ en decibeles a la frecuencia en la que el ángulo de fase es igual a 180°. De esta forma, 0 dB, que equivale al valor de βA = 1, será la frontera de estabilidad y cualquier valor negativo en decibeles será estable. El GM se puede evaluar en decibeles a partir de la curva de la figura 17.17.

El *margen de fase* (PM, por sus siglas en inglés de *Phase Margin*) se define como el ángulo de 180° menos la magnitud del ángulo al cual el valor de $|\beta A|$ es la unidad (0 dB). El PM también puede evaluarse de forma directa a partir de la curva de la figura 17.17.

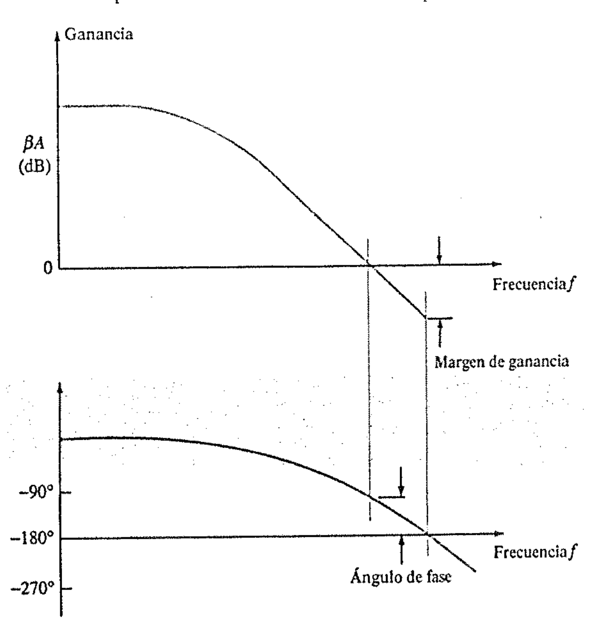


Figura 17.17 Gráficas de Bode que muestran los márgenes de ganancia y de fase.

17.5 OPERACIÓN DEL OSCILADOR

La utilización de retroalimentación positiva que da por resultado un amplificador con retroalimentación que cuenta con ganancia de lazo cerrado $|A_f|$ mayor a uno y que satisface las condiciones de fase, provocará una operación de circuito oscilador. Un circuito oscilador como tal ofrece una señal variante de salida. Si la señal de salida varía de forma senoidal, el circuito se denomina *oscilador senoidal*. Si el voltaje de salida se eleva rápidamente hacia un nivel de voltaje y luego cae rápidamente hacia otro nivel de voltaje, el circuito por lo general se denomina *oscilador de onda cuadrada* o *de pulso*.

Para comprender la forma en la que un circuito con retroalimentación actúa como oscilador, considere el circuito con retroalimentación de la figura 17.18. Cuando el interruptor en la entrada del circuito se encuentra abierto, no se presenta oscilación. Considere que se cuenta con un voltaje *ficticio* en la entrada del amplificador (V_i). Esto da por resultado un voltaje de salida $V_o = AV_i$ posterior a la etapa de amplificación y un voltaje $V_f = \beta(AV_i)$ posterior a la etapa de retroalimentación. De esta forma, tenemos un voltaje de retroalimentación $V_f = \beta A – V_i$, donde βA se denomina la *ganancia de lazo*. Si los circuitos del amplificador y de la red de retroalimentación proporcionan βA con una magnitud y fase correctas, V_f puede hacerse igual a V_i. Luego, cuando el interruptor se cierra y se elimina el voltaje ficticio V_i, el circuito conti-

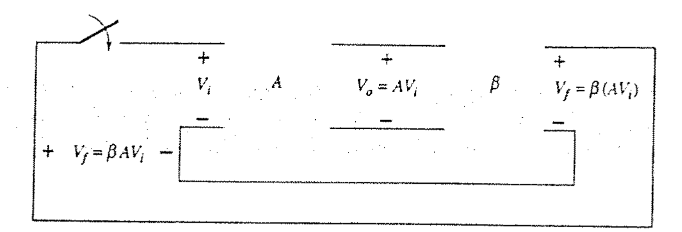


Figura 17.18 Circuito de retroalimentación utilizado como oscilador

nuará operando debido a que el voltaje de retroalimentación es suficiente para excitar los circuitos de amplificación y de retroalimentación lo que ocasiona un voltaje de entrada apropiado para mantener la operación del lazo. La forma de onda de salida todavía existirá una vez que el interruptor se cierre si la condición

$$\beta A = 1 \tag{17.32}$$

se cumple. Esto se conoce como el *criterio de Barkhausen* para la oscilación.

En realidad, no se requiere una señal de entrada para arrancar el oscilador. Únicamente debe satisfacerse la condición $\beta A = 1$ para que se obtengan oscilaciones autosostenidas. En la práctica, βA se hace mayor a 1 y el sistema comienza a oscilar mediante la aplicación de voltaje de ruido, que siempre está presente. Los factores de saturación en el circuito práctico proporcionan un valor "promedio" de βA de 1. Las formas de onda resultantes nunca son exactamente senoidales, sin embargo, mientras más cercano se encuentre el valor de βA a 1, la forma de onda será más cercana a una senoidal. La figura 17.19 muestra cómo la señal de ruido ocasiona una concentración de una condición de oscilación de estado estable.

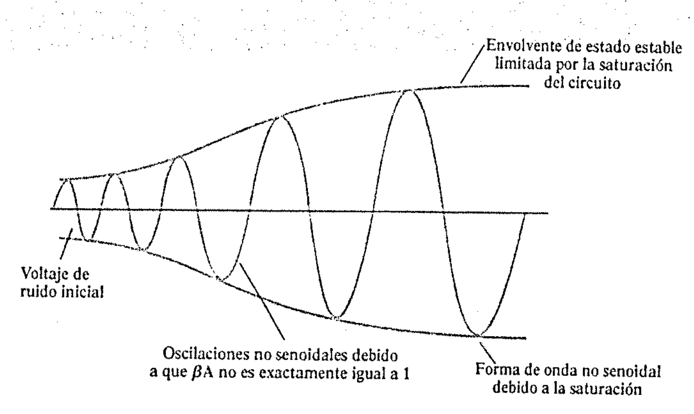


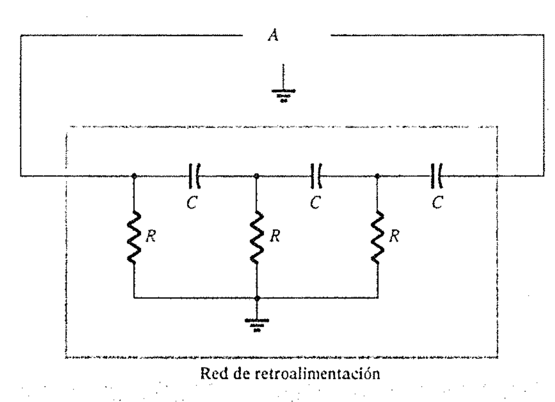
Figura 17.19 Concentración de oscilaciones de estado estable.

Otra manera de ver la forma en la que el circuito de retroalimentación presenta una operación como oscilador es observar el denominador en la ecuación básica de retroalimentación (17.2), $A_f = A/(1+\beta A)$. Cuando $\beta A = -1$ o de magnitud 1 a un ángulo de fase de 180°, el denominador se hace 0 y la ganancia con retroalimentación A_f, se vuelve infinita. De esta forma, una señal infinitesimal (voltaje de ruido) puede proporcionar un voltaje de salida cuantificable y el circuito actuará como un oscilador incluso sin una señal de entrada.

El resto de este capítulo se dedica a diversos circuitos osciladores que utilizan una variedad de componentes. Se incluyen consideraciones prácticas de forma que se analicen circuitos funcionales en cada uno de los distintos casos analizados.

17.6 OSCILADOR DE CORRIMIENTO DE FASE

Un ejemplo de un circuito oscilador que sigue el desarrollo básico de un circuito retroalimentado es el *oscilador de corrimiento de fase*. En la figura 17.20 se muestra una versión ideal del circuito. Recuerde que los requisitos para lograr una oscilación son, que la ganancia de lazo βA sea mayor a la unidad y que el corrimiento de fase alrededor de la red de retroalimentación sea de 180° (proporcionando retroalimentación positiva). En la presente idealización se considera que a la red de retroalimentación la acciona una fuente perfecta (cero impedancia de fuente) y que la salida de la red de retroalimentación está conectada a una carga perfecta (impedancia de carga infinita). El caso ideal permitirá el desarrollo de la teoría detrás de la operación del oscilador de corrimiento de fase. Versiones prácticas del circuito se considerarán entonces.



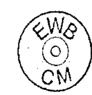


Figura 17.20 Oscilador ideal de corrimiento de fase.

Al concentrar nuestra atención en la red de corrimiento de fase, nos interesaremos en la atenuación de la red a la frecuencia en la cual el corrimiento de fase sea exactamente igual a 180°. Mediante el análisis de clásico de redes, encontramos que

$$\boxed{f = \frac{1}{2\pi RC\sqrt{6}}} \tag{17.33}$$

$$\beta = \frac{1}{29} \tag{17.34}$$

y el corrimiento de fase será de 180°.

Para que la ganancia de lazo βA sea mayor a la unidad, la ganancia de la etapa de amplificación deberá ser mayor a $1/\beta$ o 29:

$$A > 29 \tag{17.35}$$

Al considerar la operación de la red de retroalimentación, se podrían seleccionar ingenuamente los valores de R y de C para proporcionar (a una frecuencia específica) un corrimiento de fase de 60° por cada una de las tres secciones, lo que da por resultado el corrimiento de fase deseado de 180°. Éste, sin embargo, no es el caso, debido a que cada sección del RC en la red de retroalimentación carga a la anterior. Lo único importante es el resultado neto de que el corrimiento de fase *total* sea de 180°. La frecuencia dada en la ecuación 17.33 corresponde a un corrimiento de la fase *total* de 180°. Si se midiera el corrimiento de fase por sección RC, cada sección no proporcionaría el mismo corrimiento de fase (aunque el corrimiento total sea de 180°). Si se deseara obtener exactamente un corrimiento de fase de 60° para cada una de las tres etapas, entonces se requerirían etapas emisor-seguidor para cada sección RC para evitar que cada una cargara al circuito siguiente.

Oscilador de corrimiento de fase a FET

En la figura 17.21a se muestra una versión práctica de un circuito oscilador de corrimiento de fase. El circuito está dibujado para mostrar claramente la red de amplificación y de retroalimentación. La etapa de amplificación emplea autopolarización con un capacitor de desvío para el resistor de fuente R_S y un resistor de drenaje R_D para polarización. Los parámetros del dispositivo FET de interés son g_m y r_d. A partir de la teoría del amplificador a FET, la magnitud de la ganancia del amplificador se calcula como

$$|A| = g_m R_L \tag{17.36}$$

donde R_L es para este caso la resistencia del paralelo de R_D y r_d

$$R_L = \frac{R_D r_d}{R_D + r_d} \tag{17.37}$$

Debemos suponer, como una muy buena aproximación, que la impedancia de entrada de la etapa del amplificador FET es infinita. Este supuesto es válido siempre y cuando la frecuencia de operación del oscilador sea lo suficientemente pequeña como para que las impedancias capacitivas del FET puedan despreciarse. La impedancia de salida de la etapa de amplificación dada por R_L también deberá ser pequeña en comparación con la impedancia observada desde la red de retroalimentación, de forma que no se presente atenuación debido a la carga. En la práctica, estas consideraciones no siempre son despreciables, por lo que se selecciona la ganancia de la etapa del amplificador un poco mayor que el factor necesario de 29 para asegurar la oscilación.

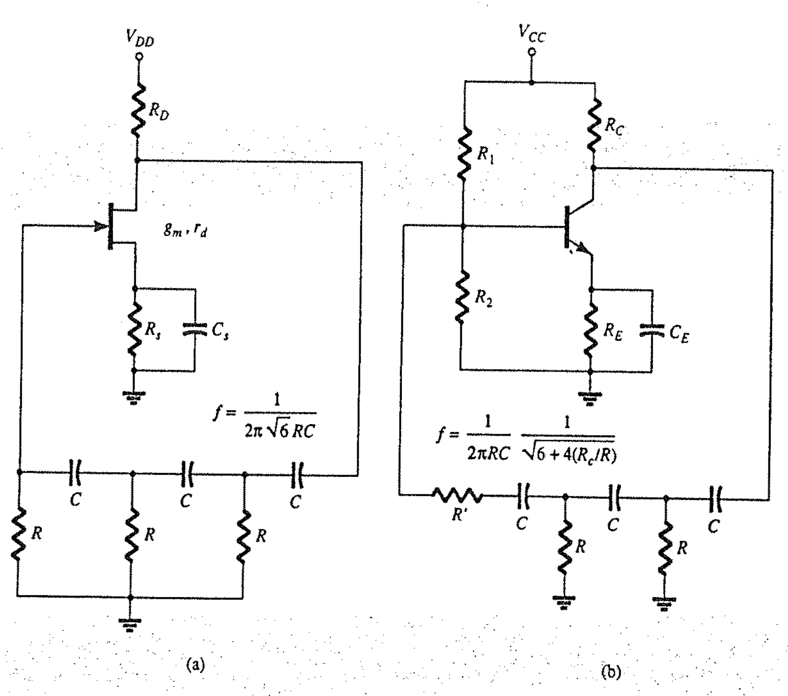


Figura 17.21 Circuitos osciladores prácticos de corrimiento de fase: (a) versión a FET; (b) versión a BJT.

EJEMPLO 17.7

Se desea diseñar un oscilador de corrimiento de fase (como el de la figura 17.21a) mediante un FET que cuenta con $g_m = 5000\ \mu S$, $r_d = 40\ k\Omega$ y un valor del circuito de retroalimentación de $R = 10\ k\Omega$. Seleccione el valor de C para obtener una operación de oscilación a 1 kHZ y R_D para $A > 29$ para asegurar la acción de oscilación.

Solución

La ecuación 17.33 se utiliza para encontrar el valor del capacitor. Dado que $f = 1/2\pi RC\sqrt{6}$, se puede resolver para C:

$$C = \frac{1}{2\pi Rf\sqrt{6}} = \frac{1}{(6.28)(10 \times 10^3)(1 \times 10^3)(2.45)} = \mathbf{6.5\ nF}$$

Mediante la ecuación 17.36, se resuelve R_L para proporcionar una ganancia de, digamos, $A = 40$ (esto permite una cierta carga entre R_L y la impedancia de entrada de la red de retroalimentación):

$$|A| = g_m R_L$$

$$R_L = \frac{|A|}{g_m} = \frac{40}{5000 \times 10^{-6}} = 8\ k\Omega$$

Por medio de la ecuación 17.37, resolvemos para $R_D = \mathbf{10\ k\Omega}$.

Oscilador de corrimiento de fase a transistor

Si se utiliza un transistor como el elemento activo de la etapa de amplificación, la salida de la red de retroalimentación se encontrará cargada de forma apreciable por la resistencia de entrada relativamente baja (h_{ie}) del transistor. Por supuesto, podría utilizarse una etapa de entrada emisor-seguidor, seguida de una etapa de amplificación de emisor común. Sin embargo, si se desea una etapa de sólo un transistor, será más adecuado utilizar retroalimentación de voltaje en paralelo (como se muestra en la figura 17.21b). En esta conexión, la señal de retroalimentación se acopla mediante el resistor de retroalimentación R' en *serie* con la resistencia de entrada de la etapa de amplificación (R_i).

El análisis del circuito de ac ofrece la ecuación siguiente para la frecuencia de oscilación resultante:

$$f = \frac{1}{2\pi RC}\frac{1}{\sqrt{6 + 4(R_C/R)}} \tag{17.38}$$

Para que la ganancia de lazo sea mayor que la unidad, se encuentra que el requisito de la ganancia de corriente del transistor es

$$h_{fe} > 23 + 29\frac{R}{R_C} + 4\frac{R_C}{R} \tag{17.39}$$

Oscilador de corrimiento de fase a CI

A medida que los CIs se han vuelto más comunes, éstos han sido adaptados para operar en circuitos osciladores. Sólo se requiere adquirir un op-amp para obtener un circuito amplificador con ajuste de ganancia estabilizado, e incorporar algún medio de retroalimentación de señal, para producir un circuito oscilador. Por ejemplo, en la figura 17.22 se muestra un oscila-

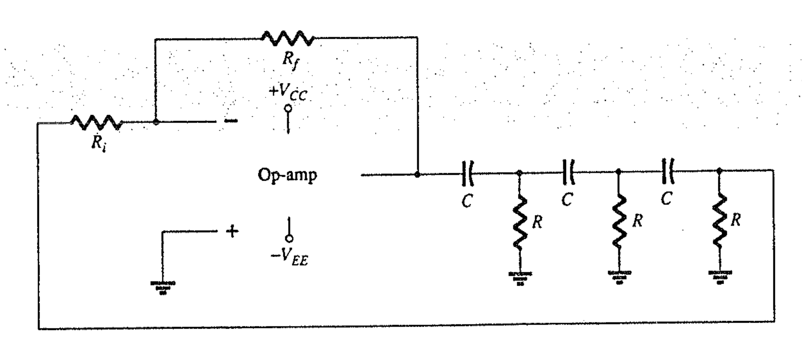


Figura 17.22 Oscilador de corrimiento de fase que utiliza un op-amp.

dor de corrimiento de fase. La salida del op-amp se alimenta a una red RC de tres etapas, la cual proporciona los 180° de corrimiento requerido (a un factor de atenuación de 1/29). Si el op-amp proporciona una ganancia (establecida por los resistores R_i y R_f) mayor a 29, se obtendrá una ganancia de lazo mayor a la unitaria y el circuito actuará como un oscilador [con la frecuencia de oscilación dada por la ecuación 17.33].

17.7 OSCILADOR DE PUENTE WIEN

Es un circuito oscilador práctico que emplea un op-amp y un circuito de puente RC, con la frecuencia de oscilación establecida por los componentes R y C. La figura 17.23 muestra una versión básica de un circuito oscilador de puente Wien. Observe la conexión básica de puente. Los resistores R_1 y R_2 y los capacitores C_1 y C_2 conforman los elementos de ajuste de frecuencia, mientras que los resistores R_3 y R_4 forman parte de la trayectoria de retroalimentación. La salida del op-amp se conecta como la entrada del puente entre los puntos a y c. La salida del circuito puente en los puntos b y d es la entrada al op-amp.

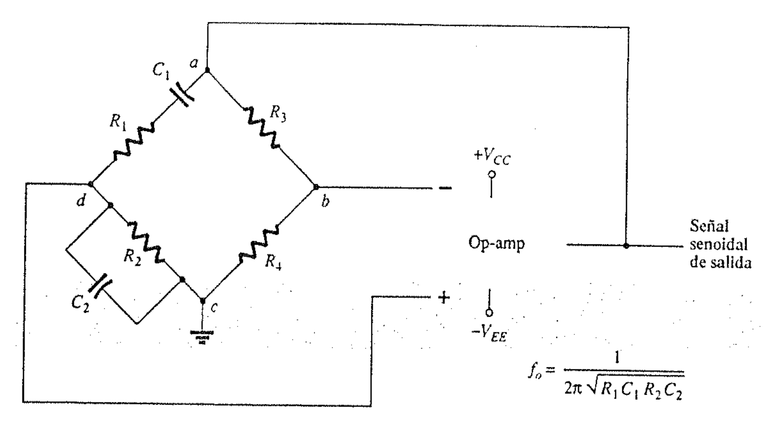


Figura 17.23 Circuito oscilador de puente Wien que utiliza un amplificador op-amp.

Al despreciar los efectos de carga de las impedancias de entrada y de salida del op-amp, el análisis del circuito puente da como resultado

$$\frac{R_3}{R_4} = \frac{R_1}{R_2} + \frac{C_2}{C_1} \tag{17.40}$$

y

$$\boxed{f_o = \frac{1}{2\pi\sqrt{R_1C_1R_2C_2}}} \tag{17.41}$$

Si, en particular, los valores $R_1 = R_2 = R$ y $C_1 = C_2 = C$, la frecuencia de oscilación resultante será

$$f_o = \frac{1}{2\pi RC} \tag{17.42}$$

y

$$\frac{R_3}{R_4} = 2 \tag{17.43}$$

De esta forma, una relación de R_3 a R_4 mayor a 2, proporcionará una ganancia de lazo suficiente para que el circuito oscile a la frecuencia calculada mediante la ecuación 17.42.

EJEMPLO 17.8

Calcule la frecuencia resonante del oscilador de puente Wien de la figura 17.24.

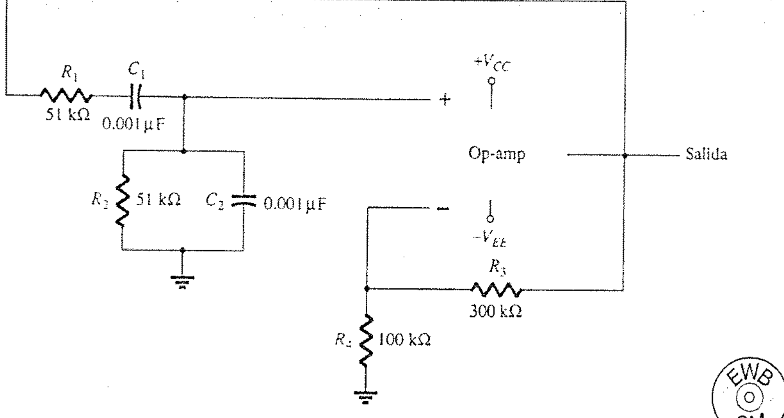


Figura 17.24 Circuito oscilador de puente Wien para el ejemplo 17.8.

Solución

Mediante la ecuación 17.42 se tiene

$$f_o = \frac{1}{2\pi RC} = \frac{1}{2\pi(51 \times 10^3)(0.001 \times 10^{-6})} = \mathbf{3120.7\ Hz}$$

EJEMPLO 17.9

Diseñe los elementos RC de un oscilador de puente Wien como el de la figura 17.24 para obtener una operación a $f_o = 10$ kHz.

Solución

Mediante los valores iguales para R y C podemos seleccionar $R = 100$ kΩ y calcular el valor requerido de C por medio de la ecuación 17.42:

$$C = \frac{1}{2\pi f_o R} = \frac{1}{6.28(10 \times 10^3)(100 \times 10^3)} = \frac{10^{-9}}{6.28} = \mathbf{159\ pF}$$

Podemos utilizar $R_3 = 300$ kΩ y $R_4 = 100$ kΩ para ofrecer una relación de R_3/R_4 mayor a 2 de forma que se presente la oscilación.

17.8 CIRCUITO OSCILADOR SINTONIZADO

Circuitos osciladores de entrada sintonizada y de salida sintonizada

Es posible construir una variedad de circuitos si se utiliza el que se muestra en la figura 17.25 mediante la sintonización en las secciones de entrada y de salida del circuito. El análisis del circuito de la figura 17.25 muestra que se obtienen los tipos siguientes de osciladores cuando los elementos de reactancia son como los indicados:

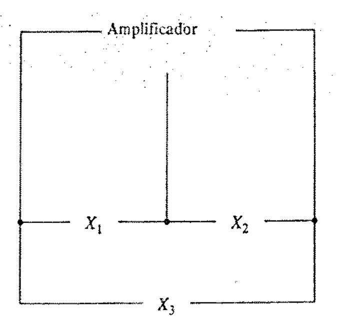


Figura 17.25 Configuración básica de un circuito oscilador resonante.

	Elementos de reactancia		
Tipos de oscilador	X_1	X_2	X_3
Oscilador Colpitts	C	C	L
Oscilador Hartley	L	L	C
Entrada sintonizada, salida sintonizada	LC	LC	—

Oscilador Colpitts

OSCILADOR COLPITTS A FET

En la figura 17.26 se muestra una versión práctica de un oscilador Colpitts a FET; el circuito es básicamente el mismo que el mostrado en la figura 17.25 con la adición de los componentes necesarios para la polarización del amplificador a FET. La frecuencia de oscilación puede calcularse como

$$f_o = \frac{1}{2\pi\sqrt{LC_{\text{ecuación}}}} \tag{17.44}$$

donde

$$C_{\text{ecuación}} = \frac{C_1C_2}{C_1 + C_2} \tag{17.45}$$

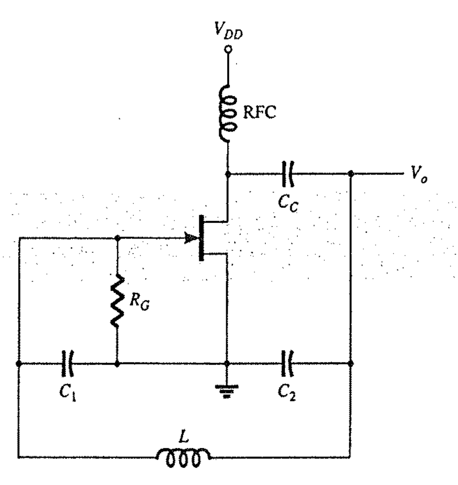
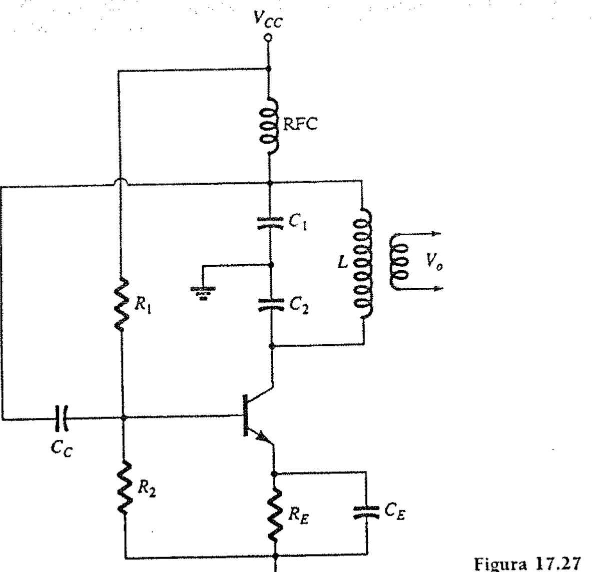


Figura 17.26 Oscilador Colpitts a FET.

OSCILADOR COLPITTS A TRANSISTOR

Es posible construir un oscilador Colpitts a transistor como se muestra en la figura 17.27. La frecuencia de oscilación del circuito está dada por la ecuación 17.44.



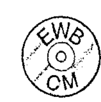


Figura 17.27 Oscilador Colpitts a transistor.

OSCILADOR COLPITTS DE CI

En la figura 17.28 se muestra un circuito oscilador Colpitt de op-amp. Nuevamente, el op-amp proporciona la amplificación básica necesaria, mientras que la frecuencia del oscilador se establece por una red de retroalimentación LC de una configuración Colpitts. La frecuencia del oscilador está dada por la ecuación 17.44.

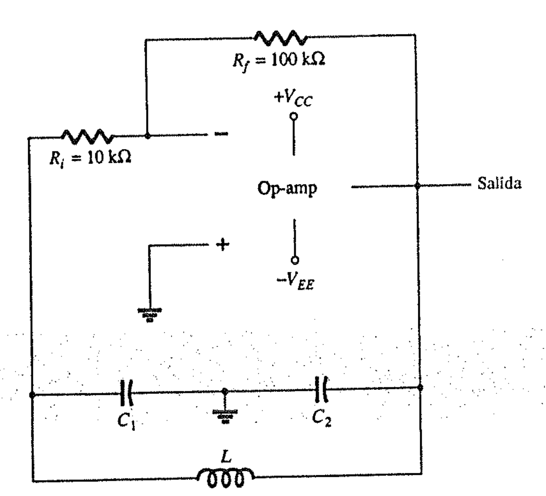


Figura 17.28 Oscilador Colpitts de op-amp.

Oscilador Hartley

Si los elementos en el circuito resonante básico de la figura 17.25 son X_1 y X_2 (inductores) y X_3 (capacitor), el circuito será un oscilador Hartley.

OSCILADOR HARTLEY A FET

En la figura 17.29 se muestra un circuito oscilador Hartley a FET. El circuito se dibuja de forma que la red de retroalimentación se adapte a la forma mostrada en el circuito básico resonante (figura 17.25). Observe, sin embargo, que los inductores L_1 y L_2 tienen un acoplamiento mutuo, M, el cual se deberá tomar en cuenta al determinar la inductancia equivalente para el circuito tanque resonante. La frecuencia de oscilación del circuito está dada de forma aproximada por

$$f_o = \frac{1}{2\pi\sqrt{L_{\text{ecuación}}C}} \quad (17.46)$$

con

$$L_{\text{ecuación}} = L_1 + L_2 + 2M \quad (17.47)$$

OSCILADOR HARTLEY A TRANSISTOR

La figura 17.30 muestra un circuito oscilador Hartley a transistor. El circuito opera a una frecuencia dada por la ecuación 17.46.

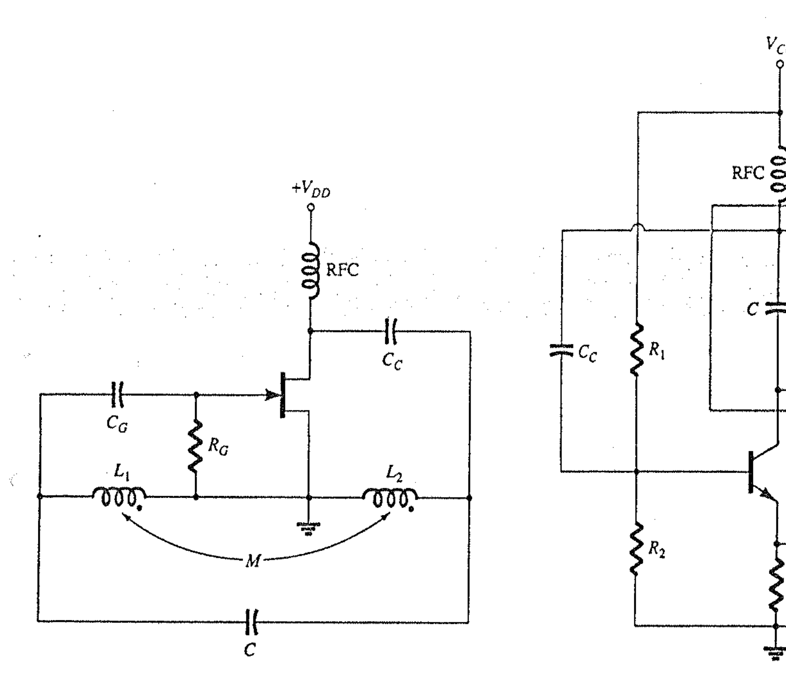


Figura 17.29 Oscilador Hartley a FET.

Figura 17.30 Circuito oscilador Hartley a transistor.

17.9 OSCILADOR DE CRISTAL

Un oscilador de cristal es esencialmente un oscilador de circuito sintonizado que utiliza un cristal piezoeléctrico como circuito tanque resonante. El cristal (por lo general de cuarzo) posee mayor estabilidad para mantener constante la frecuencia de operación a la que originalmente se haya cortado. Los osciladores de cristal se utilizan donde sea que se requiera una alta estabilidad, como en el caso de transmisores y receptores de comunicación.

Características del cristal de cuarzo

Un cristal de cuarzo (de entre un número de tipos de cristales) presenta la propiedad de que cuando se le aplica una tensión mecánica a través de sus caras, se desarrolla una diferencia de potencial a través de sus caras opuestas. A esta propiedad de un cristal se le denomina como *efecto piezoeléctrico*. De forma similar, un voltaje aplicado a través de un conjunto de caras del cristal ocasiona una distorsión mecánica en la forma del cristal.

Cuando se le aplica voltaje alterno, se desarrollan vibraciones mecánicas; estas vibraciones cuentan con una frecuencia resonante natural que depende del cristal. Aunque el cristal cuenta con resonancia electromecánica, es posible representar la acción del cristal mediante un circuito resonante eléctrico equivalente como se muestra en la figura 17.31. El inductor L y el capacitor C representan equivalentes eléctricos de la masa y de la conformación del cristal, mientras que la resistencia R será un equivalente eléctrico de la fricción interna de su estructura. La capacitancia en paralelo C_M representa la capacitancia debido al montaje mecánico del cristal. Dado que las pérdidas de cristal, representadas por R, son pequeñas, el Q (factor de calidad) equivalente del cristal será alto, típicamente de 20,000. Es posible obtener valores de Q de hasta 10^6 mediante cristales.

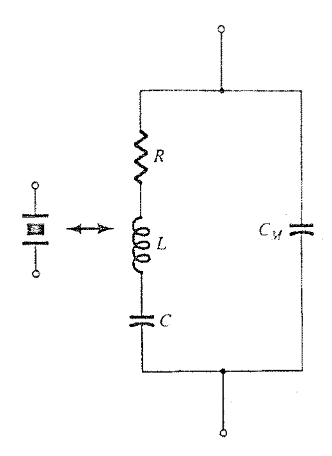


Figura 17.31 Circuito equivalente eléctrico de un cristal.

El cristal, como se representa en el circuito eléctrico equivalente de la figura 17.31, puede tener dos frecuencias resonantes. Una condición resonante ocurre cuando las reactancias de la rama en serie RLC son iguales (y opuestas). Para esta condición, la impedancia *resonante en serie* es muy baja (igual a R). La otra condición resonante ocurre a una frecuencia mayor cuando la reactancia de la rama resonante en serie es igual a la reactancia del capacitor C_M. Ésta es una condición de resonancia paralela o de antiresonancia del cristal. A esta frecuencia, el cristal ofrece una impedancia muy alta al circuito externo. En la figura 17.32 se muestra la impedancia en función de la frecuencia del cristal. Para utilizar adecuadamente el cristal, éste debe conectarse en un circuito en el que su baja impedancia en el modo de operación resonante en serie o su alta impedancia en el modo de operación antiresonante se seleccione.

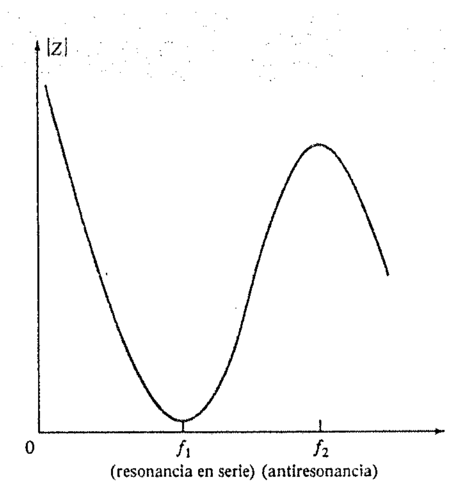


Figura 17.32 Impedancia del cristal en función de la frecuencia.

Circuitos resonantes en serie

Para excitar a un cristal de manera que opere en el modo resonante en serie, éste puede conectarse como un elemento en serie en una trayectoria de retroalimentación. A la frecuencia resonante en serie del cristal, su impedancia será la más pequeña y la cantidad de retroalimentación (positiva) será la mayor. En la figura 17.33 se muestra un circuito a transistor típico. Los resistores R_1, R_2 y R_E proporcionan un circuito de polarización de dc estabilizado por divisor de voltaje. El capacitor C_E proporciona el desvío de ac para el resistor de emisor, y la bobina RFC proporciona la polarización de dc y desacopla la señal de ac de la salida, para que

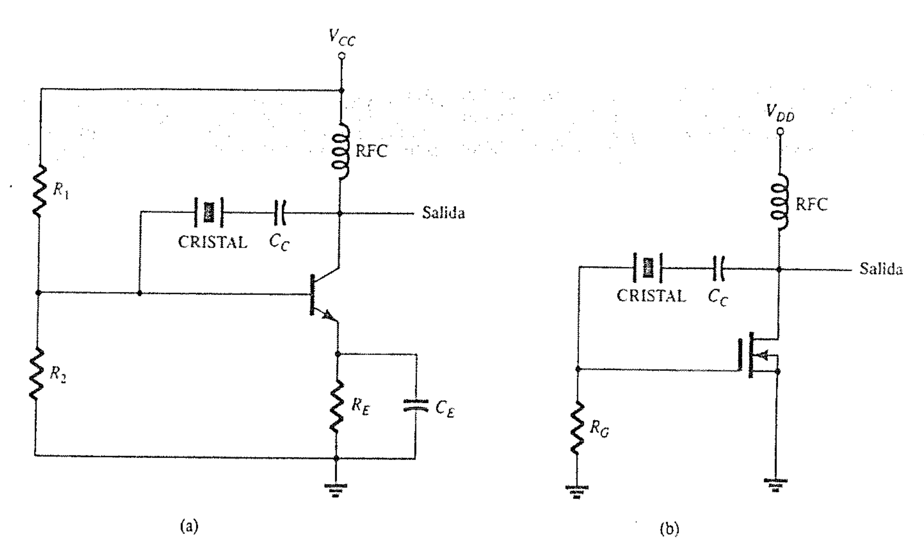


Figura 17.33 Oscilador controlado por cristal que emplea un cristal en la trayectoria de retroalimentación en serie: (a) circuito a BJT; (b) circuito a FET.

no la afecten, de las líneas de alimentación. La retroalimentación de voltaje a partir del colector hacia la base será la máxima cuando la impedancia del cristal sea la mínima (en el modo resonante en serie). El capacitor de acoplamiento C_C cuenta con una impedancia despreciable a la frecuencia de operación del circuito pero bloquea cualquier voltaje de dc entre el colector y la base.

La frecuencia de oscilación resultante del circuito la establece entonces, la frecuencia resonante en serie del cristal. Los cambios en el voltaje de alimentación, en los parámetros de dispositivo del transistor, etcétera, no tienen efecto sobre la frecuencia de operación del circuito, la cual se mantiene estable gracias al cristal. La estabilidad de la frecuencia del circuito se fija mediante la estabilidad de la frecuencia del cristal, la cual es muy buena.

Circuitos resonantes en paralelo

Debido a que la impedancia resonante en paralelo de un cristal es un valor máximo, se conecta en paralelo. A la frecuencia de operación resonante en paralelo, un cristal aparece como una inductancia reactiva de valor muy grande. La figura 17.34 muestra un cristal conectado como

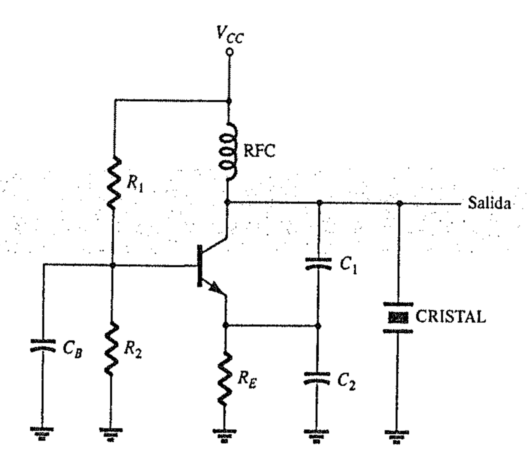


Figura 17.34 Oscilador controlado por cristal que opera en modo resonante paralelo.

el elemento inductor en un circuito Colpitts modificado. El circuito de polarización de dc básico deberá ser evidente. Se desarrolla el máximo voltaje a través del cristal a su frecuencia resonante en paralelo. El voltaje se encuentra acoplado al emisor mediante un divisor de voltaje de condensadores (capacitores C_1 y C_2).

En la figura 17.35 se muestra un circuito *oscilador Miller controlado por cristal*. El circuito *LC* sintonizado en la sección del drenaje se ajusta cerca de la frecuencia resonante en paralelo. La señal compuerta-fuente máxima ocurre a la frecuencia antiresonante de cristal que controla la frecuencia de operación del circuito.

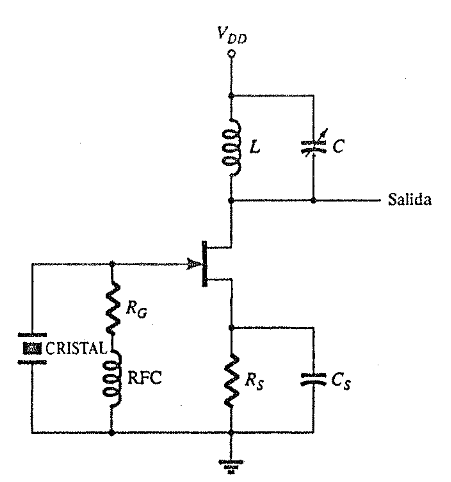


Figura 17.35 Oscilador Miller controlado por cristal.

Oscilador de cristal

Es posible utilizar un op-amp en un oscilador de cristal como se muestra en la figura 17.36. El cristal se encuentra conectado en la trayectoria resonante en serie y opera a la frecuencia resonante serie del cristal. El presente circuito posee una ganancia alta por lo que se obtendrá una señal de onda cuadrada a la salida como se muestra en la figura. El par de diodos Zener en la salida ajustan la amplitud de la salida exactamente al voltaje Zener (V_Z).

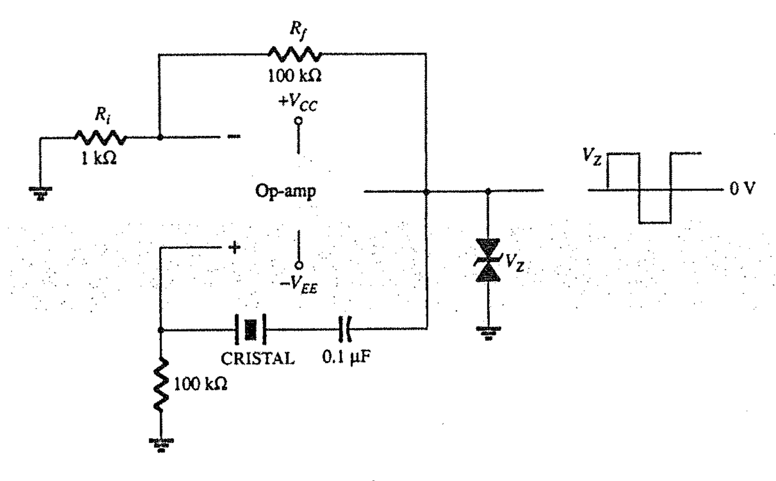


Figura 17.36 Oscilador de cristal que utiliza un op-amp.

17.10 OSCILADOR MONOUNIÓN

Existe un dispositivo particular, el transistor monounión que se puede utilizar en el circuito oscilador de una sola etapa para proporcionar una señal de pulso adecuada para las aplicaciones de circuitos digitales. El transistor monounión se puede emplear en lo que se denomina *oscilador de relajación* como se muestra en el circuito básico de la figura 17.37. El resistor R_T y el capacitor C_T son los componentes de temporización que establecen la frecuencia de oscilación del circuito, la cual se puede calcular mediante la ecuación 17.48, la cual incluye la *relación de separación intrínseca* η del transistor monounión, como un factor (adicional a R_T y C_T) en la frecuencia de operación del oscilador.

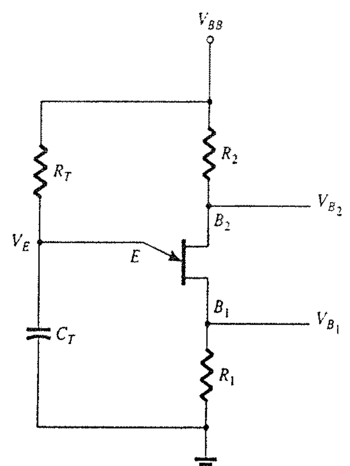


Figura 17.37 Circuito oscilador básico monounión.

$$f_o \cong \frac{1}{R_T C_T \ln[1/(1-\eta)]} \tag{17.48}$$

Por lo regular, un transistor monounión tiene una relación de separación intrínseca de 0.4 a 0.6. Al utilizar un valor de $\eta = 0.5$, obtenemos

$$f_o \cong \frac{1}{R_T C_T \ln[1/(1-0.5)]} = \frac{1.44}{R_T C_T \ln 2} = \frac{1.44}{R_T C_T}$$

$$\cong \frac{1.5}{R_T C_T} \tag{17.49}$$

El capacitor C_T se carga mediante el resistor R_T hacia el voltaje de alimentación V_{BB}. Mientras el voltaje del capacitor V_E se encuentre por debajo del voltaje de punto pico (V_P) establecido por el voltaje a través de $\beta_1 - \beta_2$ y por la relación de separación intrínseca del transistor η

$$V_P = \eta V_{B_1} V_{B_2} - V_D \tag{17.50}$$

la terminal del emisor monounión aparece como un circuito abierto. Cuando el voltaje del emisor a través del capacitor C_T excede este valor (V_P), el circuito monounión se dispara, descargando el capacitor, después de lo cual, inicia un nuevo ciclo de carga. Cuando el monounión se dispara, se desarrolla una subida de voltaje a través de R_1 y una caída de voltaje se desarrolla a través de R_2 como se muestra en la figura 17.38. La señal en el emisor será una forma de onda de voltaje de diente de sierra que en la base 1 es un pulso con tendencia positiva, y en la base 2 es un pulso con tendencia negativa. En la figura 17.39 se proporcionan algunas variaciones del oscilador monounión.

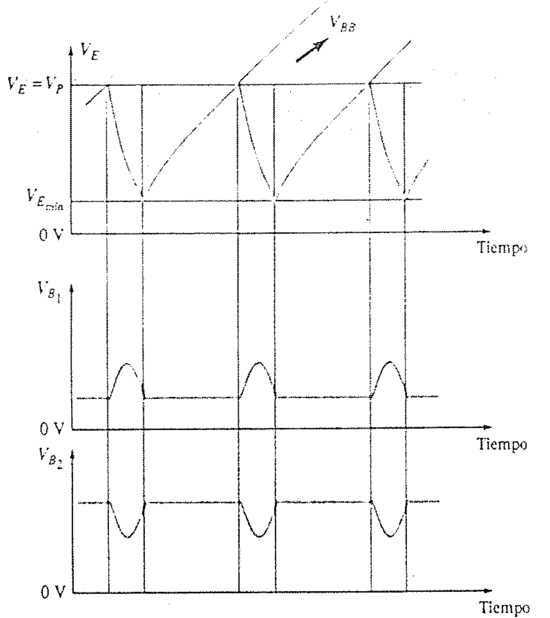


Figura 17.38 Formas de onda del oscilador monounión.

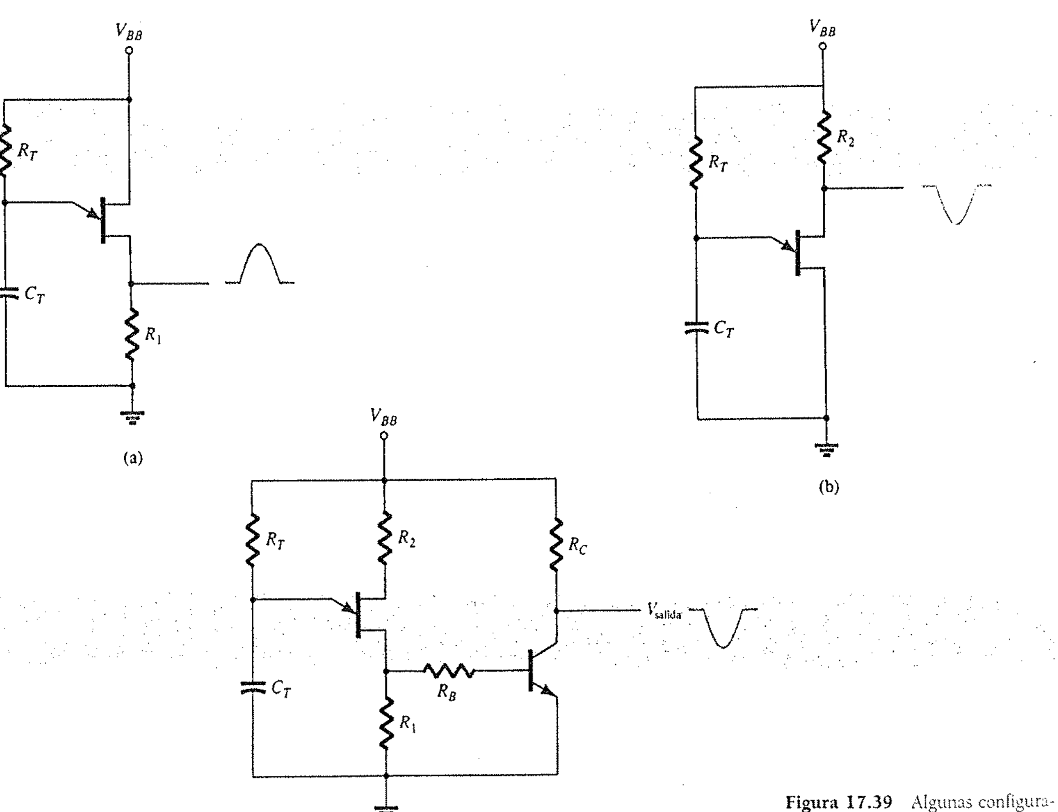


Figura 17.39 Algunas configuraciones del circuito oscilador monounión.

17.11 RESUMEN

Ecuaciones

Retroalimentación de voltaje en serie:

$$A_f = \frac{V_o}{V_s} = \frac{A}{1 + \beta A}$$

$$Z_{if} = \frac{V_s}{I_i} = Z_i + (\beta A)Z_i = Z_i(1 + \beta A)$$

$$Z_{of} = \frac{V}{I} = \frac{Z_o}{(1 + \beta A)}$$

Retroalimentación de voltaje en paralelo:

$$A_f = \frac{A}{1 + \beta A}$$

$$Z_{if} = \frac{Z_i}{(1 + \beta A)}$$

Retroalimentación de corriente en serie:

$$Z_{if} = \frac{V}{I} = Z_i(1 + \beta A)$$

$$Z_{of} = \frac{V}{I} = Z_o(1 + \beta A)$$

Retroalimentación de corriente en paralelo:

$$Z_{if} = \frac{Z_i}{(1 + \beta A)}$$

$$Z_{of} = \frac{V}{I} = Z_o(1 + \beta A)$$

Oscilador con corrimiento de fase:

$$f = \frac{1}{2\pi RC\sqrt{6}}$$

$$\beta = \frac{1}{29}$$

Oscilador de puente Wien:

$$f_o = \frac{1}{2\pi\sqrt{R_1C_1R_2C_2}}$$

Oscilador Colpitts:

$$f_o = \frac{1}{2\pi\sqrt{LC_{\text{ecuación}}}}$$

donde $$C_{\text{ecuación}} = \frac{C_1C_2}{C_1 + C_2}$$

Oscilador Hartley:

$$f_o = \frac{1}{2\pi\sqrt{L_{\text{ecuación}}C}}$$

donde $$L_{\text{ecuación}} = L_1 + L_2 + 2M$$

Oscilador monounión:

$$f_o \cong \frac{1}{R_TC_T\ln[1/(1 - \eta)]}$$

17.12 ANÁLISIS POR COMPUTADORA

Electronics Workbench

Ejemplo 17.10: Oscilador de corrimiento de fase de CI

Mediante el empleo de EWB, se dibuja un oscilador de corrimiento de fase como se muestra en la figura 17.40. La red de diodos ayuda a que el circuito caiga en autooscilación, con la frecuencia de salida calculada por medio de

$$f_o = 1/(2\pi\sqrt{6}RC)$$
$$= 1/[2\pi\sqrt{6}(20 \times 10^3)(0.001 \times 10^{-6})] = 3{,}248.7 \text{ Hz}$$

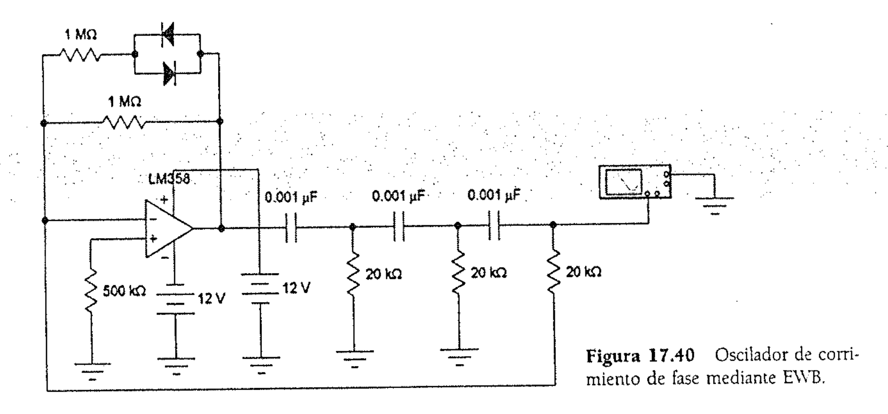


Figura 17.40 Oscilador de corrimiento de fase mediante EWB.

La forma de onda del osciloscopio de la figura 17.41 muestra un ciclo por cada 3 divisiones. La frecuencia medida por el osciloscopio con la base de tiempo en 0.1 ms/div es

$$f_{\text{medida}} = 1/(3 \text{ div} \times 0.1 \text{ ms/div}) = 3{,}333 \text{ Hz}$$

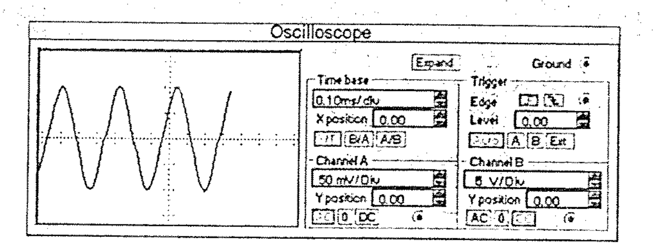


Figura 17.41 Forma de onda del osciloscopio.

Ejemplo 17.11: Oscilador de puente Wien de CI

Mediante EWB, se construye un oscilador de puente Wien de CI, como se muestra en la figura 17.42. La frecuencia del oscilador se calcula por medio de

$$f_o = 1/(2\pi\sqrt{R_1C_1R_2C_2})$$

en la que, cuando $R_1 = R_2 = R$ y $C_1 = C_2 = C$, es igual a

$$f_o = 1/(2\pi\sqrt{RC})$$

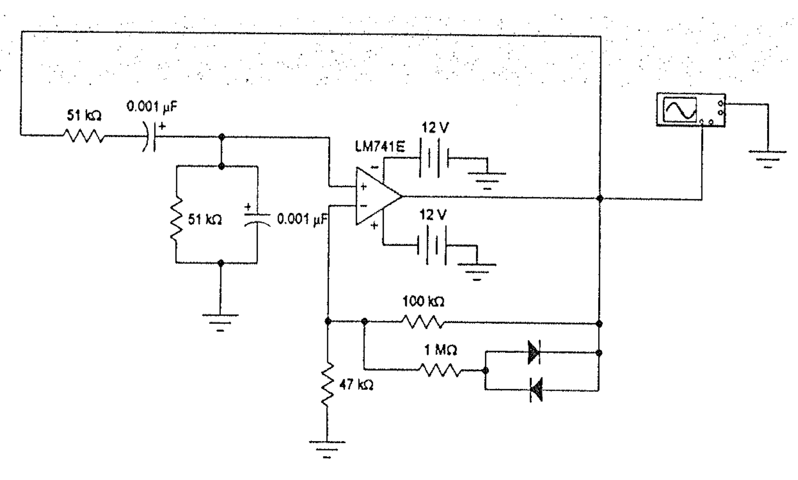


Figura 17.42 Oscilador de puente Wien mediante EWB.

Ejemplo 17.12: Oscilador Colpitts de CI

Mediante el empleo de EWB, se construye un oscilador Colpitts como se muestra en la figura 17.43. La frecuencia del oscilador para este circuito será entonces

$$f_o = 1/(2\pi\sqrt{LC_{\text{ecuación}}})$$

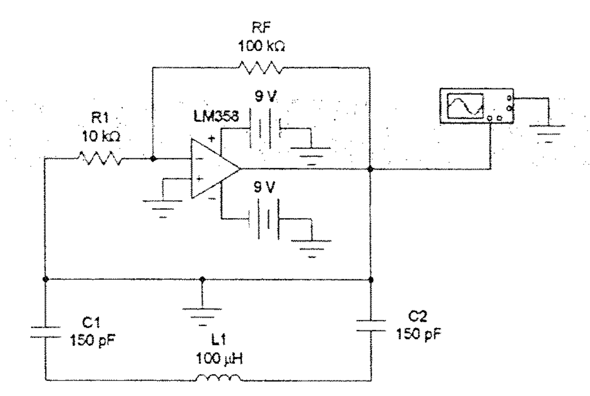


Figura 17.43 Oscilador Colpitts de CI por medio de EWB.

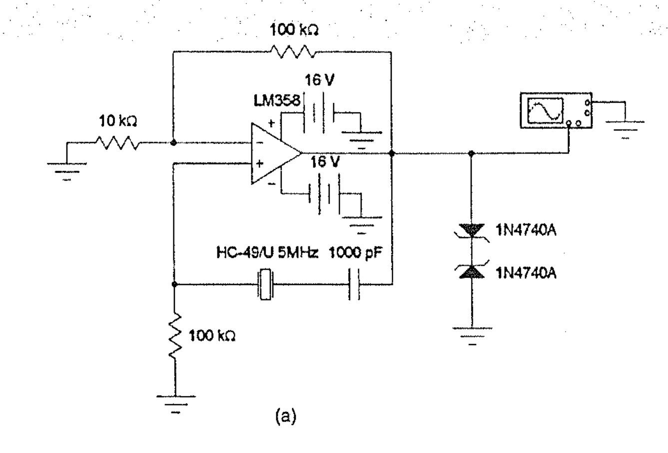
Ejemplo 17.13: Oscilador de cristal

Por medio de EWB, se dibuja un oscilador de cristal como se muestra en la figura 17.44a. La frecuencia del oscilador la establece la frecuencia del cristal. La forma de onda en la figura 17.44b muestra que el periodo es cercano a

$$1.8 \text{ div} \times 5\ \mu\text{s/div} = 9\ \mu\text{s}$$

La frecuencia será entonces

$$f = 1/T = 1/9\ \mu\text{s} = 111.1 \text{ kHz}$$



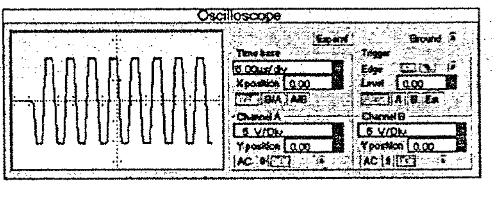


Figura 17.44 Oscilador de cristal mediante EWB.

El ejemplo 17.1(*a*) muestra la forma en la que los cálculos del ejemplo 17.1(*a*) se obtienen por medio de Mathcad. Los cálculos se efectúan para una beta de −0.1.

Ejemplo 17.1 (a)–Retroalimentación de voltaje en serie

$A := -100$ $Ri := 10 \cdot 10^3$ $Ro := 20 \cdot 10^3$ $beta := -0.1$

$Af := \frac{A}{(1 + beta \cdot A)}$ $Af = -9.091$

$Zi := Ri$

$Zif := Zi \cdot (1 + beta \cdot A)$ $Zif = 1.1 \cdot 10^5$

$Zo := Ro$

$Zof := \frac{Zo}{(1 + beta \cdot A)}$ $Zof = 1.818 \cdot 10^3$

El ejemplo 17.1(*b*) muestra los mismos cálculos para beta = −0.5 como en el ejemplo 17.1(*b*).

Ejemplo 17.1 (b)–Retroalimentación de voltaje en serie

$A := -100$ $Ri := 10 \cdot 10^3$ $Ro := 20 \cdot 10^3$ $beta := -0.5$

$Af := \frac{A}{(1 + beta \cdot A)}$ $Af = -1.961$

$Zi := Ri$

$Zif := Zi \cdot (1 + beta \cdot A)$ $Zif = 5.1 \cdot 10^5$

$Zo := Ro$

$Zof := \frac{Zo}{(1 + beta \cdot A)}$ $Zof = 392.157$

El ejemplo 17.3 proporciona los mismos cálculos que en el ejemplo 17.3.

Ejemplo 17.3 — Retroalimentación de voltaje en serie

$R1 := 80 \cdot 10^3$ $R2 := 20 \cdot 10^3$ $Ro := 10 \cdot 10^3$ $RD := 10 \cdot 10^3$ $gm := 4000 \cdot 10^{-6}$

$RL := Ro \frac{RD}{(Ro + RD)}$ $RL = 5 \cdot 10^3$

$A := -gm \cdot RL$ $A = -20$

$beta := \frac{-R2}{(R1 + R2)}$ $beta = -0.2$

$Af := \frac{A}{(1 + beta \cdot A)}$ $Af = -4$

El ejemplo 17.5 proporciona los mismos cálculos que en el ejemplo 17.5.

Ejemplo 17.5–Retroalimentación de corriente en serie

$RC := 2.2 \cdot 10^3$ $RE := 510$ $hfe := 120$ $hie := 900$

$A := \frac{-hfe}{(hie + RE)}$ $A = -0.085$

$beta := -RE$ $beta = -510$

$1 + beta \cdot A = 44.404$

$Af := \frac{A}{(1 + beta \cdot A)}$ $Af = -1.917 \cdot 10^{-3}$

$Avf := Af \cdot RC$ $Avf = -4.217$

$re := \frac{hie}{hfe}$ $re = 7.5$

$Av := \frac{-RC}{re}$ $Av = -293.333$

PROBLEMAS

§ 17.2 Tipos de conexión de retroalimentación

1. Calcule la ganancia de un amplificador con retroalimentación negativa que cuenta con $A = -2000$ y $\beta = -1/10$.
2. Si la ganancia de un amplificador cambia de un valor de −1000 por 10%, calcule el cambio de ganancia si el amplificador se utiliza en un circuito de retroalimentación que tenga $\beta = -1/20$.
3. Calcule la ganancia y las impedancias de entrada y de salida de un amplificador con retroalimentación de voltaje en serie que tenga $A = -300$, $R_i = 1.5$ kΩ, $R_o = 50$ kΩ y $\beta = -1/15$.

§ 17.3 Circuitos prácticos de retroalimentación

*4. Calcule la ganancia con y sin retroalimentación para un amplificador a FET como el que se muestra en la figura 17.7 para los valores de circuito: $R_1 = 800$ kΩ, $R_2 = 200$ Ω, $R_o = 40$ kΩ, $R_D = 8$ kΩ y $g_m = 5000$ μS.

5. Para un circuito como el de la figura 17.11 y con los valores de circuito siguientes, calcule la ganancia de circuito y las impedancias de entrada y de salida, con y sin retroalimentación: $R_B = 600$ kΩ, $R_E = 1.2$ kΩ, $R_C = 4.7$ kΩ y $\beta = 75$. Utilice $V_{CC} = 16$ V.

§ 17.6 Oscilador de corrimiento de fase

6. Se busca que un oscilador FET de corrimiento de fase que cuente con $g_m = 6000$ μS, $r_d = 36$ kΩ, y un resistor de retroalimentación $R = 12$ kΩ opere a 2.5 kHz. Seleccione C para la frecuencia de operación del oscilador especificada.
7. Calcule la frecuencia de operación de un oscilador BJT de corrimiento de fase como el de la figura 17.21b para $R = 6$ kΩ, $C = 1500$ pF y $R_C = 18$ kΩ.

§ 17.7 Oscilador de puente Wien

8. Calcule la frecuencia de un circuito oscilador de puente Wien (como el de la figura 17.23) cuando $R = 10$ kΩ y $C = 2400$ pF.

§ 17.8 Circuito oscilador sintonizado

9. Para un oscilador Colpitts a FET como el de la figura 17.26 y los valores de circuito siguientes determine la frecuencia de oscilación del circuito: C_1 = 750 pF, C_2 = 2500 pF y L = 40 μH.
10. Para el transistor oscilador Colpitts de la figura 17.27 y los siguientes valores de circuito, calcule la frecuencia de oscilación: L = 100 μH, L_{RFC} = 0.5 mH, C_1 = 0.005 μF, C_2 = 0.01 μF y C_C = 10 μF.
11. Calcule la frecuencia de oscilación para un oscilador Hartley a FET como el de la figura 17.29 para los valores de circuito siguientes: C = 250 pF, L_1 = 1.5 mH, L_2 = 1.5 mH y M = 0.5 mH.
12. Calcule la frecuencia de oscilación para el circuito Hartley a transistor de la figura 17.30 y los valores de circuito siguientes: L_{RFC} = 0.5 mH, L_1 = 750 μH, L_2 = 750 μH, M = 150 μH y C = 150 pF.

§ 17.9 Oscilador de cristal

13. Dibuje los diagramas de circuito de (a) un oscilador de cristal operado en serie y (b) un oscilador de cristal excitado en paralelo.

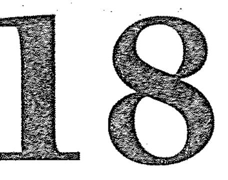
§ 17.10 Oscilador monounión

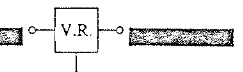
14. Diseñe un circuito oscilador monounión para que opere a (a) 1 kHz y (b) 150 kHz.

*Observe: El asterisco indica problemas con mayor dificultad.

CAPÍTULO

Fuentes de alimentación (reguladores de voltaje)





18.1 INTRODUCCIÓN

El presente capítulo expone la operación de los circuitos construidos como fuentes de alimentación mediante filtros, rectificadores y reguladores de voltaje. (Véase el capítulo 2 para una descripción inicial de los circuitos rectificadores de diodos.) A partir de un voltaje de ac, se obtiene un voltaje de dc estable mediante la rectificación del voltaje de ac, para luego filtrarlo a un nivel de dc y por último, regularlo para obtener el voltaje de dc fijo deseado. La regulación, por lo general, se obtiene a partir de un CI regulador de voltaje, que toma un voltaje de dc y proporciona un voltaje de dc un tanto menor, pero que permanece constante, incluso si el voltaje de dc de entrada varía o si la carga de salida conectada al voltaje de dc cambia.

En la figura 18.1 se muestra un diagrama de bloques que contiene las partes de una fuente de alimentación típica, así como la descripción del voltaje en los distintos puntos. El voltaje de ac, por lo regular de 120 V rms, se conecta a un transformador, el cual lo disminuye hasta el nivel deseado para la salida de dc. Luego, un rectificador de diodos proporciona un voltaje rectificado de onda completa que inicialmente se filtra mediante un filtro simple de capacitor para producir un voltaje de dc. Este voltaje de dc resultante, por lo general, cuenta con cierto rizo o variación de voltaje de ac. Un circuito regulador puede utilizar esta entrada de dc con el objetivo de proporcionar un voltaje de dc que no sólo tiene un voltaje de rizo mucho menor, sino que también permanezca siendo el mismo voltaje de dc, incluso si el voltaje de dc de entrada varía de alguna forma o la carga conectada al voltaje de salida de dc cambia. Esta regulación de voltaje, por lo regular, se obtiene mediante alguno de los diversos CIs reguladores de voltaje populares.

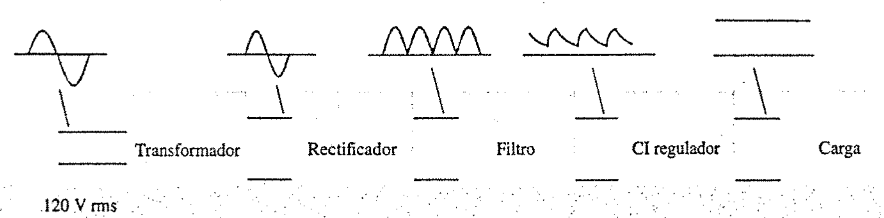


Figura 18.1 Diagrama de bloques que muestra las partes de una fuente de alimentación.

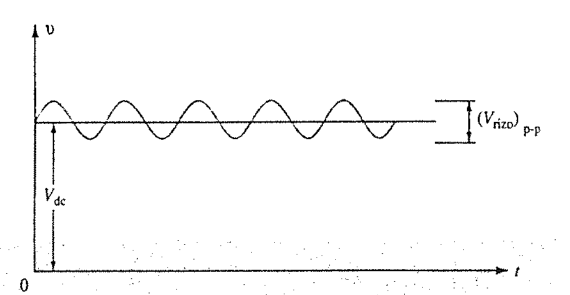
18.2 CONSIDERACIONES GENERALES DE LOS FILTROS

Se requiere un circuito rectificador para convertir una señal que tenga un valor promedio cero a otra señal que tenga un promedio distinto a cero. La salida resultante del rectificador será un voltaje de dc pulsante, el cual todavía no es apropiado como un reemplazo de baterías. Tal vol-

taje podría utilizarse, digamos, en un cargador de baterías, donde el voltaje promedio de dc es lo suficientemente grande para proporcionar una corriente de carga a la batería. Para el caso de fuentes de alimentación de dc, como las utilizadas en radio, sistemas de estéreo, computadoras, etcétera, el voltaje de dc pulsante generado a partir de un rectificador, no sería lo suficientemente adecuado. Se requiere además un circuito de filtrado que proporcione un voltaje de dc más estable.

Filtro de regulación de voltaje y voltaje de rizo

Antes de llegar a los detalles de un circuito de filtro, sería apropiado considerar los métodos comunes para calificar circuitos de filtro de forma que sea posible comparar la eficacia de un circuito como filtro. La figura 18.2 muestra un voltaje típico de salida de un filtro, el cual se utilizará para definir algunos de los factores de señal. La salida filtrada de la figura 18.2 cuenta con un valor de dc y cierta variación de ac (rizo). A pesar de que una batería cuenta con un voltaje de salida de dc prácticamente constante, el voltaje de dc derivado a partir de una señal fuente de ac mediante la rectificación y filtrado tendrá una cierta variación de ac (rizo). Mientras más pequeña sea la variación de ac con respecto al nivel de dc, mejor será el desempeño del circuito de filtro.



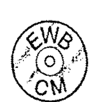


Figura 18.2 Forma de onda del filtro de voltaje que muestra los voltajes de dc y de rizo.

Considere la medición del voltaje de salida de un circuito de filtro mediante un voltímetro de dc y un voltímetro de ac (rms). El voltímetro de dc únicamente tomará lectura del nivel promedio o de dc, del voltaje de salida. El voltímetro de ac (rms) únicamente leerá el valor rms del componente de ac del voltaje de salida (si se asume que la señal de ac se encuentra acoplada mediante un capacitor para bloquear el nivel de dc).

Definición: Rizo

$$r = \frac{\text{voltaje de rizo (rms)}}{\text{voltaje dc}} = \frac{V_r(\text{rms})}{V_{dc}} \times 100\% \qquad (18.1)$$

EJEMPLO 18.1

Mediante un voltímetro de dc y uno de ac para medir la señal de salida de un circuito de filtrado, se obtienen lecturas de 25 V dc y 1.5 V rms. Calcule el rizo del voltaje de salida del filtro.

Solución

$$r = \frac{V_r(\text{rms})}{V_{dc}} \times 100\% = \frac{1.5\text{ V}}{25\text{ V}} \times 100\% = \mathbf{6\%}$$

REGULACIÓN DE VOLTAJE

Otro factor de importancia en una fuente de alimentación es la cantidad en que cambia el voltaje de salida de dc sobre un rango de operación del circuito. El voltaje proporcionado a la salida bajo la condición sin carga (no se consume corriente de la fuente) se reduce cuando hay consumo de corriente de carga de la fuente (bajo una carga). La cantidad de voltaje de dc que cambia entre las condiciones con carga y sin carga, se describe mediante un factor denominado regulación de voltaje.

Definición: Regulación de voltaje

$$\text{Regulación de voltaje (VR)} = \frac{\text{voltaje sin carga (NL)} - \text{voltaje con carga completa (FL)}}{\text{voltaje con carga completa (FL)}}$$

$$\%\text{V.R.} = \frac{V_{NL} - V_{FL}}{V_{FL}} \times 100\% \qquad (18.2)$$

EJEMPLO 18.2

Una fuente de voltaje de dc proporciona 60 V cuando la salida no presenta carga. Cuando se conecta con una carga, la salida cae a 56 V. Calcule el valor de la regulación de voltaje.

Solución

$$\text{Ecuación 18.2:} \quad \%\text{V.R.} = \frac{V_{NL} - V_{FL}}{V_{FL}} \times 100\% = \frac{60\text{ V} - 56\text{ V}}{56\text{ V}} \times 100\% = \mathbf{7.1\%}$$

Si el valor del voltaje con carga completa es el mismo que el del voltaje sin carga, la regulación de voltaje calculado será de 0%, lo cual es el mejor de los casos esperado. Esto significa que la fuente es una fuente perfecta de voltaje en la cual, el voltaje de salida es independiente del consumo de corriente de la fuente de alimentación. Mientras menor sea la regulación de voltaje, mejor será la operación del circuito de fuente de alimentación.

FACTOR DE RIZO DE LA SEÑAL RECTIFICADA

Incluso cuando el voltaje rectificado no sea un voltaje filtrado, éste contendrá un componente de dc y un componente de rizo. Más adelante veremos que la señal rectificada de onda completa tiene un mayor componente de dc y un menor rizo que el voltaje rectificado de media onda.

Media onda: Para una señal rectificada de media onda, el voltaje de dc de salida será

$$V_{dc} = 0.318V_m \qquad (18.3)$$

El valor rms del componente de ac de la señal de salida puede calcularse (vea el apéndice C) como

$$V_r(\text{rms}) = 0.385V_m \qquad (18.4)$$

El porcentaje de rizo de una señal rectificada de media onda puede calcularse como

$$r = \frac{V_r(\text{rms})}{V_{dc}} \times 100\% = \frac{0.385V_m}{0.318V_m} \times 100\% = 121\% \qquad (18.5)$$

Onda completa: Para un voltaje rectificado de onda completa, el valor de dc será

$$V_{dc} = 0.636V_m \qquad (18.6)$$

El valor rms del componente de ac de la señal de salida puede calcularse (ver apéndice C) como

$$V_r(\text{rms}) = 0.308V_m \qquad (18.7)$$

El porcentaje de rizo de una señal rectificada de onda completa puede calcularse como

$$r = \frac{V_r(\text{rms})}{V_{dc}} \times 100\% = \frac{0.308V_m}{0.636V_m} \times 100\% = 48\% \qquad (18.8)$$

En resumen, una señal rectificada de onda completa cuenta con un rizo menor que una señal rectificada de media onda, y por tanto, será mejor para aplicarse a un filtro.

18.3 FILTRO DE CAPACITOR

Un circuito de filtro muy popular es el filtro de capacitor mostrado en la figura 18.3, en el que un capacitor se conecta a la salida del rectificador y se obtiene un voltaje de dc a través del capacitor. La figura 18.4a indica el voltaje de salida de un rectificador de onda completa antes de que la señal sea filtrada, mientras que la figura 18.4b muestra la forma de onda resultante después de que el filtro de capacitor se conecte a la salida del rectificador. Observe que la forma de onda filtrada es esencialmente un voltaje de dc con cierto rizo (o variación de ac).

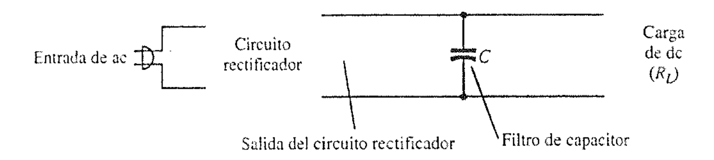


Figura 18.3 Filtro simple de capacitor.

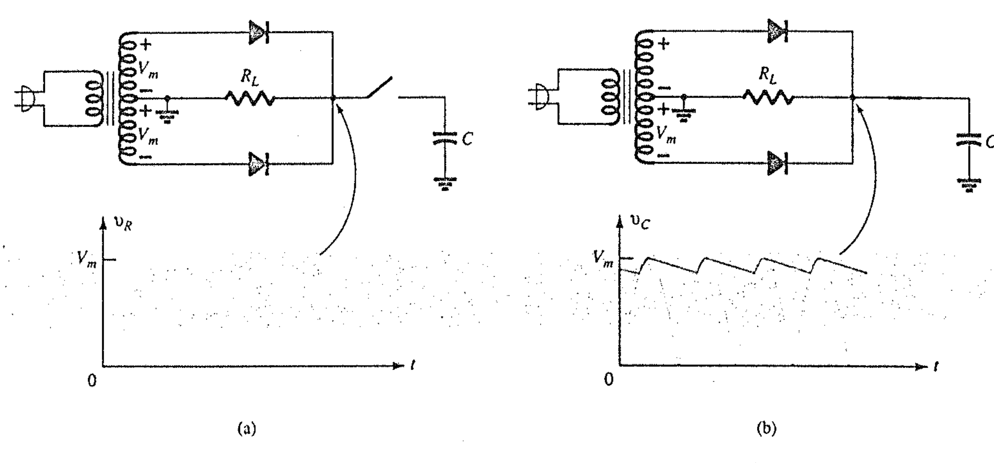


Figura 18.4 Operación del filtro de capacitor: (a) voltaje rectificado de onda completa; (b) voltaje de salida filtrado.

La figura 18.5a señala un puente rectificador de onda completa y la forma de onda de salida obtenida del circuito cuando se conecta con una carga (R_L). Si no se conectara una carga a través del capacitor, la forma de onda de salida sería, de forma ideal, un nivel de dc constante con valor igual al voltaje pico (V_m) del circuito rectificador. Sin embargo, el propósito de obtener un voltaje de dc es el de proporcionar este voltaje para que sea empleado por distintos circuitos electrónicos, los cuales, a su vez, constituyen una carga sobre la fuente de voltaje. Debido a que siempre existirá una carga sobre la salida del filtro, deberemos considerar este caso práctico en todas nuestras discusiones.

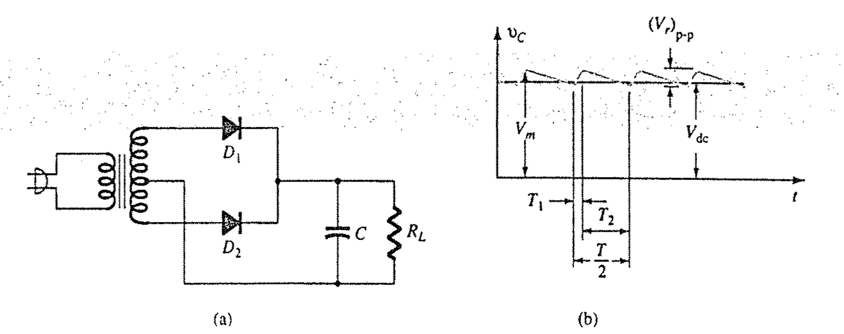


Figura 18.5 Filtro de capacitor: (a) circuito filtro de capacitor; (b) forma de onda del voltaje de salida.

Periodos de la forma de onda de salida

La figura 18.5b presenta la forma de onda a través de un filtro de capacitor. El tiempo T_1 es el tiempo durante el cual los diodos de un rectificador de onda completa conducen, mientras cargan al capacitor hasta el voltaje rectificado pico V_m. El tiempo T_2 es el intervalo de tiempo durante el cual el voltaje rectificado cae por debajo del voltaje pico, y el capacitor se descarga a través de la carga. Dado que el ciclo de carga-descarga sucede para cada medio ciclo de un rectificador de onda completa, el periodo de la forma de onda rectificada será $T/2$, un medio de la frecuencia de la señal de entrada. El voltaje filtrado, como se indica en la figura 18.6, muestra que la forma de onda de salida tendrá un nivel de dc V_{dc} y un voltaje de rizo V_r (rms) a medida que el capacitor se cargue y descargue. A continuación se consideran algunos detalles de estas formas de onda y de los elementos de circuito.

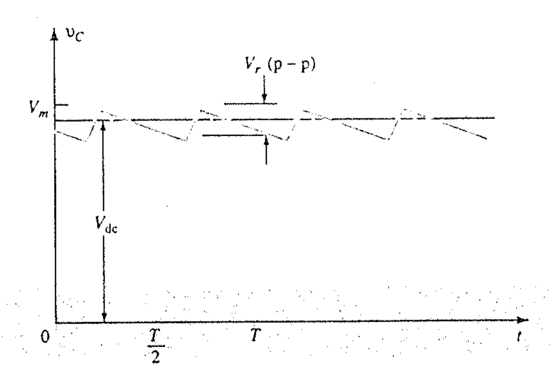


Figura 18.6 Voltaje de salida aproximado del circuito filtro de capacitor.

VOLTAJE DE RIZO, V_r (RMS)

El apéndice C proporciona los detalles para determinar el valor del voltaje de rizo en términos de los otros parámetros de circuito. El voltaje de rizo puede calcularse a partir de

$$V_r(\text{rms}) = \frac{I_{dc}}{4\sqrt{3}fC} = \frac{2.4I_{dc}}{C} = \frac{2.4V_{dc}}{R_LC} \qquad (18.9)$$

donde I_{dc} se da en miliamperes, C en microfarads y R_L en kilohms.

EJEMPLO 18.3

Calcule el voltaje de rizo de un rectificador de onda completa con un capacitor de filtro de 100 μF conectado a una carga que consume 50 mA.

Solución

Ecuación 18.9: $V_r(\text{rms}) = \frac{2.4(50)}{100} = \mathbf{1.2\ V}$

VOLTAJE DE DC, V_{dc}

A partir del apéndice C, es posible expresar el valor de dc de la forma de onda a través del capacitor del filtro como

$$V_{dc} = V_m - \frac{I_{dc}}{4fC} = V_m - \frac{4.17 I_{dc}}{C} \qquad (18.10)$$

donde V_m es el voltaje pico del rectificador, I_{dc} es la corriente de carga en miliamperes y C es el capacitor del filtro en microfarads.

EJEMPLO 18.4

Si el voltaje pico del rectificador del circuito de filtro del ejemplo 18.3 es igual a 30 V, calcule el voltaje de dc del filtro.

Solución

Ecuación 18.10: $$V_{dc} = V_m - \frac{4.17 I_{dc}}{C} = 30 - \frac{4.17(50)}{100} = \mathbf{27.9\ V}$$

Rizo del capacitor de filtro

Mediante la definición de rizo [ecuaciones 18.1, 18.9 y 18.10], con $V_{dc} \approx V_m$, es posible obtener la expresión para el rizo de la forma de onda de salida de un rectificador de onda completa y un circuito de filtro de capacitor.

$$r = \frac{V_r(\text{rms})}{V_{dc}} \times 100\% = \frac{2.4\, I_{dc}}{CV_{dc}} \times 100\% = \frac{2.4}{R_L C} \times 100\% \qquad (18.11)$$

donde I_{dc} se encuentra en miliamperes, C en microfarads, V_{dc} en volts y R_L en kilohms.

EJEMPLO 18.5

Calcule el rizo de un filtro de capacitor para un voltaje pico rectificado de 30 V, un capacitor $C = 50\ \mu F$ y una corriente de carga de 50 mA.

Solución

Ecuación 18.11: $$r = \frac{2.4\, I_{dc}}{CV_{dc}} \times 100\% = \frac{2.4(50)}{100(27.9)} \times 100\% = \mathbf{4.3\%}$$

También es posible calcular el rizo mediante la definición básica

$$r = \frac{V_r(\text{rms})}{V_{dc}} \times 100\% = \frac{1.2\ V}{27.9\ V} \times 100\% = \mathbf{4.3\%}$$

Periodo de conducción del diodo y corriente pico del diodo

A partir del análisis anterior, debe quedar claro que valores más grandes de capacitancia ofrecen un menor rizo y un voltaje promedio mayor, con lo que se proporciona por tanto, una mejor acción de filtrado. A partir de esto se podría concluir que para mejorar el desempeño del filtro de capacitor sólo es necesario incrementar el tamaño del capacitor del filtro. Sin embargo, el capacitor también afecta a la corriente pico extraída a través de los diodos rectificadores, y como se demostrará a continuación, mientras mayor sea el valor del capacitor, mayor será el pico de la corriente que se consume a través de los diodos rectificadores.

Recuerde que los diodos conducen durante el periodo T_1 (ver figura 18.5), durante este tiempo el diodo debe proporcionar la corriente promedio necesaria para cargar al capacitor. Mientras más corto sea este intervalo de tiempo, mayor será la cantidad de la corriente de carga. La figura 18.7 muestra esta relación para una señal rectificada de media onda (sería la misma operación básica para onda completa). Observe que para valores más pequeños de capacitor,

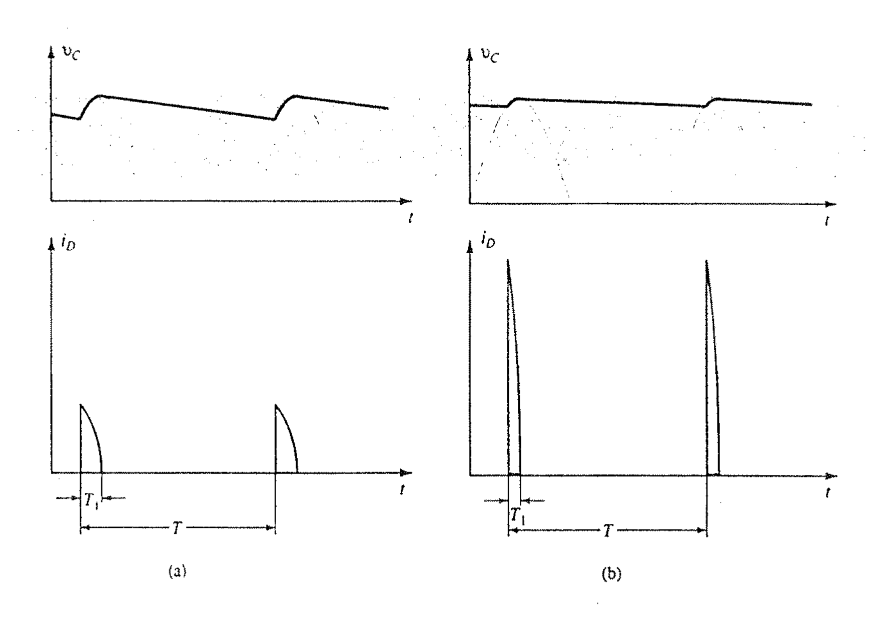


Figura 18.7 Formas de onda del voltaje de salida y de la corriente del diodo: (a) con C pequeño; (b) con C grande.

con T_1 más grande, la corriente pico del diodo será menor que para valores mayores del capacitor del filtro.

Debido a que el consumo promedio de corriente de la fuente debe ser igual a la corriente promedio del diodo durante el periodo de carga, se puede utilizar la siguiente relación (si se asume corriente constante en el diodo durante el periodo de carga):

$$I_{dc} = \frac{T_1}{T} I_{pico}$$

a partir de la cual se puede obtener

$$I_{pico} = \frac{T}{T_1} I_{dc} \qquad (18.12)$$

donde T_1 = periodo de conducción del diodo
$T = 1/f$ ($f = 2 \times 60$ para onda completa)
I_{dc} = consumo promedio de corriente del filtro
I_{pico} = corriente pico a través de los diodos conductores

18.4 FILTROS *RC*

Es posible reducir aún más la cantidad de rizo a través de un filtro de capacitor mediante una sección adicional de filtro *RC*, como se muestra en la figura 18.8. El propósito de la sección *RC* adicional es dejar pasar la mayor parte del componente de dc mientras se atenúa (reduce) lo más

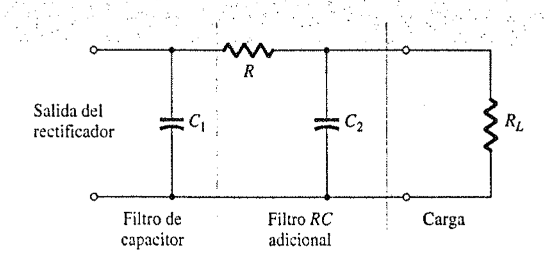


Figura 18.8 Etapa de filtro *RC*.

posible el componente de ac. La figura 18.9 muestra un rectificador de onda completa con un filtro de capacitor seguido por una sección de un filtro *RC*. La operación del circuito de filtrado puede analizarse por medio de la superposición para los componentes de ac y dc de la señal.

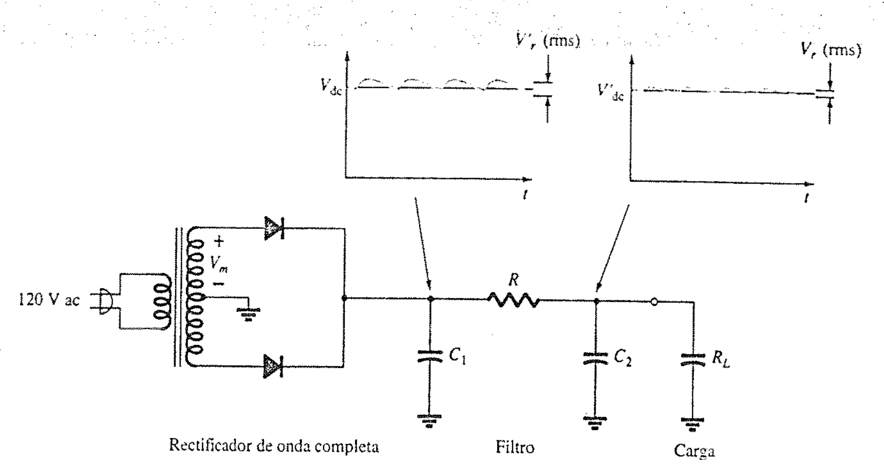


Figura 18.9 Rectificador de onda completa y circuito de filtro *RC*.

Operación en dc de la sección de filtro *RC*

La figura 18.10a muestra el circuito equivalente de dc empleado para analizar el circuito de filtro *RC* de la figura 18.9. Debido a que ambos capacitores se encuentran en circuito abierto para la operación en dc, el voltaje dc resultante de salida es

$$V'_{dc} = \frac{R_L}{R + R_L} V_{dc} \tag{18.13}$$

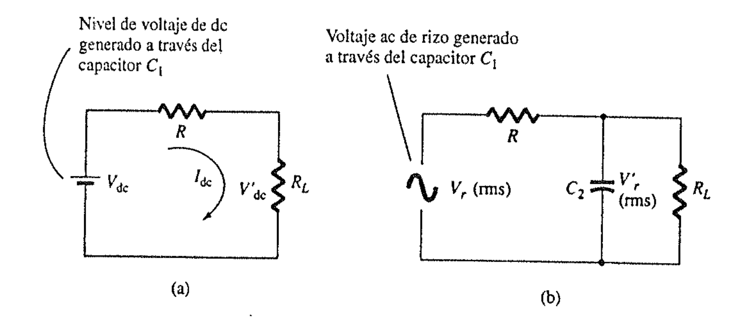


Figura 18.10 Circuitos equivalentes de (a) dc y (b) ac para el filtro RC.

EJEMPLO 18.6

Calcule el voltaje de dc a través de una carga de 1 kΩ para una sección de filtro *RC* ($R = 120\ \Omega$, $C = 10\ \mu$F). El voltaje de dc a través del filtro inicial de capacitor es $V_{dc} = 60$ V.

Solución

$$\text{Ecuación 18.13:}\quad V'_{dc} = \frac{R_L}{R + R_L} V_{dc} = \frac{1000}{120 + 1000}(60\text{ V}) = \mathbf{53.6\ V}$$

Operación en ac de la sección de filtro *RC*

La figura 18.10b muestra el circuito equivalente de ac de la sección del filtro *RC*. Debido a la acción del divisor de voltaje de la impedancia de ac del capacitor y del resistor de carga, el componente de ac del voltaje resultante a través de la carga es

$$V'_r(\text{rms}) \approx \frac{X_C}{R} V_r(\text{rms}) \tag{18.14}$$

Para un rectificador de onda completa con rizo de ac a 120 Hz, la impedancia de un capacitor puede calcularse mediante

$$X_C = \frac{1.3}{C} \tag{18.15}$$

donde C se encuentra en microfarads y X_C en kilohms.

EJEMPLO 18.7

Calcule los componentes de ac y de dc de la señal de salida a través de la carga R_L en el circuito de la figura 18.11. Calcule el rizo de la forma de onda de salida.

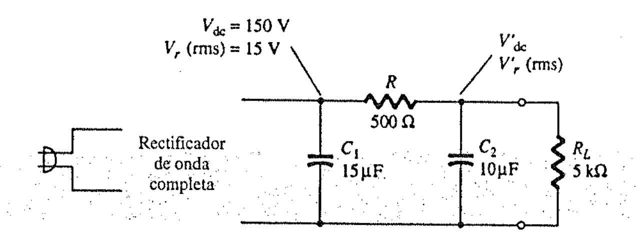


Figura 18.11 Circuito de filtro *RC* para el ejemplo 18.7.

Solución

Cálculo en dc:

$$\text{Ecuación 18.13:}\quad V'_{dc} = \frac{R_L}{R + R_L} V_{dc} = \frac{5\text{ k}\Omega}{500\Omega + 5\text{ k}\Omega}(150\text{ V}) = \mathbf{136.4\ V}$$

Cálculo en ac:
La impedancia capacitiva de la sección *RC* es

$$\text{Ecuación 18.15:}\quad X_C = \frac{1.3}{C} = \frac{1.3}{10} = 0.13\text{ k}\Omega = 130\ \Omega$$

El componente en ac del voltaje de salida, calculado por medio de la ecuación 18.14, es

$$V'_r(\text{rms}) = \frac{X_C}{R} V_r(\text{rms}) = \frac{130}{500}(15\text{ V}) = \mathbf{3.9\ V}$$

El rizo de la forma de onda de salida entonces es

$$r = \frac{V'_r(\text{rms})}{V'_{dc}} \times 100\% = \frac{3.9\text{ V}}{136.4\text{ V}} \times 100\% = \mathbf{2.86\%}$$

18.5 REGULACIÓN DE VOLTAJE CON TRANSISTOR DISCRETO

Los dos tipos de reguladores de voltaje con transistor son el regulador de voltaje en serie y el regulador de voltaje en paralelo. Cada uno de estos tipos de circuito puede ofrecer un voltaje de salida de dc regulado o mantenido a un valor establecido incluso si el voltaje de entrada varía o si la carga conectada a la salida cambia.

Regulación de voltaje en serie

La conexión básica de un circuito regulador en serie se muestra en el diagrama de bloques de la figura 18.12. Los elementos en serie controlan la cantidad de voltaje de entrada que llega a la salida. El voltaje de salida se muestra mediante un circuito que proporciona un voltaje de retroalimentación que se comparará con un voltaje de referencia.

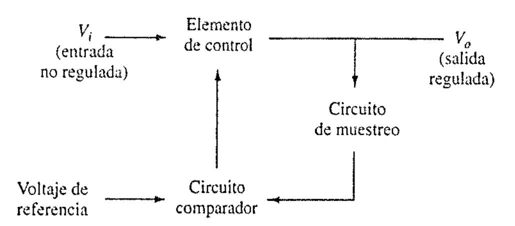


Figura 18.12 Diagrama de bloques de un regulador en serie.

1. Si el voltaje de salida se incrementa, el circuito comparador proporcionará una señal de control que ocasiona que el elemento de control en serie disminuya la cantidad de voltaje de salida, con lo que se mantiene, por tanto, el voltaje de salida.
2. Si el voltaje de salida disminuye, el circuito comparador proporcionará una señal de control que ocasionará que el elemento de control en serie incremente el voltaje de salida.

CIRCUITO REGULADOR EN SERIE

En la figura 18.13 se presenta un circuito simple regulador en serie. El transistor Q_1 es el elemento de control en serie, y el diodo Zener D_Z proporciona el voltaje de referencia. Esta operación de regulación puede describirse de la forma siguiente:

1. Si el voltaje de salida disminuye, un mayor voltaje base-emisor ocasionará que el transistor Q_1 conduzca más, con lo que se eleva el voltaje de salida y se mantiene la salida constante.
2. Si el voltaje de salida se incrementa, un menor voltaje base-emisor ocasionará que el transistor Q_1 conduzca menos, de esta forma se reduce el voltaje de salida y se mantiene la salida constante.

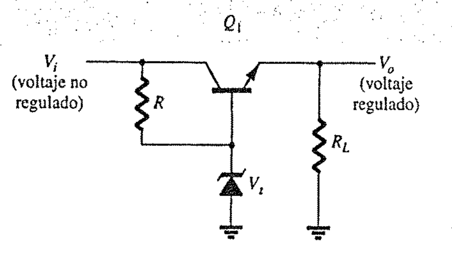
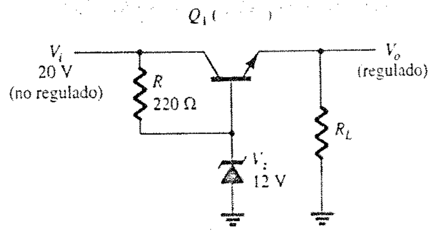


Figura 18.13 Circuito regulador en serie.

EJEMPLO 18.8

Calcule el voltaje de salida y la corriente Zener en el circuito regulador de la figura 18.14 para $R_L = 1\ k\Omega$.



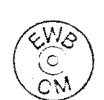


Figura 18.14 Circuito para el ejemplo 18.8.

Solución

$$V_o = V_Z - V_{BE} = 12\ V - 0.7\ V = \mathbf{11.3\ V}$$
$$V_{CE} = V_i - V_o = 20\ V - 11.3\ V = 8.7\ V$$
$$I_R = \frac{20\ V - 12\ V}{220\ \Omega} = \frac{8\ V}{220\ \Omega} = 36.4\ mA$$

Para $R_L = 1\ k\Omega$,

$$I_L = \frac{V_o}{R_L} = \frac{11.3\ V}{1\ k\Omega} = 11.3\ mA$$
$$I_B = \frac{I_C}{\beta} = \frac{11.3\ mA}{50} = 226\ \mu A$$
$$I_Z = I_R - I_B = 36.4\ mA - 226\ \mu A \approx \mathbf{36\ mA}$$

REGULADOR EN SERIE MEJORADO

En la figura 18.15 se presenta un circuito regulador en serie mejorado. Los resistores R_1 y R_2 actúan como un circuito de muestreo, el diodo Zener D_Z proporciona un voltaje de referencia y el transistor Q_2 controla la corriente de base del transistor Q_1 para variar la corriente que pasa a través de él para que se mantenga constante el voltaje de salida.

Si el voltaje de salida se incrementa, también se incrementa el voltaje que se presenta como se muestra en R_1 y R_2; esto ocasiona que el voltaje base-emisor del transistor Q_2 se eleve (dado

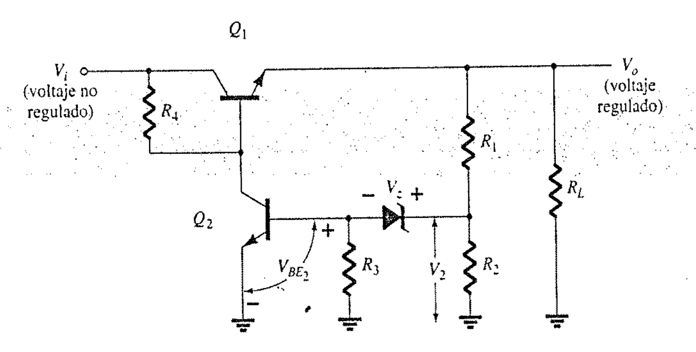


Figura 18.15 Circuito regulador en serie mejorado.

que V_Z permanece fijo). Si Q_2 conduce más corriente; menos corriente irá a la base del transistor Q_1, el cual a su vez, proporcionará menos corriente a la carga, con lo que el voltaje de salida se reduce y por lo tanto, el voltaje de salida permanece constante. Sucede lo contrario si el voltaje de salida disminuye, ya que la corriente suministrada a la carga aumenta, para impedir que el voltaje disminuya.

El voltaje V_2 que proporcionan los resistores sensores R_1 y R_2 debe ser equivalente a la suma del voltaje base-emisor de Q_2 y del diodo Zener, es decir,

$$V_{BE_2} + V_Z = V_2 = \frac{R_2}{R_1 + R_2} V_o \qquad (18.16)$$

Al resolver la ecuación 18.16 para el voltaje de salida regulado V_o,

$$\boxed{V_o = \frac{R_1 + R_2}{R_2}(V_Z + V_{BE_2})} \qquad (18.17)$$

EJEMPLO 18.9

¿Cuál será el voltaje de salida regulado proporcionado por el circuito de la figura 18.15 para los siguientes elementos de circuito: $R_1 = 20\ \text{k}\Omega$, $R_2 = 30\ \text{k}\Omega$ y $V_Z = 8.3$ V?

Solución

A partir de la ecuación 18.17, el voltaje de salida regulado será

$$V_o = \frac{20\ \text{k}\Omega + 30\ \text{k}\Omega}{30\ \text{k}\Omega}(8.3\ \text{V} + 0.7\ \text{V}) = \mathbf{15\ V}$$

REGULADOR EN SERIE CON OP-AMP

Otra versión de un regulador en serie es la mostrada en la figura 18.16. El op-amp compara el voltaje de referencia del diodo Zener con el voltaje de retroalimentación de los resistores sensores R_1 y R_2. Si el voltaje de salida varía, se controla la conducción del transistor Q_1 para mantener el voltaje de salida constante. El voltaje de salida se mantendrá en un valor de

$$\boxed{V_o = \left(1 + \frac{R_1}{R_2}\right)V_Z} \qquad (18.18)$$

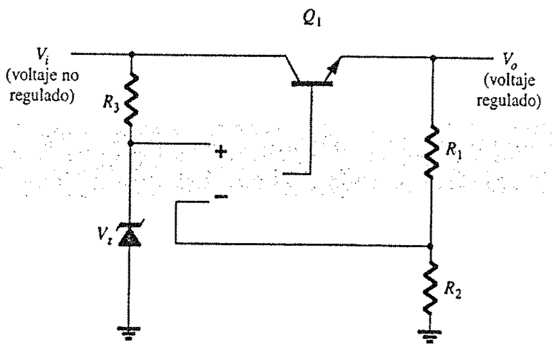


Figura 18.16 Circuito regulador en serie con op-amp.

EJEMPLO 18.10

Calcule el voltaje regulado de salida en el circuito de la figura 18.17.

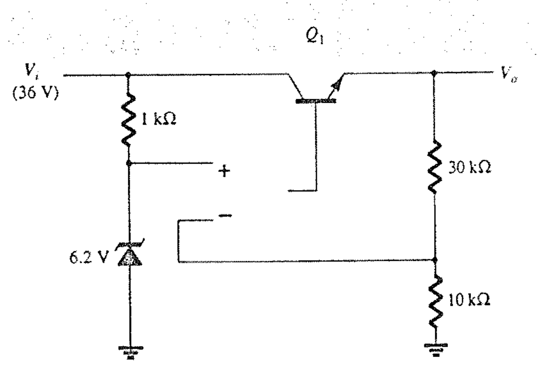


Figura 18.17 Circuito para el ejemplo 18.10.

Solución

$$\text{Ecuación 18.18:} \quad V_o = \left(1 + \frac{30\ \text{k}\Omega}{10\ \text{k}\Omega}\right)6.2\ \text{V} = \mathbf{24.8\ V}$$

CIRCUITO LIMITADOR DE CORRIENTE

Una forma de protección contra un corto circuito o sobrecarga es la limitación de corriente, como se indica en la figura 18.18. A medida que la corriente de carga I_L se incrementa, la caída de voltaje a través de la resistencia sensora de corto circuito R_{SC} se incrementa. Cuando la caída de voltaje a través de R_{SC} llega a ser lo suficientemente grande, activará a Q_2, para desviar la corriente de la base del transistor Q_1, por lo tanto la corriente de carga, a través del transistor Q_1, se reduce y evita cualquier corriente adicional de carga a través de R_L. La acción de los componentes R_{SC} y Q_2 proporciona un límite para la corriente de carga máxima.

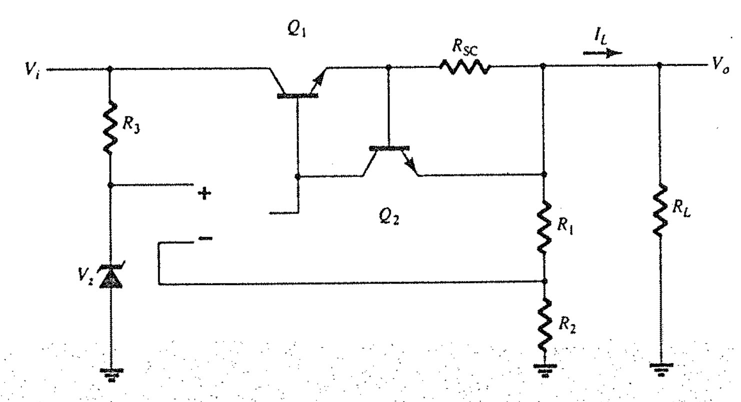
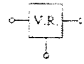


Figura 18.18 Regulador de voltaje con limitación de corriente.

REDUCCIÓN AUTOMÁTICA

La limitación de corriente reduce el voltaje a través de la carga cuando la corriente se vuelve mayor que el valor límite. El circuito de la figura 18.19 proporciona una reducción automática, la cual reduce tanto el voltaje de salida como la corriente de salida y protege a la carga y al regulador de un exceso de corriente.



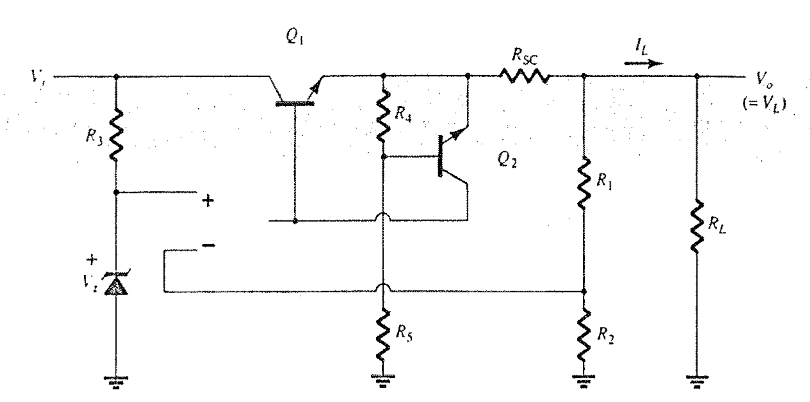


Figura 18.19 Circuito regulador en serie con reducción automática.

La reducción automática la proporciona la red adicional de divisor de voltaje de R_4 y R_5 en el circuito de la figura 18.19 (observe la figura 18.17). El circuito divisor detecta el voltaje a la salida (emisor) de Q_1. Cuando I_L se incrementa a su valor máximo, el voltaje a través de R_{SC} se vuelve lo suficientemente grande para activar a Q_2, y proporciona por tanto limitación de corriente. Si la resistencia de carga se hace más pequeña, el voltaje que activa a Q_2 se vuelve menor, de forma que I_L cae cuando V_L también lo hace; esta acción es la reducción automática. Cuando la resistencia de carga regresa a su valor nominal, el circuito reanuda su acción de regulación de voltaje.

Regulación de voltaje en derivación

Un regulador de voltaje con derivación ofrece regulación mediante la derivación de corriente de la carga para regular el voltaje de salida. La figura 18.20 muestra el diagrama de bloques de este tipo de regulador de voltaje. El voltaje de entrada no regulado proporciona corriente a la carga. Una parte de la corriente se deriva por el elemento de control para mantener el voltaje de salida regulado a través de la carga. Si el voltaje a través de la carga intenta cambiar como consecuencia de un cambio en la carga, el circuito de muestreo proporcionará una señal de retroalimentación al comparador, el cual a su vez proporcionará una señal de control para variar la cantidad de corriente derivada de la carga. A medida que el voltaje de salida trata de hacerse más grande, por ejemplo, el circuito de muestreo proporcionará una señal de retroalimentación al circuito comparador, el cual proporcionará una señal de control para obtener una mayor corriente de derivación, proporcionando una menor corriente de carga, con lo que se evitará por tanto que el voltaje regulado se eleve.

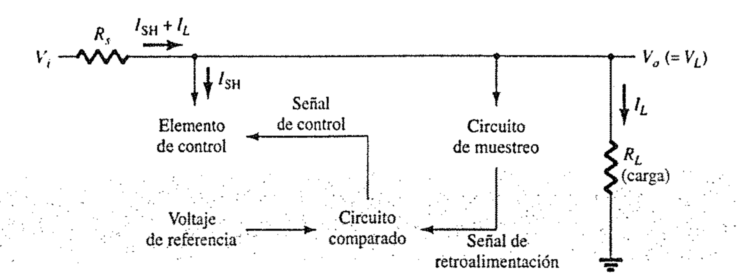


Figura 18.20 Diagrama de bloques de un regulador de voltaje en derivación.

REGULADOR BÁSICO EN DERIVACIÓN A TRANSISTOR

En la figura 18.21 se muestra un circuito regulador en derivación simple. El resistor R_S hace que el voltaje regulado caiga por una magnitud que depende del consumo de corriente de la carga R_L. El voltaje a través de la carga, lo fijan el diodo Zener y el voltaje base-emisor del transistor. Si la resistencia de carga disminuye, se reduce la corriente de base de Q_1, derivando menos corriente del colector. De esta forma, la corriente en la carga es mayor, manteniendo por tanto regulado al voltaje a través de la carga. El voltaje de salida a través de la carga es

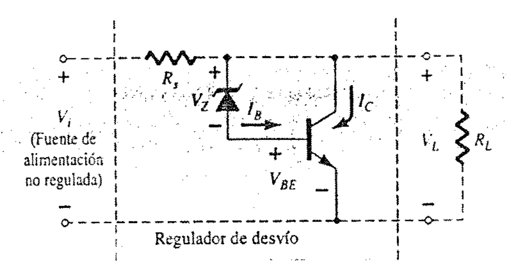


Figura 18.21 Regulador de voltaje por desvío de transistor.

$$V_L = V_Z + V_{BE} \tag{18.19}$$

EJEMPLO 18.11

Determine el voltaje regulado y las corrientes de circuito para el regulador en paralelo de la figura 18.22.

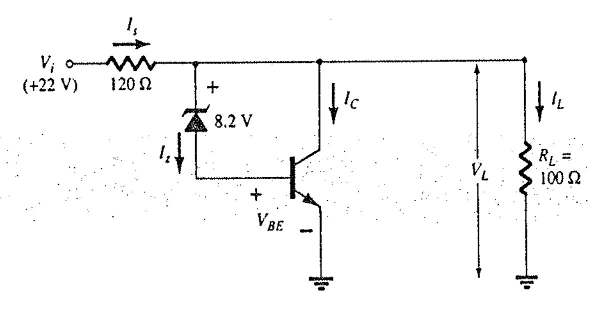
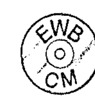


Figura 18.22 Circuito para el ejemplo 18.11.



Solución

El voltaje de carga es

$$\text{Ecuación 18.19:} \quad V_L = 8.2 \text{ V} + 0.7 \text{ V} = \mathbf{8.9 \text{ V}}$$

Para la carga dada,

$$I_L = \frac{V_L}{R_L} = \frac{8.9 \text{ V}}{100 \ \Omega} = \mathbf{89 \text{ mA}}$$

Con un voltaje de entrada no regulado de 22 V, la corriente a través de R_S es

$$I_S = \frac{V_i - V_L}{R_S} = \frac{22 \text{ V} - 8.9 \text{ V}}{120} = \mathbf{109 \text{ mA}}$$

por lo que la corriente del colector es

$$I_C = I_S - I_L = 109 \text{ mA} - 89 \text{ mA} = \mathbf{20 \text{ mA}}$$

(La corriente a través del Zener y de la unión base-emisor del transistor es menor que I_C por la beta del transistor.)

REGULADOR EN DERIVACIÓN MEJORADO

El circuito de la figura 18.23 muestra un circuito regulador de voltaje en paralelo mejorado. El diodo Zener proporciona un voltaje de referencia, de forma que el voltaje a través de R_1 causa, detecta, el voltaje de salida. A medida que el voltaje de salida trata de cambiar, la corriente derivada por el transistor Q_1 varía para mantener el voltaje de salida constante. El transistor Q_2 proporciona una corriente de base mayor al transistor Q_1 que en el circuito de la figura 18.21, de forma que el regulador maneje una corriente de carga más grande. El voltaje de salida lo fijan el voltaje Zener y el voltaje a través de la unión emisor-base de los dos transistores.

$$V_o = V_L = V_Z + V_{BE_2} + V_{BE_1} \tag{18.20}$$

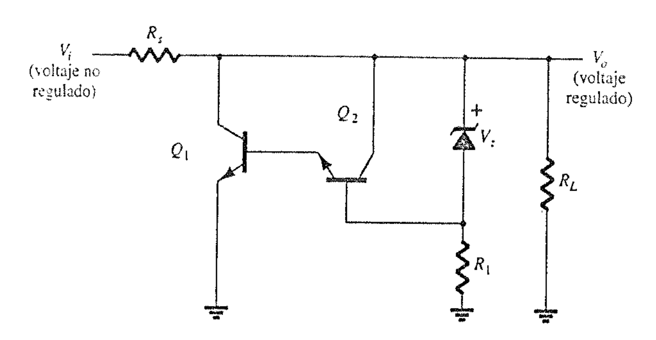


Figura 18.23 Circuito regulador de voltaje en paralelo mejorado.

REGULADOR DE VOLTAJE EN DERIVACIÓN UTILIZANDO OP-AMP

La figura 18.24 muestra otra versión de un regulador de voltaje en derivación que utiliza un op-amp como comparador de voltaje. El voltaje Zener se compara con el voltaje de retroalimentación que se obtiene del divisor de voltaje R_1 y R_2 para proporcionar la corriente de control para la derivación de corriente en el elemento Q_1. De esta forma, la corriente a través del resistor R_S se encuentra controlada para hacer caer un voltaje a través de R_S a fin de que el voltaje de salida se mantenga.

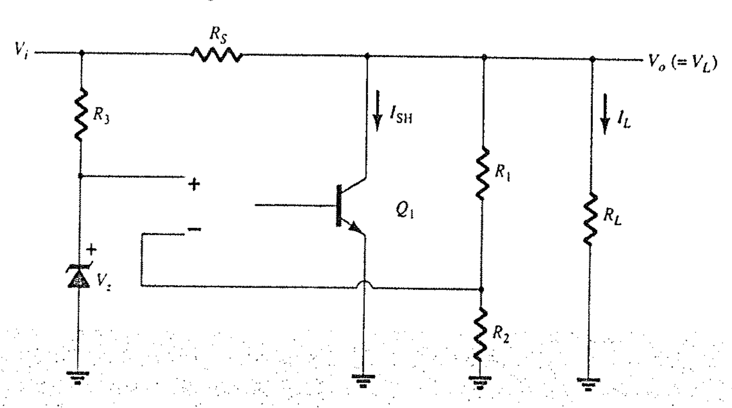


Figura 18.24 Regulador de voltaje en derivación utilizando un op-amp.

Regulación de conmutación

Un tipo de circuito regulador que es muy popular debido a su eficiente transferencia de potencia a la carga es el regulador de conmutación. Básicamente, un regulador de conmutación deja pasar voltaje a la carga en pulsos, los cuales luego son filtrados para proporcionar un voltaje de

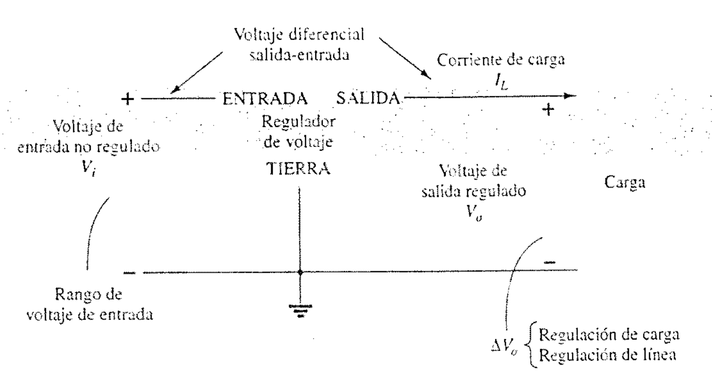


Figura 18.25 Representación de bloques del regulador de voltaje de tres terminales.

de más plano. La figura 18.25 muestra los componentes básicos de tal regulador de voltaje. La complejidad añadida del circuito bien vale la pena gracias a la mayor eficiencia de operación que se obtiene.

18.6 REGULADORES DE VOLTAJE DE CI

Los reguladores de voltaje comprenden una clase de CIs ampliamente utilizados. Los reguladores de CI contienen los circuitos de la fuente de referencia, el amplificador comparador, el dispositivo de control y la protección contra la sobrecarga, todo en un CI. A pesar de que la construcción interna de un CI es un tanto distinta de la descrita para los circuitos reguladores de voltaje discretos, la operación externa es muy similar. Las unidades de CI ofrecen la regulación de un voltaje fijo positivo o negativo o de un voltaje ajustable.

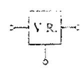
Es posible construir una fuente de alimentación mediante un transformador conectado a la línea de suministro de ac para llevar el voltaje de ac a la amplitud deseada, luego se rectificará este voltaje de ac, opcionalmente se le filtrará mediante un capacitor y un filtro *RC* y finalmente, se regulará el voltaje de dc por medio de un CI regulador. Es posible seleccionar los reguladores para operar con corrientes de carga desde cientos de miliamperes hasta decenas de amperes, que corresponden a rangos de potencia de miliwatts hasta decenas de watts.

Reguladores de voltaje de tres terminales

La figura 18.25 muestra la conexión básica de un regulador de voltaje de CI de tres terminales con una carga. El regulador de voltaje fijo cuenta con un voltaje dc de entrada no regulado V_i, aplicado a una terminal de entrada, un voltaje dc de salida regulado V_o, en una segunda terminal, y la tercera terminal conectada a tierra. Para un regulador seleccionado, las especificaciones del dispositivo de CI listan un rango de voltaje sobre el cual puede variar el voltaje de entrada para mantener un voltaje de salida regulado sobre un rango de corriente de carga. Las especificaciones también listan la cantidad de cambio del voltaje de salida que resulta debido a un cambio en la corriente de carga (regulación de carga) o en el voltaje de entrada (regulación de línea).

Reguladores de voltaje positivo fijo

Los reguladores de la serie 78 ofrecen voltajes fijos regulados que van de 5 a 24 V. La figura 18.26 muestra la forma en la que uno de estos CIs, el 7812, se conecta para proporcionar un voltaje regulado de salida de +12 V dc. Un voltaje de entrada no regulado V_i es filtrado por el capacitor C_1 y conectado a la terminal IN (entrada) del CI. La terminal OUT (salida) del CI proporciona +12 V regulados, los cuales son filtrados por el capacitor C_2 (principalmente para cualquier ruido de alta frecuencia). La tercera terminal del CI se conecta a tierra (GND). Mientras que el voltaje de entrada varíe dentro de un rango permitido de voltaje y la carga de salida varíe dentro de un rango aceptable, el voltaje de salida permanecerá constante dentro de los lí-



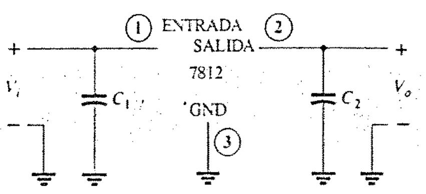


Figura 18.26 Conexión del regulador de voltaje 7812.

mites especificados de variación del voltaje. Estos límites se detallan en las hojas de especificaciones de los fabricantes. En la tabla 18.1 se presenta una lista de CIs reguladores de voltaje positivo.

TABLA 18.1 Reguladores de voltaje positivo en la serie 7800

Parte CI	*Voltaje de salida (V)*	*V_i mínimo (V)*
7805	+5	7.3
7806	+6	8.3
7808	+8	10.5
7810	+10	12.5
7812	+12	14.6
7815	+15	17.7
7818	+18	21.0
7824	+24	27.1

En la conexión de la figura 18.27 se muestra la operación de un regulador 7812 dentro de una fuente de alimentación completa. El voltaje de línea ac (120 V rms) se reduce a 18 V rms a través de cada mitad del transformador con derivación central. Luego, un rectificador de onda completa y un filtro de capacitor proporcionan un voltaje de dc no regulado, que se muestra como un voltaje cercano a 22 V, con un rizo de ac de unos cuantos volts como la entrada al regulador de voltaje. El CI 7812 después proporcionará una salida que se encuentra regulada en +12 V dc.

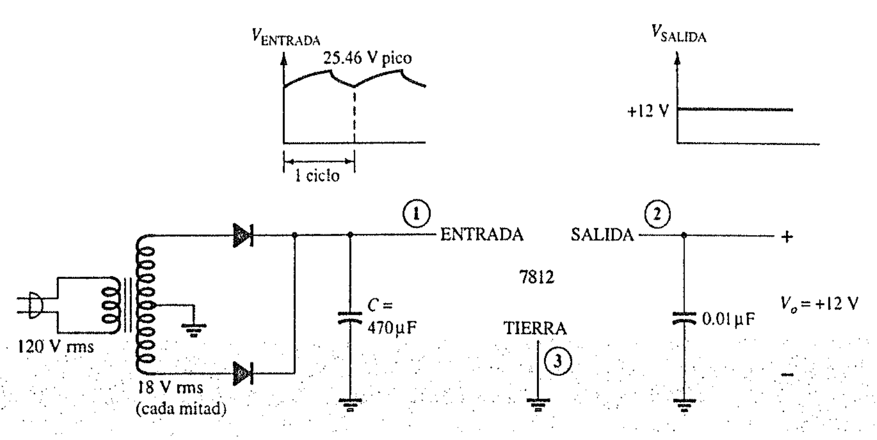
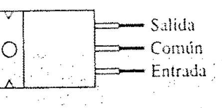


Figura 18.27 Fuente de alimentación de +12 V.

ESPECIFICACIONES DE LOS REGULADORES DE VOLTAJE POSITIVO

La hoja de especificaciones de los reguladores de voltajes se ilustra en la hoja de la figura 18.28, para el grupo de reguladores de voltaje positivo de la serie 7800. Se deben tomar en cuenta algunas consideraciones acerca de los parámetros más importantes.



Voltaje nominal de salida	Regulador
5 V	7805
6 V	7806
8 V	7808
10 V	7810
12 V	7812
15 V	7815
18 V	7818
24 V	7824

Valores nominales absolutos máximos:

Voltaje de entrada	40 V
Disipación continua total	2 W
Rango de temperatura de operación al aire libre	−65 a 150°C

Características eléctricas del µA 7812C:

Parámetros	Mín.	Típ.	Máx.	Unidades
Voltaje de salida	11.5	12	12.5	V
Regulación de entrada		3	120	mV
Rechazo de rizo	55	71		dB
Regulación de salida		4	100	mV
Resistencia de salida		0.018		Ω
Diferencia de voltaje		2.0		V
Corriente de salida de corto circuito		350		mA
Corriente de salida pico		2.2		A

Figura 18.28 Datos de la hoja de especificaciones para los CIs reguladores de voltaje.

Voltaje de salida: La especificación para la unidad 7812 muestra que el voltaje de salida es, por lo regular, de +12 V pero puede llegar a ser tan bajo como 11.5 V o tan alto como 12.5 V.

Regulación de salida: La regulación del voltaje de salida, por lo general, se presenta de 4 mV, hasta un máximo de 100 mV (a corrientes de salida de 0.25 hasta 0.75 A). Esta información especifica que el voltaje de salida puede variar por lo regular sólo 4 mV a partir de su valor nominal de 12 V de dc.

Corriente de salida de corto circuito: La cantidad de corriente se encuentra limitada típicamente hasta 0.35 A si la salida estuviera en corto circuito (presumiblemente por accidente o debido a otro componente defectuoso).

Corriente de salida pico: Mientras la corriente nominal máxima es de 1.5 A para esta serie de CI, el consumo de corriente de salida pico típica de una carga es de 2.2 A. Esto muestra que incluso cuando el fabricante califica al CI como capaz de proporcionar 1.5 A, es posible extraer un poco más de corriente (posiblemente por un periodo).

Diferencia de voltaje: La diferencia de voltaje, típicamente de 2 V, es la cantidad mínima de voltaje a través de las terminales de entrada-salida que deberá mantenerse si el CI operará como un regulador. Si el voltaje de entrada desciende demasiado o si la salida se eleva de forma que no se mantienen al menos los 2 V a través de la entrada-salida del CI, éste ya no será capaz de proporcionar una regulación de voltaje. Por tanto, se debe mantener un voltaje de entrada lo suficientemente grande para asegurar que siempre se proporcione la diferencia de voltaje.

Reguladores de voltaje negativo fijo

La serie de CIs 7900 proporciona reguladores de voltaje negativo, similares a los que proporcionan voltajes positivos. En la tabla 18.2 se presenta una lista de CIs reguladores de voltaje negativo. Como se muestra, los CIs reguladores se encuentran disponibles para un rango de voltajes negativos fijos, el CI seleccionado, proporcionará el voltaje de salida especificado toda vez que el voltaje de entrada se mantenga mayor al valor de entrada mínimo. Por ejemplo, la unidad 7912 proporciona una cantidad de −12 V mientras la entrada al CI regulador sea más negativa que −14.6 V.

TABLA 18.2 Reguladores de voltaje negativo en la serie 7900

Parte CI	Voltaje de salida (V)	V_i mínimo (V)
7905	−5	−7.3
7906	−6	−8.4
7908	−8	−10.5
7909	−9	−11.5
7912	−12	−14.6
7915	−15	−17.7
7918	−18	−20.8
7924	−24	−27.1

EJEMPLO 18.12 Dibuje una fuente de voltaje que utilice un puente rectificador de onda completa, un filtro de capacitor y un regulador de CI, para proporcionar una salida de +5 V.

Solución

El circuito resultante se muestra en la figura 18.29.

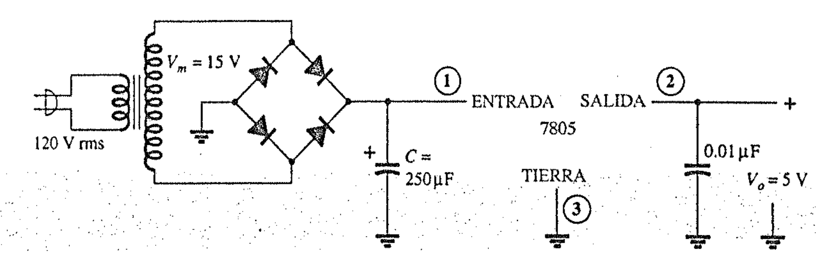


Figura 18.29 Fuente de alimentación de +5 V.

EJEMPLO 18.13 Para una salida de transformador de 15 V y un capacitor de filtro de 250 μF, calcule el voltaje de entrada mínimo cuando se encuentra conectado a una carga que consume 400 mA.

Solución

Los voltajes a través del capacitor de filtro son

$$V_r(\text{pico}) = \sqrt{3}\, V_r(\text{rms}) = \sqrt{3}\,\frac{2.4 I_{dc}}{C} = \sqrt{3}\,\frac{2.4(400)}{250} = 6.65 \text{ V}$$

$$V_{dc} = V_m - V_r(\text{pico}) = 15 \text{ V} - 6.65 \text{ V} = 8.35 \text{ V}$$

Debido a que la entrada excursiona alrededor de este nivel de dc, el voltaje mínimo de entrada puede disminuir hasta

$$V_i(\text{bajo}) = V_{dc} - V_r(\text{pico}) = 15 \text{ V} - 6.65 \text{ V} = \mathbf{8.35 \text{ V}}$$

Dado que este voltaje es mayor que el mínimo requerido para el regulador del CI (mediante la tabla 18.1, V_i = 7.3 V), el CI puede ofrecer un voltaje regulado a la carga dada.

EJEMPLO 18.14 Determine el valor máximo de la corriente de carga a la cual se mantiene la regulación para el circuito de la figura 18.29.

Solución

Para mantener $V_i(\text{mín}) \geq 7.3$ V,

$$V_r(\text{pico}) \leq V_m - V_i(\text{mín}) = 15 \text{ V} - 7.3 \text{ V} = 7.7 \text{ V}$$

de forma que

$$V_r(\text{rms}) = \frac{V_r(\text{pico})}{\sqrt{3}} = \frac{7.7 \text{ V}}{1.73} = 4.4 \text{ V}$$

Entonces, el valor de la corriente de carga será

$$I_{dc} = \frac{V_r(\text{rms})C}{2.4} = \frac{(4.4 \text{ V})(250)}{2.4} = 458 \text{ mA}$$

Cualquier corriente superior a este valor será demasiado grande para que el circuito mantenga la salida regulada en +5 V.

Reguladores de voltaje ajustable

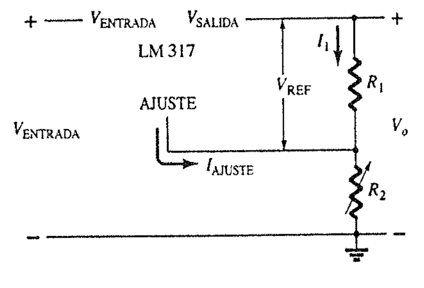
Los reguladores de voltaje también se encuentran disponibles en configuraciones de circuitos que permiten que el usuario establezca el voltaje de salida en un valor regulado deseado. La unidad LM317, por ejemplo, puede operarse con el voltaje de salida regulado en cualquier valor dentro del rango de voltajes de 1.2 a 37 V. La figura 18.30 muestra la forma en la que es posible establecer el voltaje de salida regulado de un LM317.

Los resistores R_1 y R_2 fijan la salida en cualquier voltaje deseado dentro del rango de ajuste (1.2 a 37 V). El voltaje de salida deseado puede calcularse mediante

$$V_o = V_{ref}\left(1 + \frac{R_2}{R_1}\right) + I_{aj} R_2 \qquad (18.21)$$

con valores típicos del CI de

$$V_{ref} = 1.25 \text{ V} \quad \text{e} \quad I_{aj} = 100\ \mu\text{A}$$



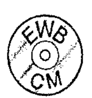


Figura 18.30 Conexión del regulador de voltaje ajustable LM317.

EJEMPLO 18.15 Determine el voltaje regulado en el circuito de la figura 18.30 con R_1 = 240 Ω y R_2 = 2.4 kΩ.

Solución

$$\text{Ecuación 18.21:} \quad V_o = 1.25 \text{ V}\left(1 + \frac{2.4 \text{ k}\Omega}{240\ \Omega}\right) + (100\ \mu\text{A})(2.4 \text{ k}\Omega)$$

$$= 13.75 \text{ V} + 0.24 \text{ V} = \mathbf{13.99 \text{ V}}$$

EJEMPLO 18.16 Determine el voltaje de salida regulado del circuito de la figura 18.31.

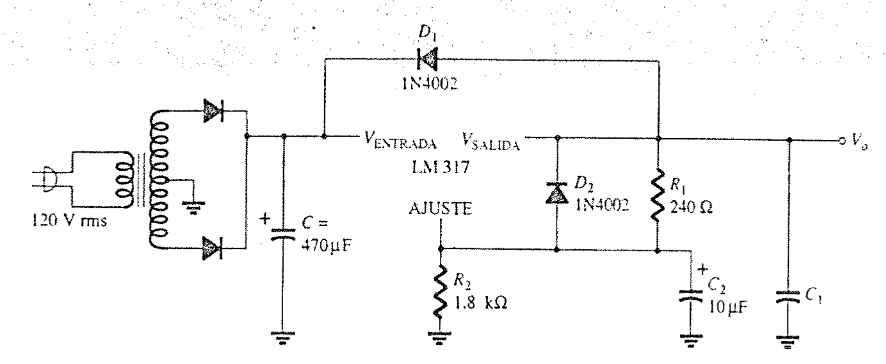


Figura 18.31 Regulador de voltaje positivo ajustable para el ejemplo 18.16.

Solución

El voltaje de salida calculado mediante la ecuación 18.21 es:

$$V_o = 1.25\text{ V}\left(1 + \frac{1.8\text{ k}\Omega}{240\ \Omega}\right) + (100\ \mu\text{A})(1.8\text{ k}\Omega) \approx \mathbf{10.8\text{ V}}$$

Una verificación del voltaje del capacitor de filtro revela que es posible mantener una diferencia entrada-salida de 2 V hasta al menos una corriente de carga de 200 mA.

18.7 APLICACIONES PRÁCTICAS

Fuentes de alimentación

Las fuentes de alimentación son una parte de todo dispositivo electrónico, de forma que se utiliza una amplia variedad de circuitos para incorporar factores tales como niveles de potencia, tamaño del circuito, costo, regulación deseada, etcétera. Esta sección presentará varias fuentes y cargadores prácticos.

FUENTE SIMPLE DE DC

Una forma simple para lograr disminuir un voltaje de ac, sin el uso de un transformador caro y voluminoso es mediante el uso de un capacitor en serie con el voltaje de línea. Este tipo de fuente, mostrada en la figura 18.32, emplea pocos componentes y por lo tanto es muy simple. Se utiliza un rectificador de media onda (o rectificador puente) con un circuito filtro para obtener un voltaje con un componente de dc. Este circuito tiene varios puntos negativos: no existe aislamiento de la línea de ac, siempre debe consumirse una corriente mínima y la corriente de carga no puede ser excesiva. Por lo que esta fuente simple de dc puede utilizarse para proporcionar un voltaje dc pobremente regulado y cuando se busca un ligero consumo de corriente en un dispositivo barato.

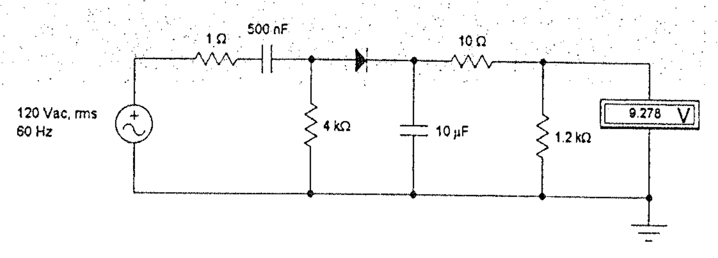


Figura 18.32 Fuente simple de dc.

FUENTE DE DC CON ENTRADA DE TRANSFORMADOR

El siguiente tipo de fuente de alimentación utiliza un transformador para reducir el voltaje de ac de la línea. El transformador puede ser de tipo "montado en muro" (externo) o montado en chasis (interno). Se utiliza un rectificador a la salida del transformador, seguido de un filtro de capacitor y posiblemente un regulador. El regulador se vuelve un problema cuando los requerimientos de potencia se incrementan. Tanto el tamaño del disipador de calor como el enfriamiento y los requerimientos de potencia son obstáculos importantes para este tipo de fuentes.

La figura 18.33 muestra una fuente simple con un rectificador de media onda y un transformador aislador de bajada. Este circuito relativamente simple no ofrece ninguna regulación.

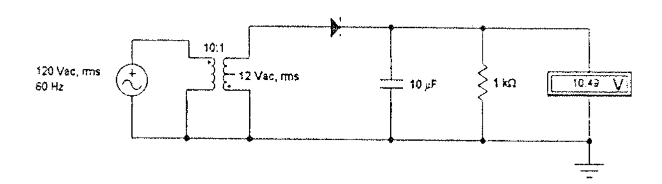


Figura 18.33 Fuente de dc con entrada de transformador.

La figura 18.34 muestra la que probablemente es la mejor fuente estándar de alimentación, con aislamiento y reducción de voltaje por transformador, puente rectificador, filtro doble con bobina y un circuito regulador hecho con un Zener de referencia, un transistor de regulación en derivación y un op-amp con retroalimentación para ayudar a la regulación. Este circuito obviamente proporciona una excelente regulación de voltaje.

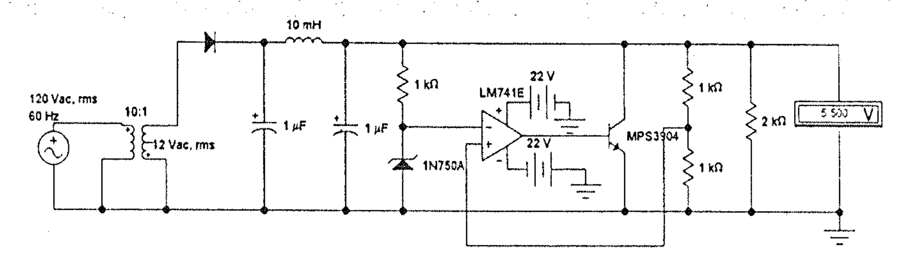


Figura 18.34 Fuente regulada en serie con entrada de transformador y CI regulador.

FUENTE CONMUTADA

Las fuentes actuales de alimentación convierten voltaje ac a dc utilizando un circuito conmutado como el que se muestra en la figura 18.35. La entrada de ac se conecta al circuito median-

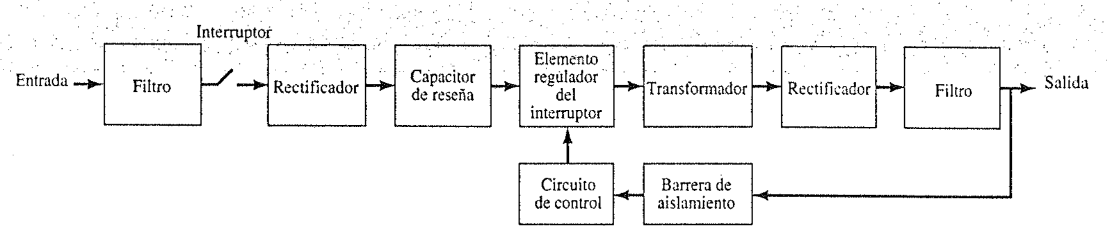


Figura 18.35 Diagrama de bloques de una fuente de alimentación conmutada.

te distintos acondicionadores y filtros de línea, los cuales eliminan cualquier ruido eléctrico. Luego, la entrada se rectifica y se filtra ligeramente. El voltaje alto de de dc se conmuta a una velocidad aproximada de 100 kHz. La velocidad y la duración de la conmutación se controlan mediante un circuito integrado de función especial. Un transformador de aislamiento toroidal acopla el voltaje de conmutado a un circuito de filtrado y rectificación. La salida de la fuente de alimentación se retroalimenta al circuito integrado de control. Al monitorear la salida, el CI puede regular el voltaje de salida. Aunque este tipo de fuente de alimentación es más complicada, cuenta con muchas ventajas sobre las fuentes tradicionales. Éstas son algunas: opera sobre un rango muy amplio de voltajes ac de entrada; opera de forma independiente de la frecuencia de entrada; puede hacerse de tamaño muy pequeño; puede operar sobre un rango muy amplio de consumo de corriente y tiene una baja disipación de calor.

FUENTE ESPECIAL HORIZONTAL DE ALTO VOLTAJE PARA TV

Los aparatos de televisión requieren un voltaje dc muy alto para operar el tubo de televisión (CRT, Tubo de rayos catódicos). En los primeros aparatos de televisión este voltaje lo suministraba un transformador de alto voltaje con capacitores para valores de voltaje muy grandes. El circuito era muy voluminoso, pesado y peligroso. Los televisores utilizan dos frecuencias básicas para barrer la pantalla: 60 Hz (oscilador vertical) y 15 kHz (oscilador horizontal). Mediante el empleo del oscilador horizontal, es posible construir una fuente de dc de alto voltaje. A este circuito se le conoce como *fuente de alimentación flyback* (ver figura 18.36). El bajo voltaje pulsante de dc es la entrada de un pequeño transformador *flyback*, el cual es un autotransformador de elevación. La salida se rectifica y se filtra mediante un capacitor con bajo valor. El transformador *flyback* puede ser pequeño, y el capacitor del filtro puede ser una unidad pequeña con valor bajo, dado que la frecuencia es muy alta. Este tipo de circuito es ligero y muy confiable.

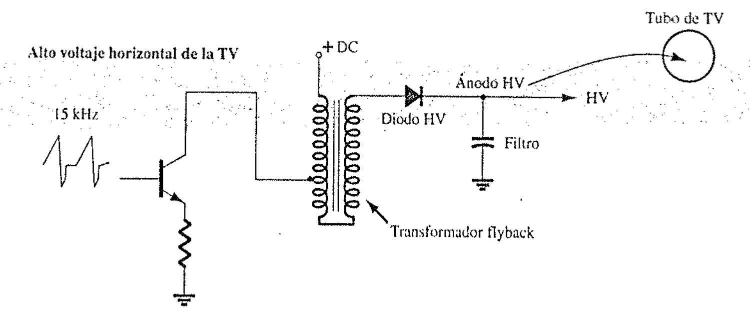
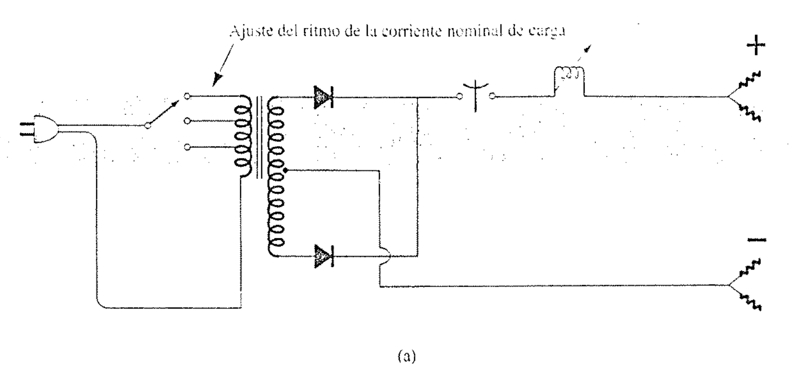


Figura 18.36 Fuente de alimentación horizontal de alto voltaje para TV.

CIRCUITOS CARGADORES DE BATERÍAS

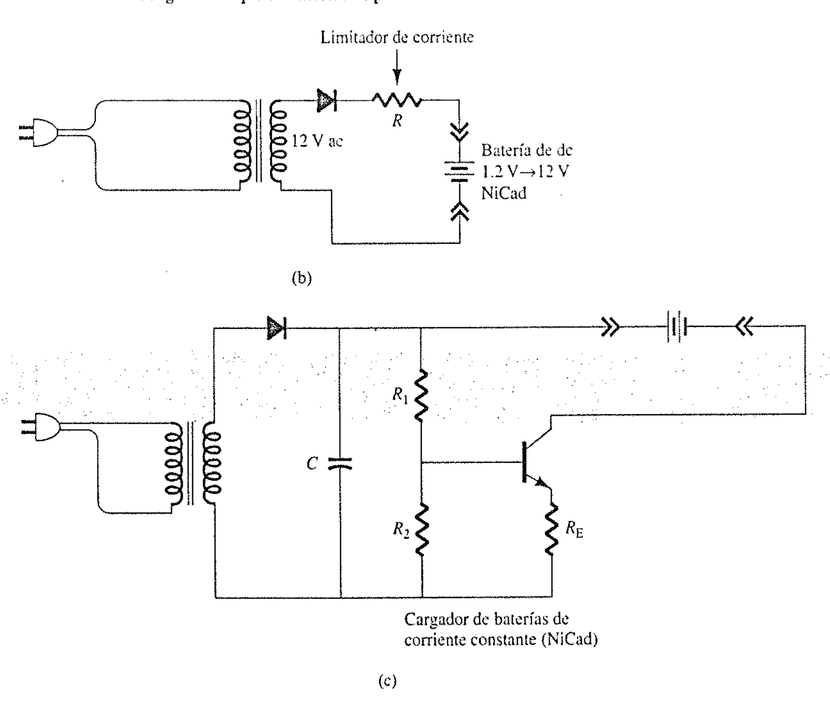
Los circuitos para cargar baterías emplean variaciones de los circuitos de fuente de alimentación mencionados anteriormente. La figura 18.37a muestra lo fundamental de un circuito cargador simple que utiliza un transformador, con un interruptor selector para determinar la corriente nominal de carga proporcionada. Para las baterías NiCad el voltaje que proporciona el cargador debe ser mayor que la batería que se carga. La corriente también debe ser controlada y limitada. La figura 18.37b muestra un circuito típico de carga para una batería de NiCad. Para una batería de plomo-ácido, el voltaje debe controlarse de forma que no se exceda el voltaje nominal de la batería. La corriente de carga la determina la capacidad de la fuente de alimentación, el nivel de potencia de la batería y la cantidad de carga requerida. La figura 18.37c presenta una circuito básico de carga para baterías de plomo-ácido.

Las baterías pueden cargarse mediante el uso de fuentes de dc tradicionales o mediante fuentes conmutadas más elaboradas. El principal problema con la carga de baterías es la determinación del momento en el que la batería se encuentra completamente cargada. Existen muchos circuitos exóticos para verificar el estado de la batería.



(a)

Cargador simple de baterías de plomo ácido



(c)

Figura 18.37 Circuito para carga de batería.

18.8 RESUMEN

Ecuaciones

Rizo:

$$r = \frac{\text{voltaje de rizo (rms)}}{\text{voltaje dc}} = \frac{V_r(\text{rms})}{V_{dc}} \times 100\%$$

Regulación de voltaje:

$$\%\text{R.V.} = \frac{V_{\text{SIN CARGA}} - V_{\text{CARGA COMPLETA}}}{V_{\text{CARGA COMPLETA}}} \times 100\%$$

Rectificador de media onda:

$$V_{dc} = 0.318V_m$$
$$V_r(\text{rms}) = 0.385V_m$$
$$r = \frac{0.385V_m}{0.318V_m} \times 100\% = 121\%$$

Rectificador de onda completa:

$$V_{dc} = 0.636V_m$$
$$V_r(\text{rms}) = 0.308V_m$$
$$r = \frac{0.308V_m}{0.636V_m} \times 100\% = 48\%$$

Filtro de capacitor simple:

$$V_r(\text{rms}) = \frac{I_{dc}}{4\sqrt{3}fC} = \frac{2.4I_{dc}}{C} = \frac{2.4V_{dc}}{R_LC}$$
$$V_{dc} = V_m - \frac{I_{dc}}{4fC} = \frac{4.17I_{dc}}{C}$$
$$r = \frac{V_r(\text{rms})}{V_{dc}} \times 100\% = \frac{2.4I_{dc}}{CV_{dc}} \times 100\% = \frac{2.4}{R_LC} \times 100\%$$

Filtro *RC*:

$$V'_{dc} = \frac{R_L}{R + R_L}V_{dc}$$
$$X_C = \frac{1.3}{C}$$
$$V'_r(\text{rms}) = \frac{X_C}{R}V_r(\text{rms})$$

Regulador en serie con op-amp:

$$V_o = \left(1 + \frac{R_1}{R_2}\right)V_Z$$

18.9 ANÁLISIS POR COMPUTADORA

Programa 18.1: Regulador en serie con op-amp

El circuito regulador en serie con op-amp de la figura 18.16 puede analizarse mediante el Centro de Diseño de PSpice para Windows, el esquema dibujado se obtiene como se indica en la figura 18.38. La configuración del análisis (**Analysis Setup**) se empleó para proporcionar un barrido de voltaje dc de 8 a 15 V con incrementos de 0.5 V. El diodo D_1 ofrece un voltaje Zener de 4.7 V ($V_Z = 4.7$), y para el transistor Q_1 se selecciona una beta = 100. Mediante la ecuación 18.18,

$$V_o = \left(1 + \frac{R_1}{R_2}\right)V_Z = \left(1 + \frac{1\text{ k}\Omega}{1\text{ k}\Omega}\right)4.7\text{ V} = 9.4\text{ V}$$

Observe en la figura 18.38 que el voltaje regulado de salida es 9.25 V cuando la entrada es de 10 V. La figura 18.39 muestra la salida de **PROBE** para el barrido de voltaje dc. Observe también que una vez que la entrada crece por encima de 9 V, la salida se mantiene regulada en cerca de 9.3 V.

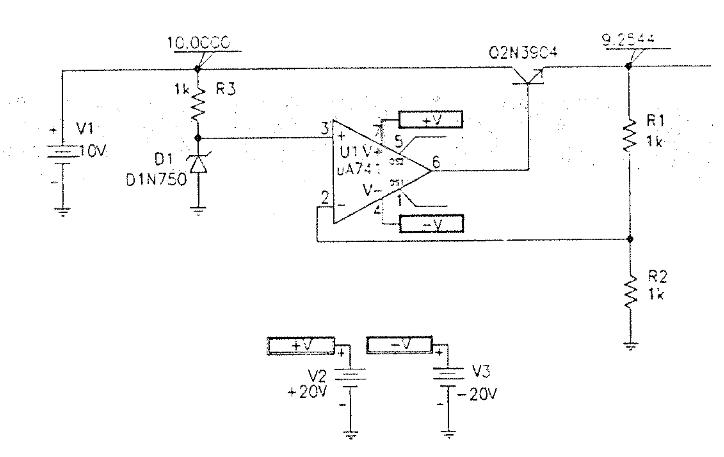


Figura 18.38 Regulador en serie con op-amp dibujado por medio del Centro de Diseño de PSpice.

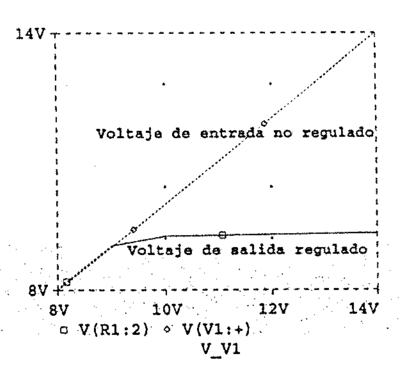


Figura 18.39 Salida de Probe que muestra la regulación de voltaje de la figura 18.38.

Programa 18.2: Regulador de voltaje en derivación que utiliza un op-amp

El circuito regulador de voltaje en derivación de la figura 18.40 se dibujó utilizando el Centro de Diseño de PSpice. Con el voltaje Zener establecido en 4.7 V y la beta del transistor en 100, la salida es igual a 9.255 V cuando la entrada es de 10 V. En la salida de PROBE de la figura 18.41, se muestra el barrido de dc desde 8 V hasta 15 V. El circuito proporciona una adecuada

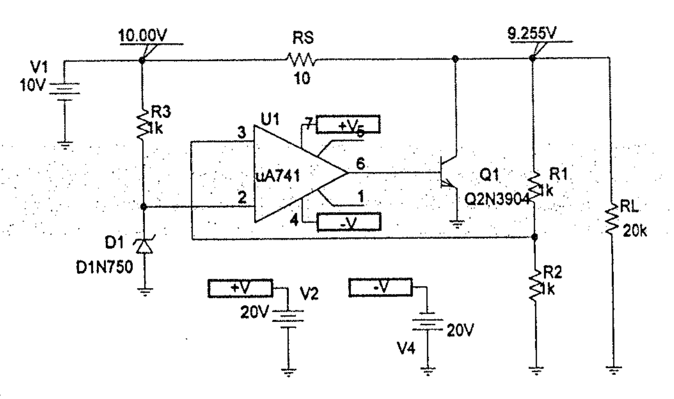
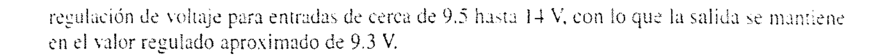


Figura 18.40 Regulador de voltaje en derivación que utiliza un op-amp.



regulación de voltaje para entradas de cerca de 9.5 hasta 14 V, con lo que la salida se mantiene en el valor regulado aproximado de 9.3 V.

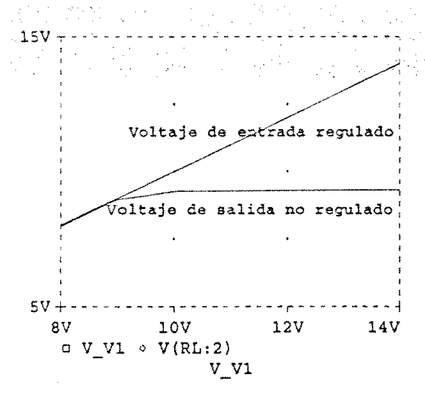


Figura 18.41 Salida de Probe para el barrido de voltaje dc de la figura 18.40.

PROBLEMAS

§ 18.2 Consideraciones generales de los filtros

1. ¿Cuál es el factor de rizo de una señal senoidal que tiene un rizo pico de 2 V sobre un promedio de 50 V?

2. Un circuito filtro proporciona una salida de 28 V sin carga y de 25 V bajo una operación de carga completa. Calcule el porcentaje de regulación de voltaje.

3. Un rectificador de media onda desarrolla 20 V dc. ¿Cuál es el valor del voltaje de rizo?

4. ¿Cuál es el voltaje de rizo rms de un rectificador de onda completa con un voltaje de salida de 8 V dc?

§ 18.3 Filtro de capacitor

5. Un filtro simple de capacitor alimentado por un rectificador de onda completa desarrolla 14.5 V dc a 8.5% del factor de rizo. ¿Cuál será el voltaje de rizo de salida (rms)?

6. Una señal rectificada de onda completa de 18 V pico se alimenta a un filtro de capacitor. ¿Cuál será la regulación de voltaje del filtro si la salida es de 17 V dc a carga completa?

7. Un voltaje rectificado de onda completa de 18 V pico se conecta a un filtro de capacitor de 400 μF. ¿Cuál será el voltaje de rizo y de dc a través del capacitor para una carga de 100 mA?

8. Un rectificador de onda completa que opera con una fuente de ac de 60 Hz, produce un voltaje pico rectificado de 20 V. Si se utiliza un capacitor de 200 μF, calcule el rizo para una carga de 120 mA.

9. Un rectificador de onda completa (que opera con una fuente de 60 Hz) acciona un circuito de filtro de capacitor (C = 100 μF), el cual desarrolla 12 V dc cuando se conecta a una carga de 2.5 kΩ. Calcule el rizo del voltaje de salida.

10. Calcule el tamaño del capacitor de filtro necesario para obtener un voltaje filtrado que tenga un rizo de 15% para una carga de 150 mA. El voltaje rectificado de onda completa es de 24 V dc y la fuente es de 60 Hz.

***11.** Un capacitor de 500 μF ofrece una corriente de carga de 200 mA a un rizo de 8%. Calcule el voltaje rectificado pico obtenido de la fuente de 60 Hz y del voltaje dc a través del capacitor de filtro.

12. Calcule el tamaño del capacitor de filtro necesario para obtener un voltaje filtrado con rizo de 7% a una carga de 200 mA. El voltaje rectificado de onda completa es de 30 V dc, y la fuente es de 60 Hz.

13. Calcule el porcentaje de rizo para el voltaje generado a través del capacitor de filtro de 120 μF cuando proporciona una corriente de carga de 80 mA. El rectificador de onda completa que opera con una fuente de 60 Hz desarrolla un voltaje rectificado pico de 25 V.

§ 18.4 Filtro *RC*

14. Se añade una etapa de filtro *RC* posterior a un filtro de capacitor para reducir el porcentaje de rizo a 2%. Calcule el porcentaje de rizo a la salida de la etapa de filtro *RC* que proporciona 80 V dc.

***15.** Una etapa de filtro *RC* (R = 33 Ω, C = 120 μF) se utiliza para filtrar una señal de 24 V dc con 2 V rms que opera a partir de un rectificador de onda completa. Calcule el porcentaje de rizo a la salida de la sección *RC* para una carga de 100 mA. También calcule el rizo de la señal filtrada aplicada a la etapa *RC*.

***16.** Un filtro simple de capacitor tiene una entrada de 40 V dc. Si este voltaje se alimenta a través de una sección de filtro *RC* (R = 50 Ω, C = 40 μF), ¿cuál será la corriente de carga para una resistencia de carga de 500 Ω?

17. Calcule el voltaje rms de rizo a la salida de una sección de filtro *RC* que alimenta una carga de 1 kΩ cuando la entrada del filtro es de 50 V dc con rizo de 2.5 V rms a partir de un rectificador de onda completa y un filtro capacitor. Los componentes de la sección del filtro *RC* son R = 100 Ω y C = 100 μF.

18. Si el voltaje de salida sin carga del problema 17 es igual a 50 V, calcule la regulación de voltaje porcentual con una carga de 1 kΩ.

§ 18.5 Regulación de voltaje con transistor discreto

***19.** Calcule el voltaje de salida y la corriente del diodo Zener en el circuito regulador de la figura 18.42.

20. ¿Cuál es el voltaje regulado de salida que resultan en el circuito de la figura 18.43?

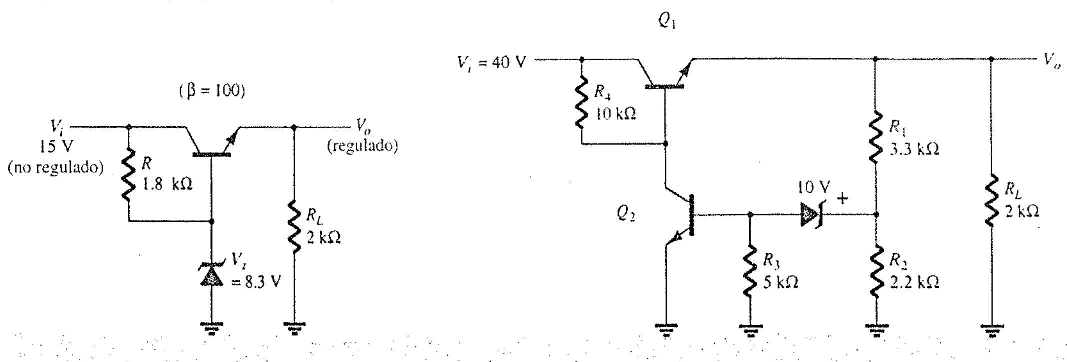


Figura 18.42 Problema 19.

Figura 18.43 Problema 20.

21. Calcule el voltaje de salida regulado en el circuito de la figura 18.44.

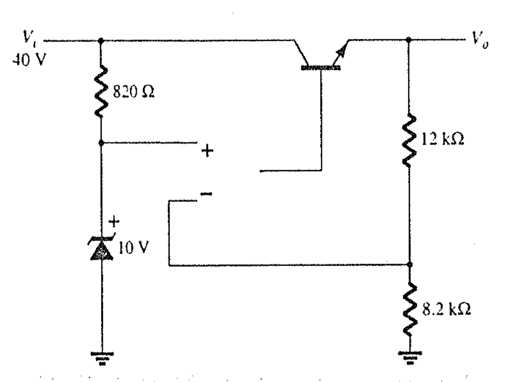


Figura 18.44 Problema 21.

22. Determine el voltaje regulado y las corrientes de circuito para el regulador en paralelo de la figura 18.45.

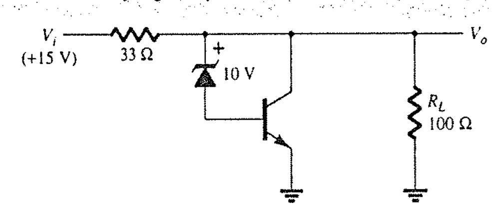


Figura 18.45 Problema 22.

23. Dibuje el circuito de una fuente de voltaje compuesta por un puente rectificador de onda completa, un filtro de capacitor y un regulador de CI para proporcionar una salida de +12 V.

*24. Calcule el voltaje mínimo de entrada de la red del rectificador de onda completa y del capacitor de filtro en la figura 18.46 cuando se conecte a una carga que consume 250 mA.

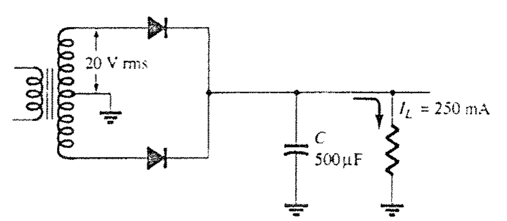


Figura 18.46 Problema 24.

*25. Determine el valor máximo de corriente de carga en el cual se mantiene la regulación para el circuito de la figura 18.47.

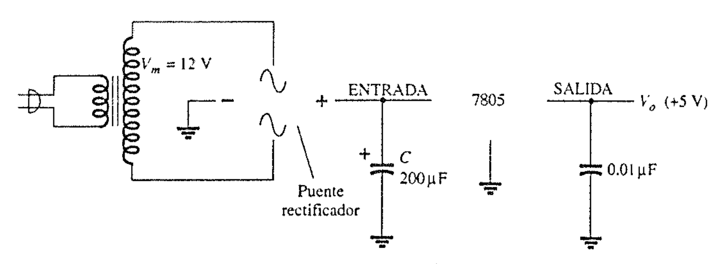


Figura 18.47 Problema 25.

26. Determine el voltaje regulado en el circuito de la figura 18.30 con R_1 = 240 Ω y R_2 = 1.8 kΩ.

27. Determine el voltaje de salida regulado para el circuito de la figura 18.48.

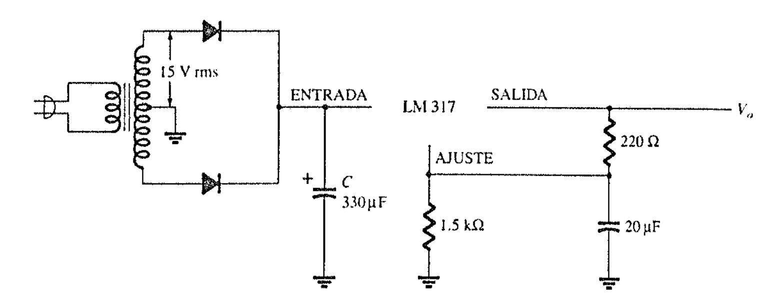


Figura 18.48 Problema 27.

§ 18.9 Análisis por computadora

*28. Modifique el circuito de la figura 18.38 para incluir un resistor de carga R_L. Al mantener el voltaje de entrada fijo en 10 V, efectúe un barrido del resistor de carga desde 100 Ω hasta 20 kΩ, y muestre el voltaje de salida mediante Probe.

*29. Para el circuito de la figura 18.40, realice un barrido que muestre el voltaje de salida para R_L variado desde 5 kΩ hasta 20 kΩ.

*30. Ejecute un análisis de PSpice del circuito de la figura 18.19 con V_Z = 4.7 V, beta (Q_1) = beta (Q_2) = 100, y varíe V_i de 5 V a 20 V.

*Observe: los asteriscos indican problemas con mayor dificultad.

CAPÍTULO

Otros dispositivos de dos terminales

19.1 INTRODUCCIÓN

Existen varios dispositivos de dos terminales que cuentan con una sola unión *p-n* similar al diodo semiconductor o Zener pero con modos de operación, características terminales y áreas de aplicación distintos. En este capítulo se presentarán varios de estos dispositivos, en los que se incluye el diodo Schottky, el diodo túnel, el diodo varactor, el fotodiodo y la celda solar. Además se analizarán dispositivos de dos terminales pero con construcción distinta, como son las celdas fotoconductoras, las pantallas de cristal líquido y el termistor.

19.2 DIODOS DE BARRERA SCHOTTKY (PORTADORES CALIENTES)

En años recientes, se ha presentado un interés creciente en un dispositivo de dos terminales conocido como diodo de *barrera Schottky*, de *barrera de superficie* o de *portadores calientes*. Sus áreas de aplicación se limitaron originalmente al rango de frecuencias muy altas debido a su tiempo de respuesta veloz (especialmente importante en altas frecuencias) y a un bajo factor de ruido (una cantidad de real importancia en aplicaciones de alta frecuencia). Sin embargo, en años recientes, este dispositivo se presenta de manera cada vez más frecuente en fuentes de alimentación de alto y bajo voltajes así como en convertidores ac-dc. Otras áreas de aplicación del dispositivo incluyen a los sistemas de radar, lógica TTL Schottky para computadoras, mezcladores y detectores para equipo de comunicaciones, instrumentación y convertidores analógico-digitales.

Su construcción es muy distinta de la unión *p-n* convencional, en cuanto a que se crea una unión metal-semiconductor como la mostrada en la figura 19.1. El semiconductor empleado es por lo general, silicio de tipo *n* (aunque en ocasiones se utiliza silicio de tipo *p*), mientras que

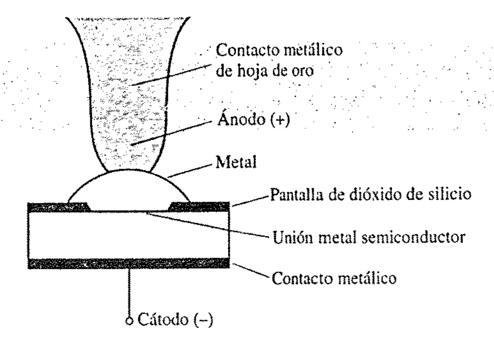


Figura 19.1 Diodo Schottky (portadores calientes) con metal pasivo.

una multitud de distintos metales como el molibdeno, el platino, el cromo o el tungsteno se utilizan. Distintas técnicas de construcción ocasionan distintos conjuntos de características para el dispositivo, como un rango de frecuencias mayor, menor polarización directa, etcétera. Las prioridades no permiten aquí un análisis de cada técnica, pero generalmente esta información es proporcionada por el fabricante. Sin embargo, en general, la construcción de los diodos Schottky da por resultado una región de unión más uniforme y un nivel mayor de robustez.

En ambos materiales, el electrón es el portador mayoritario. En el metal, el nivel de portadores minoritarios (huecos) es insignificante. Cuando los materiales se unen, los electrones en el material semiconductor de silicio de tipo n fluyen de forma inmediata hacia el metal adjunto, con lo que se establece un flujo intenso de portadores mayoritarios. Dado que los portadores inyectados cuentan con un nivel de energía cinética muy alto en comparación con los electrones del metal, se les denomina comúnmente como "portadores calientes". En la unión convencional p-n, se presentaba la inyección de portadores minoritarios hacia la región adjunta. Aquí, los electrones se inyectan hacia una región con la misma densidad de electrones. Por lo tanto, los diodos Schottky son únicos en el sentido de que la conducción se realiza completamente mediante portadores mayoritarios. El intenso flujo de electrones hacia el metal crea una región cercana a la superficie de la unión agotada de portadores en el material de silicio, muy similar a la región de agotamiento en el diodo de unión p-n. Los portadores adicionales en el metal establecen una "barrera negativa" en el metal, localizada en la frontera entre los dos materiales. El resultado neto es una "barrera superficial" entre los dos materiales, que impide cualquier corriente adicional. Es decir, cualquier electrón (cargado negativamente) en el material de silicio enfrentará una región libre de portadores y una "barrera negativa" en la superficie del metal.

En el primer cuadrante de la figura 19.2 se muestra la aplicación de una polarización directa, la cual reducirá la fuerza de la barrera negativa mediante la atracción del potencial positivo aplicado a los electrones provenientes de esta región. El resultado es un retorno al flujo intenso de electrones a través de la frontera, cuya magnitud se controla mediante el nivel del potencial de polarización aplicado. La barrera en la unión para un diodo Schottky es menor que la del dispositivo de unión p-n, tanto para la región de polarización directa como para la inversa. El resultado, por lo tanto, será una corriente mayor para la misma polarización aplicada en las regiones de polarización directa o inversa. Éste es un efecto deseable en la región de polarización directa pero altamente indeseable en la región de polarización inversa.

El incremento exponencial de la corriente en polarización directa se describe mediante la ecuación 1.4 sin embargo, η es dependiente de la técnica de construcción (1.05 para el tipo de construcción tipo bigote de gato, el cual es un tanto similar al diodo de germanio). En la región de polarización inversa, la corriente I_s se debe principalmente a aquellos electrones en el metal que pasan hacia el material semiconductor. Una de las áreas de investigación continua sobre el diodo Schottky se centra en la reducción de las altas corrientes de fuga que resultan con temperaturas cercanas de 100°C. A través del diseño, actualmente es posible encontrar disponibles unidades mejoradas que tienen rangos de operación que van de −65 a +150°C. A temperatura ambiente, I_s se encuentra en el rango de los microamperes para unidades de baja potencia y en el rango de los miliamperes para dispositivos de alta potencia, aunque es comúnmente mayor que el rango encontrado cuando se utilizan dispositivos de unión p-n con los mismos límites de corriente. Además, el PIV (voltaje pico inverso) de los diodos Schottky es por lo general significativamente menor que el de una unidad equivalente con unión p-n. Típicamente, para una unidad de 50 A, el PIV del diodo Schottky sería cercano a 50 V en comparación con los 150 V para la variedad con unión p-n; sin embargo, avances recientes han dado por resultado diodos Schottky con PIV mayores a 100 V para este nivel de corriente. Resulta obvio a partir de las características de la figura 19.2 que el diodo Schottky sea más cercano al conjunto ideal de características que el de punto de contacto y cuente con niveles de V_T menores que para la unión p-n de semiconductor de silicio típico. El nivel de V_T para el diodo de "portadores calientes" se controla en gran medida por el metal empleado. Existe un compromiso entre el rango de temperatura y el nivel de V_T. Un incremento en uno de estos factores parece corresponder a un incremento resultante en el otro. Además, mientras menor sea el rango de niveles de corriente aceptables, menor será el valor de V_T. Para ciertas unidades de bajo nivel, el valor de V_T puede suponerse básicamente como igual a cero sobre una base aproximada. Sin embargo, para el rango medio y alto, el valor de 0.2 V pareciera ser un valor representativo adecuado.

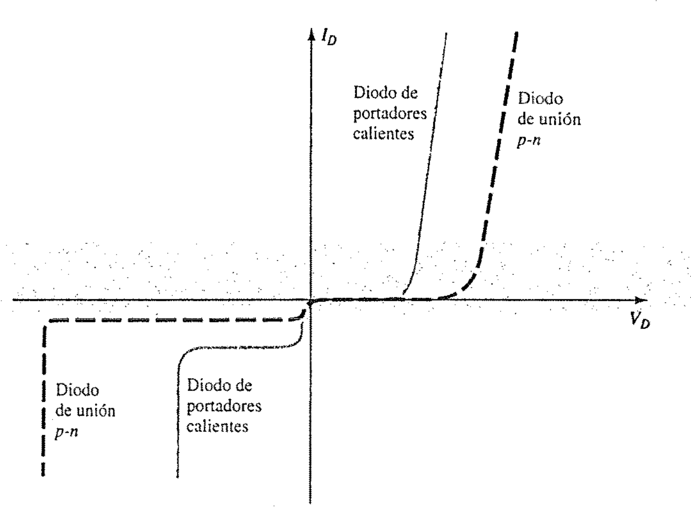


Figura 19.2 Comparación de características entre el diodo de portadores calientes y el de unión p-n.

El valor nominal de corriente máxima del dispositivo actualmente se encuentra limitado a cerca de 75 A, aunque existen en el horizonte unidades de 100 A. Una de las principales áreas de operación de este diodo se encuentra en las *fuentes de alimentación conmutadas* que operan en el rango de frecuencias de 20 kHz o más. Una unidad típica a 25°C puede tener una corriente nominal de 50 A para un voltaje directo de 0.6 V, con un tiempo de recuperación de 10 ns para utilizarse en una de estas fuentes. Un dispositivo de unión p-n con el mismo límite de corriente de 50 A podría tener una caída de voltaje directo de 1.1 V y un tiempo de respuesta de 30 a 50 ns. La diferencia en el voltaje directo podría no parecer significativa, pero considere la diferencia en la disipación de potencia: $P_{\text{portadores calientes}} = (0.6\text{ V})(50\text{ A}) = 30\text{ W}$, comparado con $P_{p\text{-}n} = (1.1\text{ V})(50\text{ A}) = 55\text{ W}$, lo cual es una diferencia importante cuando se debe cumplir con algún criterio de eficiencia. Por supuesto que existirá una disipación mayor en la región de polarización inversa para el diodo Schottky debido a la mayor corriente de fuga, pero la pérdida total de potencia, en las regiones de polarización directa e inversa, sigue siendo significativamente mejor en comparación con el dispositivo de unión p-n.

Recuerde de nuestro análisis del tiempo de recuperación inversa para el diodo semiconductor que los portadores minoritarios inyectados eran los responsables del alto nivel de t_{rr} (el tiempo de recuperación inversa). La ausencia de portadores minoritarios a cualquier nivel apreciable en el diodo Schottky ocasiona un tiempo de recuperación inversa de niveles significativamente más bajos, como se indicó anteriormente. Ésta es la principal razón por la que los diodos Schottky son tan eficaces a frecuencias cercanas a 20 GHz, donde el dispositivo debe conmutar estados a una velocidad muy alta. Para frecuencias mayores el diodo de punto de contacto, con su muy pequeña área de unión, se sigue utilizando.

En la figura 19.3 se presenta el circuito equivalente para el dispositivo (con valores típicos) y el símbolo comúnmente utilizado. Varios fabricantes prefieren utilizar el símbolo estándar del diodo para el dispositivo dado que su función es esencialmente la misma. La inductancia L_P y

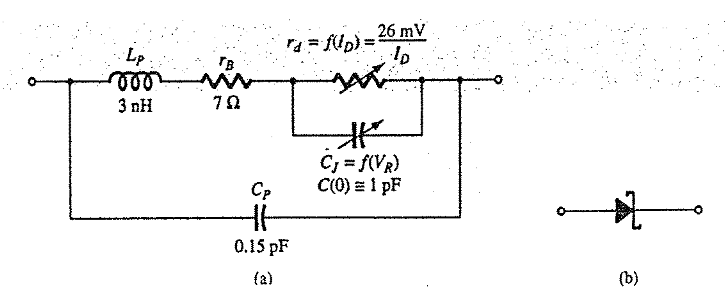


Figura 19.3 Diodo Schottky (portador caliente): (a) circuito equivalente; (b) símbolo.

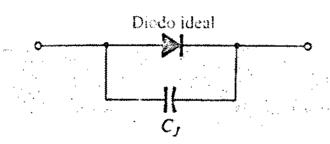


Figura 19.4 Circuito equivalente aproximado para el diodo Schottky.

la capacitancia C_P son valores del encapsulado y r_B es la resistencia en serie, que incluye la resistencia de contacto y de volumen. La resistencia r_J y la capacitancia C_J son los valores definidos por las ecuaciones presentadas en secciones anteriores. Para muchas aplicaciones, un excelente circuito equivalente aproximado simplemente incluye un diodo ideal en paralelo con la capacitancia de unión como se muestra en la figura 19.4.

En la figura 19.5 se presentan varios rectificadores de portadores calientes fabricados por Motorola Semiconductor Products, Inc., junto con sus especificaciones e identificación de terminales. Observe que la caída de voltaje directo máxima V_F no excede de 0.65 V para ninguno de los dispositivos, mientras que para el diodo de silicio ésta era esencialmente V_T.

	I_o, Corriente directa rectificada promedio (amperes)													
	0.5 A	1.0 A		3.0 A		3.0 A	5.0 A	15 A		25 A		40 A		
Encapsulado / Ánodo / Cátodo — V_{RRM} (Volts)	51-02 (DO-7) Vidrio	59-04 Plástico		267 Plástico		60 Metal		257 (DO-4) Metal				257 (DO-5) Metal		430-2 (DO-21) Metal
20	MBR020	IN5817	MBR120P	IN5820	MBR320P	MBR320M	IN5823	IN5826	MBR1520	IN5829	MBR2520	IN5832	MBR4020	MBR4020PF
30	MBR030	IN5818	MBR130P	IN5821	MBR330P	MBR330M	IN5824	IN5827	MBR1530	IN5830	MBR2530	IN5833	MBR4030	MBR4030PF
35			MBR135P		MBR335P	MBR335M			MBR1535		MBR2535		MBR4035	MBR4035PF
40		IN5819	MBR140P	IN5822	MBR340P	MBR340M	IN5825	IN5828	MBR1540	IN5831	MBR2540	IN5834	MBR4040	
I_{FSM} (Amps)	5.0	100	50	250	200	500	500	500	500	800	800	800	800	800
T_C @ I_o especif. (°C)								85	80	85	80	75	70	50
T_J Máx	125°C	125°C	125°C	125°C	125°C	125°C	125°C	125°C	125°C	125°C	125°C	125°C	125°C	125°C
Máx V_F @ $I_{FM} = I_o$	0.50 V	*0.60 V	0.65 V	*0.525 V	0.60 V	0.45 V@5A	*0.38 V	*0.50 V	0.55 V	*0.48 V	0.55 V	*0.59 V	0.63 V	0.63 V

...dispositivos de barrera Schottky, ideales para utilizarlos en fuentes de alimentación de bajo voltaje y alta frecuencia y como diodos de descontrol marcha libre.
Estas unidades presentan voltajes directos muy bajos y tiempos de conmutación estimados en menos de 10 ns. Se ofrecen en rangos de corriente de 0.5 a 5.0 amperes y en voltajes hasta 40.

V_{RRM} –voltaje pico inverso respectivo
I_{FSM} –corriente directa, pico de corriente
I_{FM} –corriente directa, máxima

Figura 19.5 Dispositivos de barrera Schottky de Motorola. (Cortesía de Motorola Semiconductor Products, Incorporated.)

En la figura 19.6 se proporcionan tres conjuntos de curvas para la serie de Hewlett-Packard 5082-2300 de diodos de barrera Schottky de propósito general. Observe que a T = 100°C en la figura 19.6a V_F es de sólo 0.1 V para una corriente de 0.01 mA. Observe también que la corriente inversa se limitó a nanoamperes en la figura 19.6b y que la capacitancia a 1 pF en la figura 19.6c para asegurar una alta velocidad de conmutación.

19.3 DIODOS VARACTORES (VARICAP)

Los diodos varactores [también llamados varicap, VVC (capacitancia variable con el voltaje) o de sintonía] son capacitores de semiconductor variables y dependientes del voltaje. Su modo de operación depende de la capacitancia que existe en la unión *p-n* cuando el elemento se polariza de forma inversa. Bajo condiciones de polarización inversa, se estableció que existe una re-

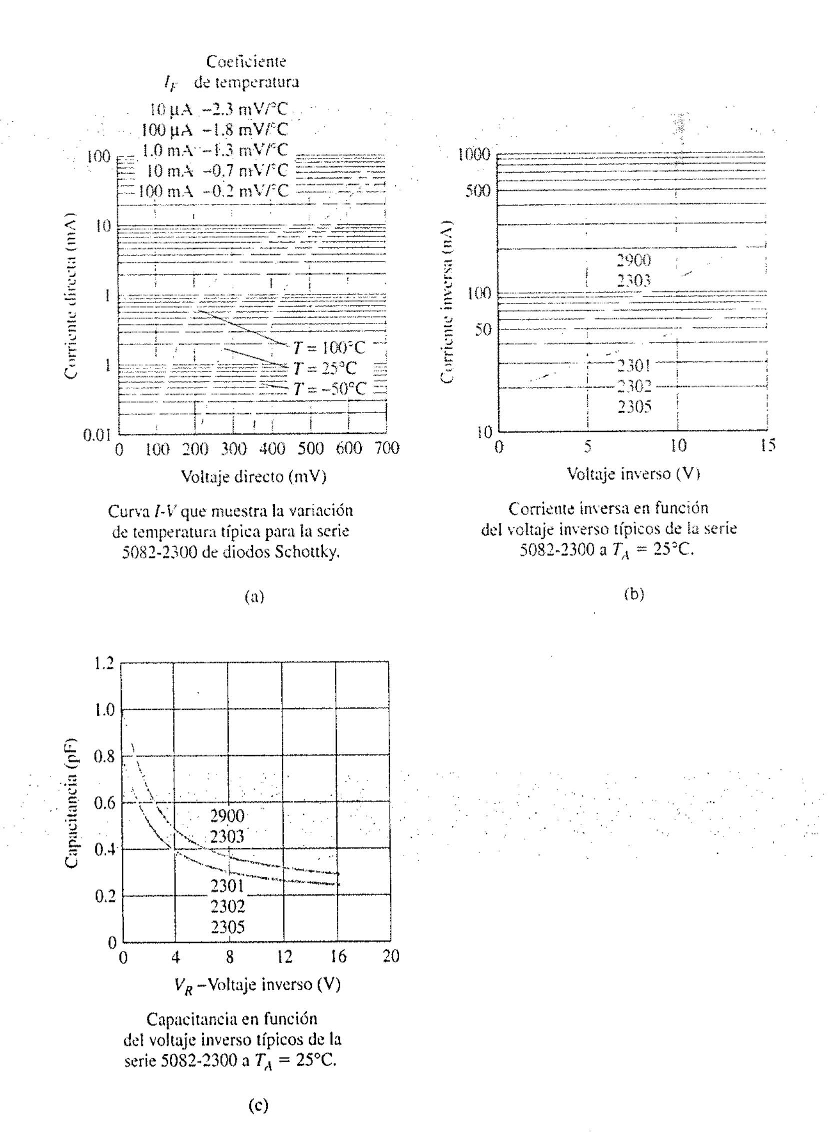


Figura 19.6 Curvas características para la serie Hewlett-Packard 5082-2300 de diodos de barrera Schottky de propósito general. (Cortesía de Hewlett-Packard Corporation).

gión de carga no cubierta sobre ambos lados de la unión, que junto con las regiones forman la región de agotamiento y define el ancho del agotamiento W_d. La capacitancia de transición (C_T) establecida por las cargas aisladas no cubiertas está determinada por

$$C_T = \epsilon \frac{A}{W_d} \tag{19.1}$$

donde ϵ es la permitividad de los materiales semiconductores, A es el área de la unión *p-n* y W_d es el ancho del agotamiento.

Conforme el potencial de polarización inversa se incrementa, el ancho de la región de agotamiento se incrementa, lo que a su vez reduce la capacitancia de transición. En la figura 19.7

se presentan las características de un diodo varicap típico, disponible comercialmente. Observe el declive agudo inicial en C_T con el incremento en la polarización inversa. El rango normal de V_R para los diodos VVC se limita a cerca de 20 V. En términos de la polarización inversa aplicada, la capacitancia de transición está dada de forma aproximada por

$$C_T = \frac{K}{(V_T + V_R)^n} \tag{19.2}$$

donde K = constante determinada por el material semiconductor y la técnica de fabricación
V_T = potencial en punto de inflexión según se definió en la sección 1.6
V_R = magnitud del potencial de polarización inversa aplicado
n = $\frac{1}{2}$ para uniones de aleación y 1/3 para uniones de difusión

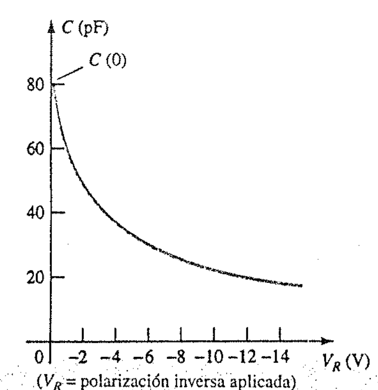


Figura 19.7 Características del varicap: C(pF) en función de V_R.

En términos de la capacitancia en la condición de cero polarización $C(0)$, la capacitancia como una función de V_R está dada por

$$C_T(V_R) = \frac{C(0)}{(1 + |V_R/V_T|)^n} \tag{19.3}$$

En la figura 19.8 se muestran los símbolos que se utilizan con mayor frecuencia para el diodo varicap, así como una primera aproximación a su circuito equivalente en la región de polarización inversa. Dado que nos encontramos en esta región de polarización inversa, la resistencia en el circuito equivalente es muy grande en magnitud (por lo regular de 1 MΩ o mayor), mientras que R_S, la resistencia geométrica del diodo, es, como se señala en la figura 19.8, muy pequeña. La magnitud de C_T variará desde cerca de 2 hasta 100 pF, según el varicap considerado. Para asegurar que R_R es lo más grande posible (para un mínimo de corriente de fuga), se utiliza normalmente silicio en los diodos varicap. El hecho de que el dispositivo se utilizará a frecuencias muy altas requiere que se incluya la inductancia L_S incluso cuando ésta se mide en

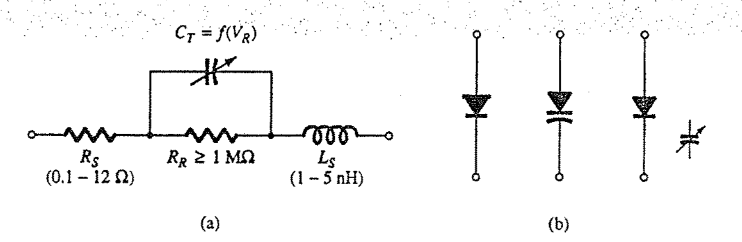
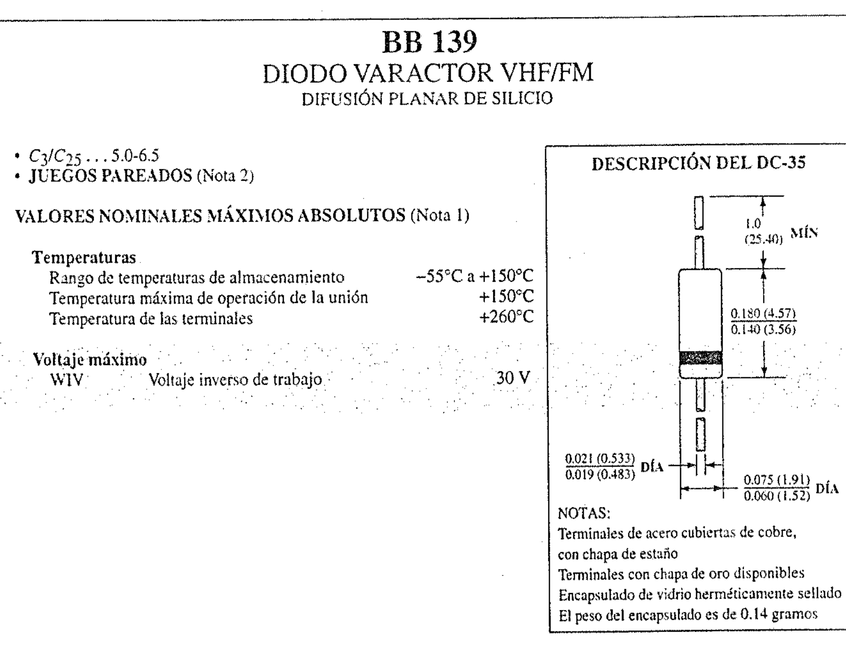


Figura 19.8 Diodo varicap: (a) circuito equivalente en la región de polarización inversa; (b) símbolos.

nanohenries. Recuerde que $X_L = 2\pi fL$ y una frecuencia de 10 GHz con L_S = 1 nH dará por resultado que $X_{L_S} = 2\pi fL = (6.28)(10^{10}\ \text{Hz})(10^{-9}\ \text{F}) = 62.8\ \Omega$. Obviamente existe un límite de frecuencia asociado con el uso de cada diodo varicap.

Al asumir el rango de frecuencia apropiado y un valor bajo para R_S y X_{L_S} en comparación con los otros elementos en serie, entonces el circuito equivalente para el varicap de la figura 19.8a puede reemplazarse sólo por el capacitor variable. La hoja de especificaciones completa y sus curvas características se presentan en las figuras 19.9 y 19.10, respectivamente. La relación C_3/C_{25} en la figura 19.9 es la proporción de los niveles de capacitancia a los potenciales de polarización inversa de 3 y 25 V, ésta proporciona un rápido estimado acerca de qué tanto cambiará la capacitancia con el potencial de polarización inversa. La figura de mérito es una cantidad de consideración en la aplicación del dispositivo y es una medida de la relación de energía almacenada por el dispositivo capacitivo por ciclo a la energía disipada (o perdida) por ciclo. Dado que la pérdida de energía rara vez se considera como un atributo positivo, mientras mayor sea su valor relativo será mejor. La frecuencia resonante del dispositivo se encuentra determinada por $f_o = 1/2\pi\sqrt{LC}$ y afecta el rango de aplicación del dispositivo.



BB 139

DIODO VARACTOR VHF/FM

DIFUSIÓN PLANAR DE SILICIO

- C_3/C_{25} . . . 5.0-6.5
- **JUEGOS PAREADOS** (Nota 2)

VALORES NOMINALES MÁXIMOS ABSOLUTOS (Nota 1)

Temperaturas

Rango de temperaturas de almacenamiento	–55°C a +150°C
Temperatura máxima de operación de la unión	+150°C
Temperatura de las terminales	+260°C

Voltaje máximo

WIV	Voltaje inverso de trabajo	30 V

DESCRIPCIÓN DEL DC-35

NOTAS:
Terminales de acero cubiertas de cobre, con chapa de estaño
Terminales con chapa de oro disponibles
Encapsulado de vidrio herméticamente sellado
El peso del encapsulado es de 0.14 gramos

CARACTERÍSTICAS ELÉCTRICAS (a temperatura ambiente de 25°C, a menos que se indique lo contrario)

SÍMBOLO	CARACTERÍSTICA	MÍN	TÍP	MÁX	UNID	CONDICIONES DE PRUEBA
BV	Voltaje de ruptura	30			V	I_R = 100 μA
I_R	Corriente inversa		10 0.1	50 0.5	nA μA	V_R = 28 V V_R = 28 V, T_A = 60°C
C	Capacitancia	 4.3	29 5.1	 6.0	pF pF	V_R = 3.0 V, f = 1 MHz V_R = 25 V, f = 1 MHz
C_3/C_{25}	Relación de capacitancia	5.0	5.7	6.5		V_R = 3 V/25 V, f = 1 MHz
Q	Factor de mérito		150			V_R = 3.0 V, f = 100 MHz
R_S	Resistencia en serie		0.35		Ω	C = 10 pF, f = 600 MHz
L_S	Inductancia en serie		2.5		nH	1.5 mm del encapsulado
f_O	Frecuencia resonante en serie		1.4		GHz	V_R = 25 V

NOTAS:
1. Estos valores son límites por encima de los cuales la funcionalidad de los diodos se vería deteriorada.
2. La diferencia de capacitancia entre dos diodos cualesquiera dentro de un mismo conjunto es menor a 3% sobre el rango de voltaje inverso de 0.5 a 28 V.

Figura 19.9 Características eléctricas de un diodo varactor VHF/FM de Fairchild. (Cortesía de Fairchild Camera and Instrument Corporation.)

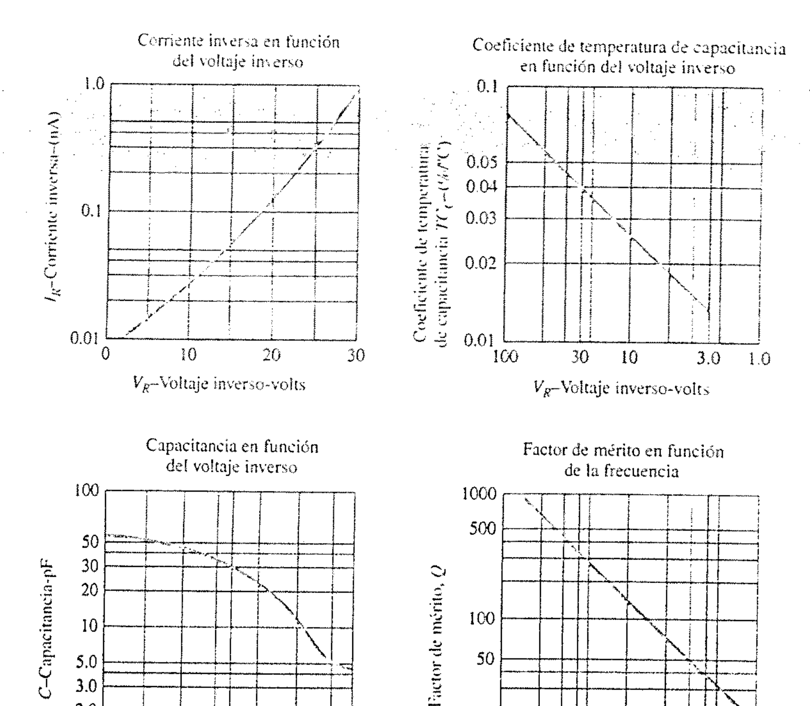


Figura 19.10 Curvas características para un diodo varactor de VHF/FM Fairchild.

En la figura 19.10, la mayoría de las cantidades se explican por sí mismas, sin embargo, el *coeficiente de temperatura de capacitancia* está definido por

$$TC_C = \frac{\Delta C}{C_0(T_1 - T_0)} \times 100\% \qquad \%/°C \qquad (19.4)$$

donde ΔC es el cambio en la capacitancia debido al cambio de temperatura $T_1 - T_0$, y C_0 es la capacitancia a T_0 para un potencial particular de polarización inversa. Por ejemplo, la figura 19.9 indica que $C_0 = 29$ pF con $V_R = 3$ V y $T_0 = 25°C$. Un cambio en la capacitancia ΔC se podría entonces determinar mediante la ecuación 19.4 simplemente al sustituir la nueva temperatura T_1 y el TC_C como lo determina la gráfica (= 0.013). Para un V_R nuevo, el valor de TC_C cambiaría en consecuencia. De regreso a la figura 19.9, observe que la frecuencia máxima que aparece es 600 MHz. A esta frecuencia,

$$X_L = 2\pi fL = (6.28)(600 \times 10^6 \text{ Hz})(2.5 \times 10^{-9} \text{ F}) = 9.42\ \Omega$$

normalmente una cantidad lo suficientemente pequeña para ser ignorada.

Algunas de las áreas de aplicación de alta frecuencia (según la definen los bajos niveles de capacitancia) incluyen moduladores de FM, dispositivos de control automático de frecuencia, filtros pasabandas ajustables y amplificadores paramétricos.

Aplicación

En la figura 19.11 se utiliza el diodo varactor en una red de sintonización. Es decir, la frecuencia resonante de la combinación paralela *L-C* está determinada por $f_p = 1/2\pi\sqrt{L_2C_T'}$ (sistema con Q alto) con el nivel de $C_T' = C_T + C_C$ determinado por el potencial de polarización

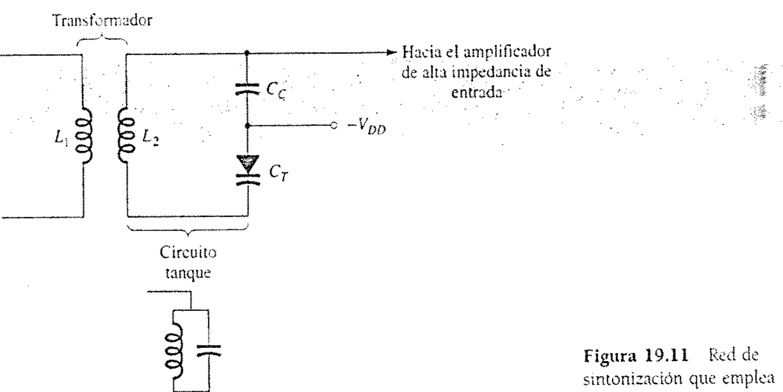


Figura 19.11 Red de sintonización que emplea un diodo varactor.

inversa aplicado V_{DD}. El capacitor de acoplamiento C_C se encuentra presente para proporcionar aislamiento entre el efecto de corto de L_2 y la polarización aplicada. Las frecuencias seleccionadas de la red de sintonización pasan después al amplificador de alta impedancia de entrada para una amplificación posterior.

19.4 DIODOS DE POTENCIA

Existen varios diodos diseñados específicamente para manejar las demandas de alta potencia y alta temperatura de ciertas aplicaciones. El uso más frecuente de los diodos de potencia se presenta en el proceso de rectificación, en el cual, señales de ac (que tienen valor promedio cero) se convierten a señales que tienen un nivel promedio o dc. Como se observó en el capítulo 2 cuando se utilizan en esta aplicación, los diodos normalmente se denominan *rectificadores*.

La mayoría de los diodos de potencia se construyen mediante silicio debido a sus niveles de corriente, temperatura y PIV más altos. Las altas demandas de corriente requieren que el área de unión sea mayor, para asegurar que exista una baja resistencia directa del diodo. Si la resistencia directa fuera demasiado alta, las pérdidas por I^2R serían excesivas. La capacidad de corriente de los diodos de potencia puede incrementarse mediante la colocación de dos o más en paralelo, y el valor de PIV puede incrementarse al agrupar los diodos en serie.

En la figura 19.12a se proporcionan distintos tipos de diodos de potencia junto con su nivel de corriente. Las altas temperaturas resultado de la gran corriente requieren, en muchos ca-

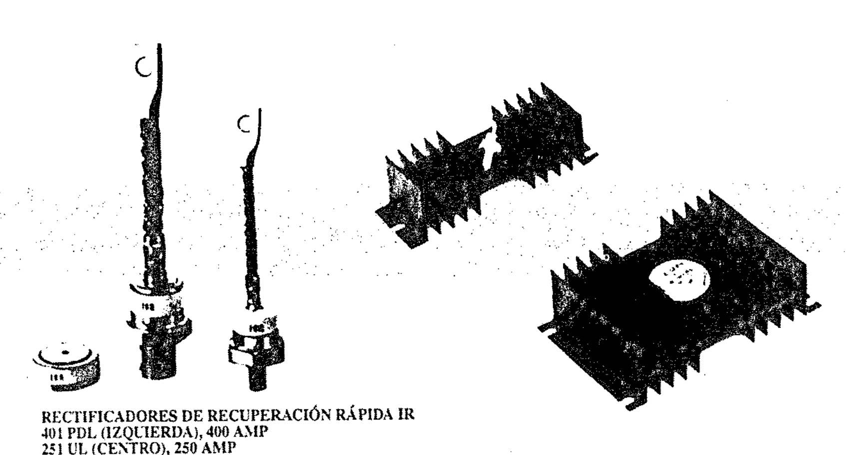


Figura 19.12 Diodos de potencia y disipadores de calor. (Cortesía de International Rectifier Corporation.)

sos, que se utilicen disipadores de calor para eliminar el calor del elemento. Algunos de los muchos tipos de disipadores de calor disponibles se muestran en la figura 19.12b. Si los disipadores de calor no se utilizaran, los diodos de perno están diseñados para conectarse directamente con el chasis, de forma que éste actúe a su vez como el disipador de calor.

19.5 DIODOS TÚNEL

El diodo túnel fue presentado por primera vez por Leo Esaki en 1958; sus características, que se muestran en la figura 19.13, son diferentes a las de cualquier otro diodo analizado hasta ahora en el sentido de que cuenta con una región de resistencia negativa, en la cual, el incremento en el voltaje terminal ocasiona una reducción en la corriente del diodo.

El diodo túnel se fabrica mediante el dopaje de los materiales semiconductores que darán forma a la unión *p-n* a un nivel de cientos o varios miles de veces el nivel de dopaje de un diodo semiconductor típico. Esto ocasiona una región de agotamiento muy reducida, del orden de magnitud de 10^{-6} cm, típicamente cercana a $\frac{1}{100}$ del ancho de esta región para un diodo semiconductor típico. En esta delgada región de agotamiento, los portadores pueden atravesarla como un "túnel" en lugar de intentar superarla, a bajos potenciales de polarización directa que son responsables del pico en la curva de la figura 19.13. Para propósitos de comparación, se sobrepuso una característica típica de un diodo semiconductor sobre la característica del diodo túnel de la figura 19.13.

Esta reducida región de agotamiento da por resultado portadores que "atraviesan perforando" a velocidades que exceden por mucho la de los diodos convencionales. El diodo túnel puede, por tanto, utilizarse en aplicaciones de alta velocidad como en computadoras, donde se buscan tiempos de conmutación en el orden de los nanosegundos o picosegundos.

Recuerde de la sección 1.15 que un incremento en el nivel de dopaje hará caer el potencial Zener. Observe el efecto de un nivel de dopaje muy alto sobre esta región en la figura 19.13. Los materiales semiconductores que se utilizan con mayor frecuencia en la fabricación de los diodos túnel son el germanio y el arseniuro de galio. La relación I_P/I_V es muy importante para aplicaciones de cómputo. Para el caso del germanio, esta relación es por lo regular de 10:1, mientras que para el arseniuro de galio es cercana a 20:1.

La corriente pico I_P, de un diodo túnel puede variar desde unos cuantos microamperes hasta varios cientos de amperes. Sin embargo, el voltaje pico se encuentra limitado a cerca de 600 mV. Por esta causa, un VOM simple con un potencial de batería dc interna de 1.5 V puede dañar severamente un diodo túnel si se aplica de forma inadecuada.

El circuito equivalente del diodo túnel en la región de resistencia negativa se proporciona en la figura 19.14, con los símbolos utilizados con más frecuencia para los diodos túnel. Los valores para cada parámetro son los de un diodo túnel 1N2939 cuyas especificaciones aparecen

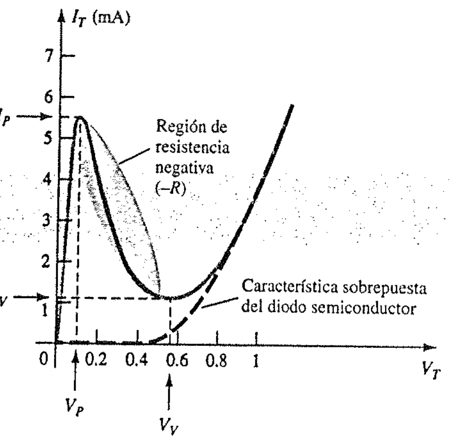
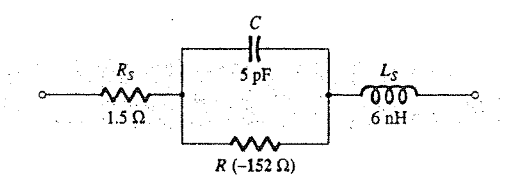


Figura 19.13 Características del diodo túnel.



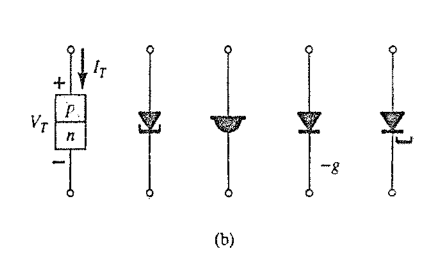


Figura 19.14 Diodo túnel: (a) circuito equivalente; (b) símbolos.

TABLA 19.1 Especificaciones: Ge 1N2939

	Mínimo	*Típico*	*Máximo*
Valores nominales máximos absolutos (25°C)			
Corriente directa (−55 a +100°C)		5 mA	
Corriente inversa (−55 a +100°C)		10 mA	
Características eléctricas (25°C)(terminales de $\frac{1}{8}$ pulgada)			
I_P	0.9	1.0	1.1 mA
I_V		0.1	0.14 mA
V_P	50	60	65 mV
V_V		350	mV
Voltaje inverso (I_R = 1.0 mA)			30 mV
Voltaje de corriente puntual pico directo V_{fp}	450	500	600 mV
I_P/I_V		10	
$-R$		−152	Ω
C		5	15 pF
L_S		6	nH
R_S		1.5	4.0 Ω

en la tabla 19.1. La inductancia L_S se debe principalmente a las terminales. La resistencia R_S se debe a las terminales, el contacto óhmico en la unión terminal-semiconductor y a los propios materiales semiconductores. La capacitancia C es la capacitancia de difusión de la unión y R es la resistencia negativa de la región. La resistencia negativa encuentra aplicación en los osciladores que se describirán posteriormente.

Observe la longitud de $\frac{1}{8}$ pulgada de la terminal incluida en las especificaciones. Un incremento en esta longitud ocasionará que L_S se incremente. De hecho, se especifica para este dispositivo que L_S variará de 1 a 12 nH, según la longitud de la terminal. A frecuencias altas ($X_{L_S} = 2\pi f L_S$) este factor puede tener consecuencias.

El hecho de que V_{fp} = 500 mV (típ.) e $I_{directa}$ (máx.) = 5 mA indica que los diodos túnel son dispositivos de baja potencia [P_D = (0.5 V) (5 mA) = 2.5 mW], lo cual es también excelente para aplicaciones de cómputo. En la figura 19.15 se presenta una ilustración del dispositivo.

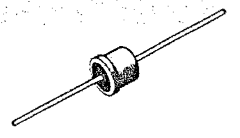


Figura 19.15 Un diodo túnel Ge 1N2939. (Cortesía de Powerex, Inc.)

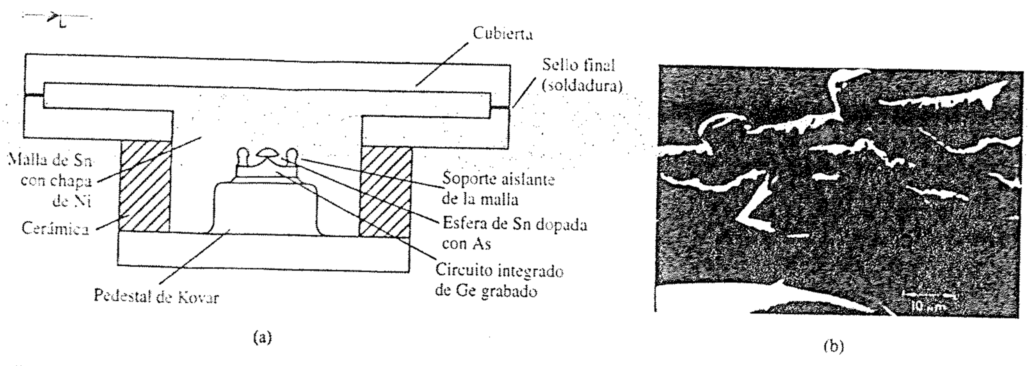


Figura 19.16 Diodo túnel: (a) construcción; (b) fotografía. (Cortesía *COM SAT Technical Review*, P. F. Varadi y T. D. Kirkendall.)

A pesar de que el uso de los diodos túnel en los sistemas actuales de alta frecuencia se ha detenido de forma dramática debido a técnicas de fabricación que sugieren alternativas al diodo túnel, su simplicidad, linealidad, bajo consumo de potencia y confiabilidad, aseguran la continuidad de su vida y aplicación. En la figura 19.16 se presenta la construcción básica de un diodo túnel de diseño avanzado junto con la fotografía de la unión real.

En la figura 19.17, la fuente de voltaje y la resistencia de carga elegidas, definen una recta de carga que intersecta las características del diodo en tres puntos. Tenga presente que la recta de carga es determinada únicamente por la red, y que las características son determinadas por el dispositivo. Las intersecciones en los puntos *a* y *b* se denominan como los puntos de operación *estables*, debido a la característica de resistencia positiva. Es decir, en cualquiera de estos puntos de operación, una ligera perturbación de la red no provocará que la red oscile o que se presente un cambio significativo en la localización del punto *Q*. Por ejemplo, si el punto definido de operación se encuentra en el punto *b*, un ligero incremento en el voltaje suministrado *E* hará que el punto de operación se mueva hacia arriba en la curva debido a que el voltaje a través del diodo se incrementará. Una vez que la perturbación ha terminado, el voltaje a través del diodo y la corriente del diodo asociada regresarán a los niveles definidos por el punto *Q* en *b*. El punto de operación definido por *c* es un punto *inestable* debido a que un ligero cambio en el voltaje o corriente a través del diodo ocasionará que el punto *Q* se desplace ya sea hacia *a* o hacia *b*. Por ejemplo, el ligero incremento en *E* ocasionará que el voltaje a través del diodo túnel se incremente por encima de su nivel en *c*, sin embargo, en esta región un incremento en V_T ocasionará una disminución en I_T y un mayor incremento en V_T, este mayor nivel en V_T causará una disminución continua en I_T, y así sucesivamente. El resultado será un incremento en V_T y un cambio en I_T hasta que se establezca el punto de operación en *b*. A su vez, una ligera caída en el suministro de voltaje provocará una transición hacia el punto de estabilidad en *a*. En otras palabras, el punto *c* puede definirse como el punto de operación mediante la técnica de la recta de carga, pero una vez que el sistema se activa, éste eventualmente se estabilizará en la posición *a* o *b*.

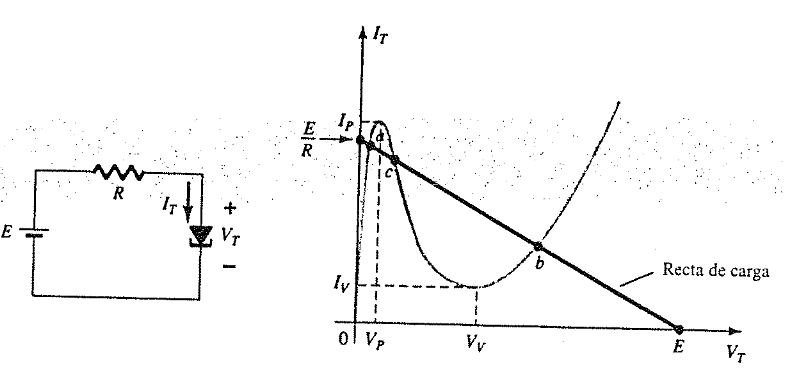


Figura 19.17 Diodo túnel y la recta de carga resultante.

La presencia de una región de resistencia negativa puede aprovecharse en el diseño de osciladores, redes de conmutación, generadores de pulsos y amplificadores.

Aplicaciones

En la figura 19.18a, se construyó un *oscilador de resistencia negativa* mediante un diodo túnel. La selección de los elementos de la red está diseñada para establecer una recta de carga como la que se indica en la figura 19.18b. Observe que la única intersección con las características se encuentra en la región de resistencia negativa inestable, no se define ningún punto estable de operación. Cuando se enciende, el voltaje terminal de la fuente crecerá desde 0 V hasta un valor final de *E* volts. Inicialmente, la corriente I_T se incrementará de 0 mA a I_P, lo que ocasiona un almacenamiento de energía en el inductor en forma de campo magnético. Sin embargo, una vez que I_P se alcanza, las características del diodo sugieren que ahora la corriente I_T debe disminuir ante el incremento del voltaje a través del diodo. Esto representa una contradicción con el hecho de que

$$E = I_T R + I_T(-R_T)$$

y

$$E = \underbrace{I_T}_{\text{menor}}\underbrace{(R - R_T)}_{\text{menor}}$$

Si ambos elementos de la ecuación anterior disminuyeran, resultaría imposible para la fuente de alimentación alcanzar su valor establecido. Por tanto, para que la corriente I_T continúe creciendo, el punto de operación debe desplazarse del punto 1 al punto 2. Sin embargo, en el punto 2, el voltaje V_T ha saltado hacia un valor mayor que el voltaje aplicado (el punto 2 se

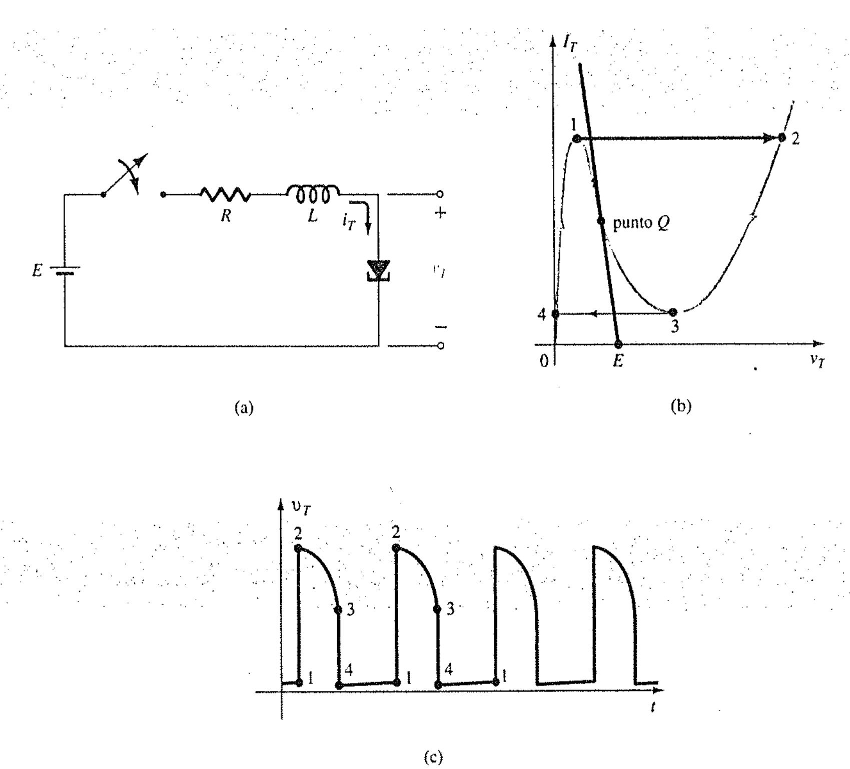


Figura 19.18 Oscilador de resistencia negativa.

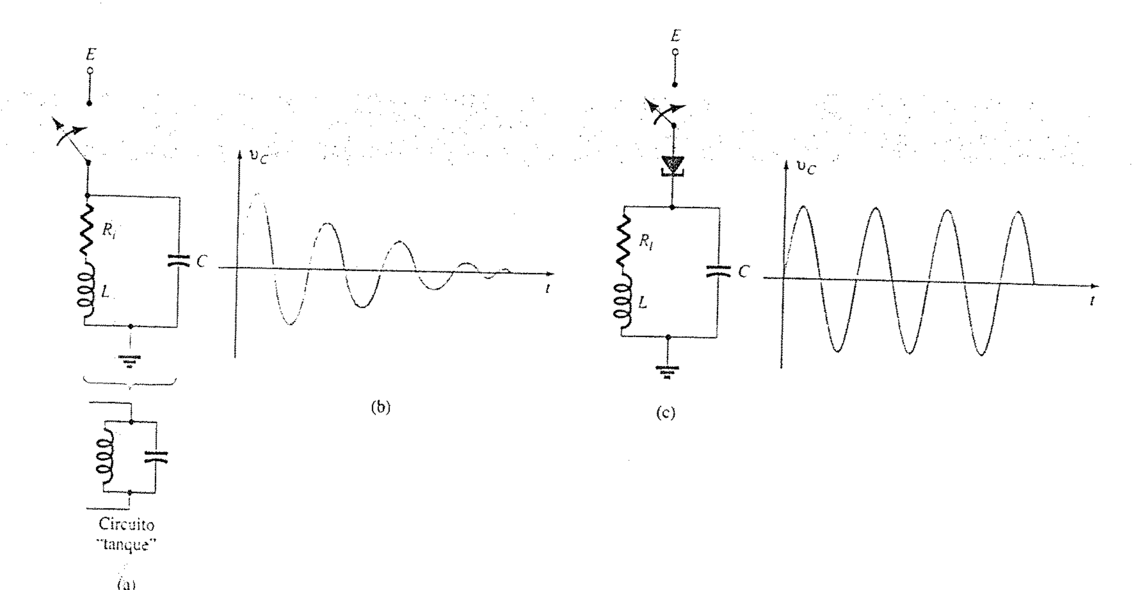


Figura 19.19 Oscilador senoidal.

encuentra a la derecha de cualquier punto en la recta de carga de la red). Para satisfacer la ley de voltaje de Kirchhoff, la polaridad del voltaje transitorio a través de la bobina debe invertirse y la corriente debe comenzar a disminuir como se aprecia del punto 2 al 3 sobre las características. Cuando V_T cae hasta V_V, las características sugieren que la corriente I_T comenzará a incrementarse nuevamente. Esto no es aceptable dado que V_T sigue siendo mayor que el voltaje aplicado y la bobina se encuentra descargando a través del circuito en serie. El punto de operación debe desplazarse hacia el punto 4 para permitir que siga disminuyendo I_T. Sin embargo, una vez en el punto 4, los niveles de potencial son tales que la corriente de túnel puede nuevamente incrementarse desde 0 mA hasta I_P como se muestra en las características. El proceso se repetirá a sí mismo una y otra vez, sin asentarse nunca en el punto de operación definido para la región inestable. El voltaje resultante a través del diodo túnel se muestra en la figura 19.18c y continuará siempre que la fuente de dc se encuentre encendida. El resultado será una salida oscilatoria establecida por una alimentación fija y un dispositivo con una característica de resistencia negativa. La forma de onda de la figura 19.18c posee una aplicación amplia en los circuitos temporizadores y de lógica computacional.

Es posible también utilizar un diodo túnel para generar un voltaje senoidal simplemente mediante una fuente de dc y algunos elementos pasivos. En la figura 19.19a, al cerrar el interruptor se ocasionará un voltaje senoidal que disminuirá en amplitud con el tiempo. Según los elementos empleados, el periodo puede ir desde uno instantáneo hasta otro cuantificable en minutos, por medio de valores típicos de los parámetros. Este *amortiguamiento* de la salida oscilatoria con el tiempo, se debe a las características de disipación de los elementos resistivos. Al colocar un diodo túnel en serie con el circuito tanque como se muestra en la figura 19.19c, la resistencia negativa del diodo túnel compensará las características resistivas del circuito tanque, lo que ocasionará la respuesta *sin amortiguamiento* que aparece en la misma figura. El diseño debe continuar para dar como resultado una recta de carga que intersectará las características únicamente en la región de resistencia negativa. Desde otro punto de vista, el generador senoidal de la figura 19.19 es simplemente una extensión del oscilador de pulsos de la figura 19.18, con la adición del capacitor para permitir un intercambio de energía entre el inductor y el capacitor durante las distintas fases del ciclo presentado en la figura 19.18b.

19.6 FOTODIODOS

El interés en dispositivos sensibles a la luz se ha incrementado de manera casi exponencial en años recientes. El campo resultante de la *optoelectrónica* recibirá un gran interés por parte de investigadores a medida que se realicen esfuerzos para mejorar los niveles de eficiencia. A través de los medios publicitarios, las personas se han vuelto conscientes de que las fuentes luminosas ofrecen una fuente de energía única, la cual, transmitida como paquetes discretos llamados *fotones*, posee un nivel directamente relacionado a la frecuencia de la onda de luz según lo determina la ecuación siguiente:

$$\boxed{W = hf} \quad \text{joules} \tag{19.5}$$

donde h es la llamada constante de Planck y es igual a 6.624×10^{-34} joules-segundo. Claramente establece que dado que h es una constante, la energía asociada con las ondas de luz incidentales se encuentra directamente relacionada con la frecuencia de la onda.

La frecuencia a su vez, se encuentra directamente relacionada con la longitud de onda (la distancia entre los picos sucesivos) de la onda mediante la siguiente ecuación:

$$\boxed{\lambda = \frac{v}{f}} \tag{19.6}$$

donde λ = longitud de onda, en metros
v = velocidad de la luz, 3×10^8 m/s
f = frecuencia de la onda, en hertz

La longitud de onda por lo general se mide en unidades ángstrom (Å) o en micrómetros (μm), donde

$$1\ \text{Å} = 10^{-10}\ \text{m} \qquad \text{y} \qquad 1\ \mu\text{m} = 10^{-6}\ \text{m}$$

La longitud de onda es importante porque determinará el material que se utilizará en el dispositivo optoelectrónico. La respuesta espectral relativa del Ge, Si y selenio se señala en la figura 19.20. El espectro de luz visible se ha incluido también junto con una indicación de la longitud de onda asociada con los distintos colores.

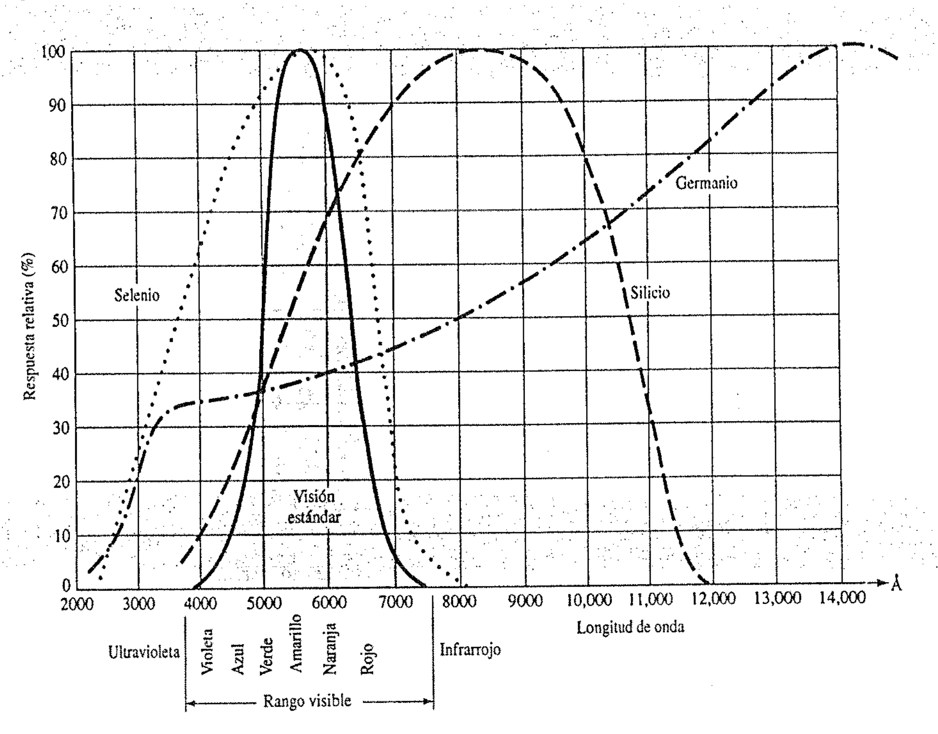
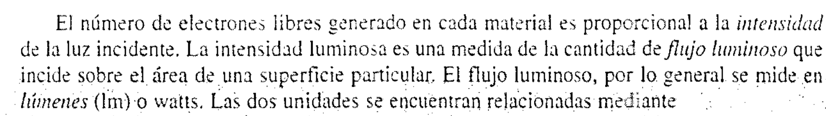


Figura 19.20 Respuesta espectral relativa para el Si, Ge y selenio en comparación con el ojo humano.



El número de electrones libres generado en cada material es proporcional a la *intensidad* de la luz incidente. La intensidad luminosa es una medida de la cantidad de *flujo luminoso* que incide sobre el área de una superficie particular. El flujo luminoso, por lo general se mide en *lúmenes* (lm) o watts. Las dos unidades se encuentran relacionadas mediante

$$1 \text{ lm} = 1.496 \times 10^{-10} \text{ W}$$

La intensidad luminosa normalmente se mide en lm/ft², pies candela (fc) o W/m², donde

$$1 \text{ lm/ft}^2 = 1 \text{ fc} = 1.609 \times 10^{-9} \text{ W/m}^2$$

El fotodiodo es un dispositivo semiconductor de unión *p-n* cuya región de operación se limita a la región de polarización inversa. El arreglo básico de polarización, la construcción y el símbolo de este dispositivo se muestran en la figura 19.21.

Recuerde del capítulo 1 que la corriente de saturación inversa se encuentra normalmente limitada a unos cuantos microamperes. Esto se debe únicamente a los portadores minoritarios térmicamente generados en los materiales de tipo *n* y de tipo *p*. La aplicación de luz a la unión ocasionará una transferencia de energía de las ondas de luz incidentes (en forma de fotones) hacia la estructura atómica, lo que ocasionará un incremento en el número de portadores minoritarios y un nivel mayor de corriente inversa. Esto se muestra de forma clara en la figura 19.22 para distintos niveles de intensidad. La corriente *de oscuridad* es la corriente que se presentará sin iluminación aplicada. Observe que la corriente solamente regresará a cero con una polarización aplicada positiva igual a V_T. Además, la figura 19.21 demuestra el uso de un lente para concentrar la luz sobre la región de unión. En la figura 19.23 se presentan fotodiodos comercialmente disponibles.

Figura 19.21 Fotodiodo: (a) arreglo básico de polarización y construcción; (b) símbolo.

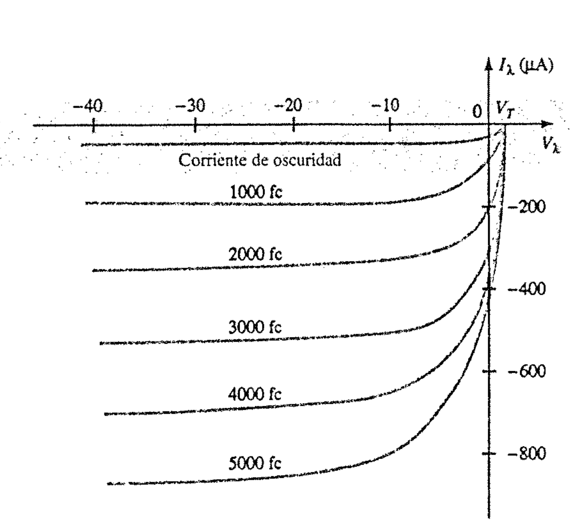


Figura 19.22 Características del fotodiodo.

El espaciamiento casi igual entre las curvas para el mismo incremento en el flujo luminoso revela que la corriente inversa y el flujo luminoso se encuentran relacionados prácticamente de forma lineal. En otras palabras, un incremento en la intensidad luminosa ocasionará un incremento similar en la corriente inversa. En la figura 19.24 se presenta una gráfica de las dos para mostrar esta relación lineal para un voltaje fijo V_λ de 20 V. Con base relativa, podemos asumir que la corriente inversa es esencialmente igual a cero en ausencia de la luz incidente. Dado que los tiempos de subida y bajada (los parámetros de cambio de estado) son muy pequeños para este dispositivo (en el rango de los nanosegundos), el dispositivo puede emplearse para aplicaciones de conteo o conmutación de alta velocidad. De vuelta a la figura 19.20, observamos que el Ge abarca un espectro más amplio de longitudes de onda que el Si. Esto lo vuelve adecuado para luz incidente en la región infrarroja que proporcionan las fuentes luminosas de láser e IR (infrarrojas), que en breve se describirán. Por supuesto, el Ge tiene una mayor corriente de oscuridad que el silicio, pero también tiene un mayor nivel de corriente inversa. El nivel de corriente generado por la luz incidente sobre un fotodiodo es tal que no es posible utilizarla como un control directo, pero puede amplificarse para este propósito.

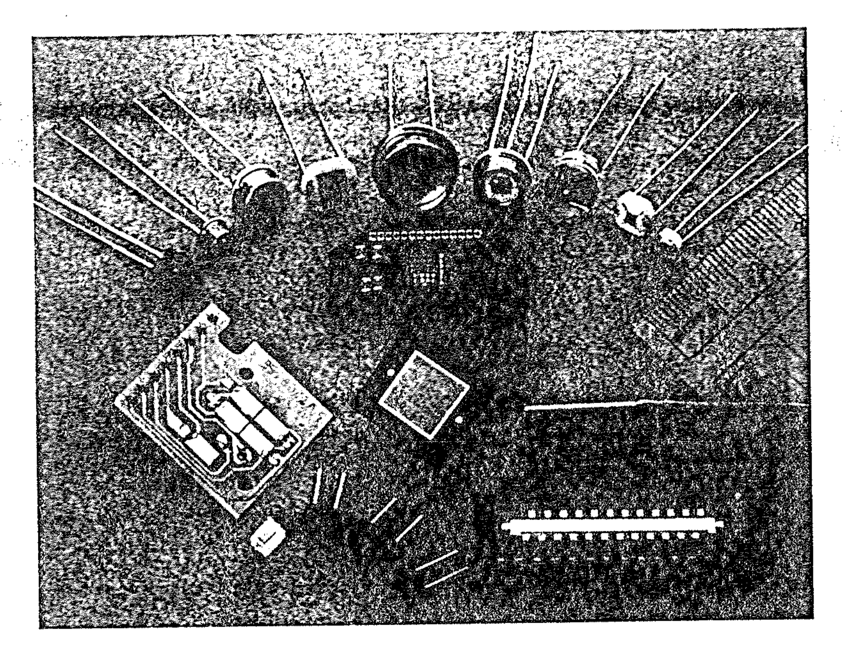


Figura 19.23 Fotodiodos. (Cortesía de EG&G VACTEC, Inc.)

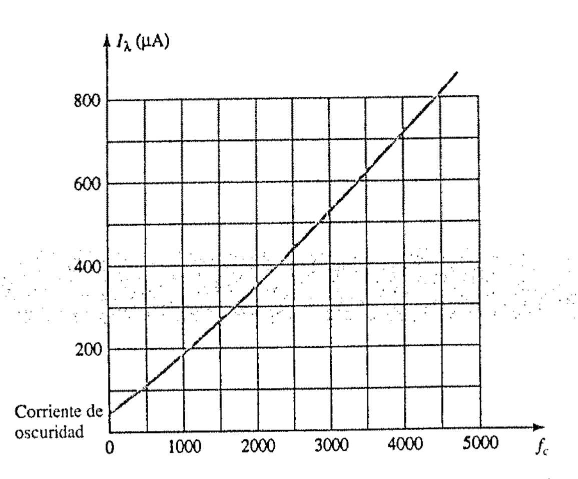
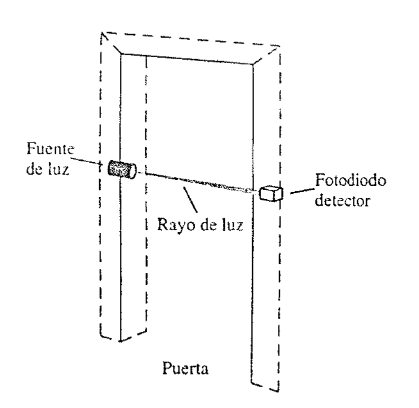


Figura 19.24 I_λ (μA) en función de f_C (cuando V_λ = 20 V) para el fotodiodo de la figura 19.22.

Aplicaciones

En la figura 19.25, el fotodiodo se utiliza en un sistema de alarma. La corriente inversa I_λ permanecerá fluyendo siempre que el rayo de luz no se interrumpa. Si esto sucede, I_λ caerá al nivel de corriente de oscuridad y la alarma se activará. En la figura 19.26, se utiliza un fotodiodo para contar elementos sobre una banda transportadora. A medida que cada elemento cruza el rayo de luz, I_λ cae al nivel de corriente de oscuridad y el contador se incrementa en uno.



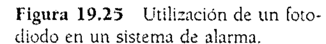


Figura 19.25 Utilización de un fotodiodo en un sistema de alarma.

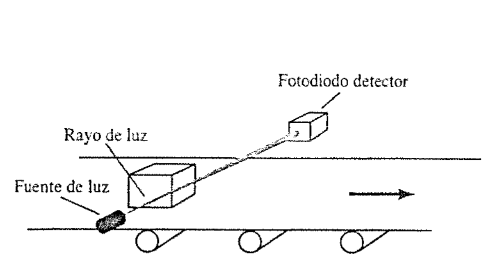


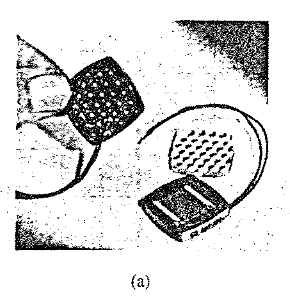
Figura 19.26 Utilización de un fotodiodo en una operación de conteo.

19.7 CELDAS FOTOCONDUCTORAS

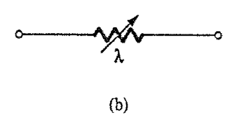
La celda fotoconductora es un dispositivo semiconductor de dos terminales cuya resistencia terminal varía (de forma lineal) con la intensidad de la luz incidente. Por obvias razones, frecuentemente se le denomina como *dispositivo fotoresistivo*. En la figura 19.27 se muestra una celda fotoconductora típica y el símbolo gráfico más utilizado para este dispositivo.

Los materiales fotoconductores que con mayor frecuencia se utilizan incluyen al sulfuro de cadmio (CdS) y al seleniuro de cadmio (CdSe). La respuesta espectral pico del CdS ocurre aproximadamente a 5100 Å, y para el CdSe a 6150 Å (observe la figura 19.20). El tiempo de respuesta de las unidades de CdS es de cerca de 100 ms y de 10 ms para las celdas de CdSe. La celda fotoconductora no posee una unión como el fotodiodo. Una capa delgada de material conectado entre las terminales simplemente se expone a la energía luminosa incidente.

A medida que la iluminación sobre el dispositivo se incrementa en intensidad, el estado de energía de un gran número de electrones en la estructura, también se incrementará como consecuencia de la mayor disponibilidad de los paquetes de energía de los fotones. El resultado es un número creciente de electrones relativamente "libres" en la estructura y una disminución en la resistencia terminal. En la figura 19.28 se presenta la curva de sensibilidad para un dispositivo fotoconductor típico. Observe la linealidad (cuando se grafica mediante una escala log-log) de la curva resultante y el gran cambio en la resistencia (100 kΩ → 100 Ω) para el cambio indicado en iluminación.



(a)



(b)

Figura 19.27 Celda fotoconductora: (a) apariencia; (b) símbolo. [(a) Cortesía de International Rectifier Corporation.]

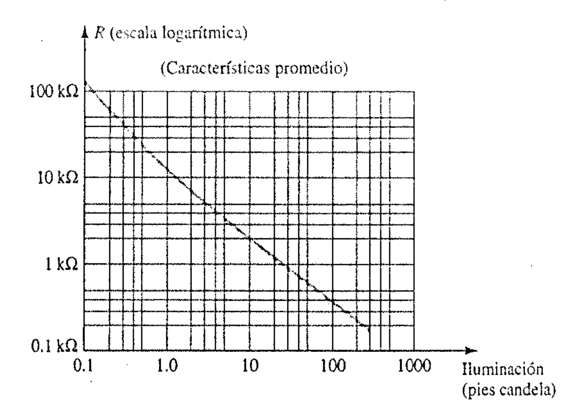
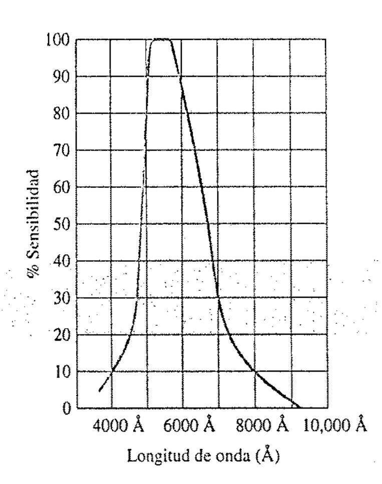


Figura 19.28 Características terminales de la celda fotoconductora (GE tipo B425).

En un esfuerzo por demostrar la riqueza del material disponible de cada dispositivo por parte de los fabricantes, considere la celda fotoconductora de CdS (sulfuro de cadmio) descrita en la figura 19.29. Observe nuevamente lo relativo a la temperatura y al tiempo de respuesta.



Variación de la conductancia con la temperatura y la luz

Pies candelas	*0.01*	*0.1*	*1.0*	*10*	*100*
Temperatura			*% conductancia*		
−25°C	103	104	104	102	106
0	98	102	102	100	103
25°C	100	100	100	100	100
50°C	98	102	103	104	99
75°C	90	106	108	109	104

Tiempo de respuesta en función de la luz

Pies candelas	*0.01*	*0.1*	*1.0*	*10*	*100*
Elevación (segundos)	0.5	0.095	0.022	0.005	0.002
Caída (segundos)	0.125	0.021	0.005	0.002	0.001

Figura 19.29 Características de una celda fotoconductora Clairex de CdS. (Cortesía de Clairex Electronics.)

Aplicación

Una aplicación un tanto simple pero interesante de este dispositivo, se muestra en la figura 19.30. El propósito del sistema es mantener a V_o en un nivel fijo incluso cuando V_i pueda variar de su nivel establecido. Como se indica en la figura, la celda fotoconductora, el foco y el resistor forman parte de este sistema regulador de voltaje. Si V_i cayera en magnitud por cualquier motivo, la intensidad del foco también disminuiría. La disminución de iluminación ocasionaría un incremento en la resistencia (R_λ) de la celda fotoconductora para mantener V_o en su nivel establecido según lo determina la regla del divisor de voltaje, es decir,

$$V_o = \frac{R_\lambda V_i}{R_\lambda + R_1} \tag{19.7}$$

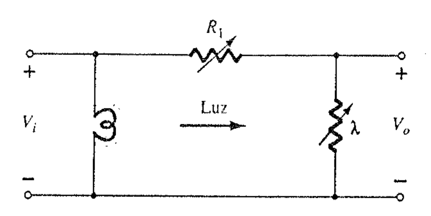


Figura 19.30 Regulador de voltaje que utiliza una celda fotoconductora.

19.8 EMISORES IR (INFRARROJOS)

Los diodos emisores de luz infrarroja son dispositivos de arseniuro de galio de estado sólido que emiten un rayo de flujo radiante cuando se polarizan directamente. La construcción básica del dispositivo se muestra en la figura 19.31. Cuando la unión se encuentra en polarización directa, los electrones de la región *n* se recombinarán con el exceso de huecos del material *p* en una región de recombinación especialmente diseñada intercalada entre los materiales de tipo *p* y *n*. Durante este proceso de recombinación, se irradia energía del dispositivo en forma de fotones. Los fotones generados se reabsorberán en la estructura o abandonarán la superficie del dispositivo en forma de energía radiante, como se ejemplifica en la figura 19.31.

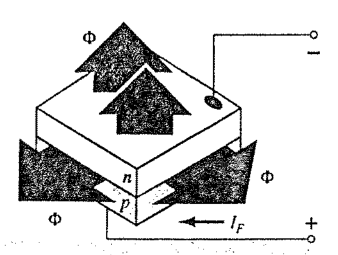


Figura 19.31 Estructura general de un diodo semiconductor emisor de IR. (Cortesía de RCA Solid State Division.)

En la figura 19.32 se presenta el flujo radiante en mW en función de la corriente directa de dc para un dispositivo típico. Observe la relación casi lineal entre los dos. En la figura 19.33 se proporciona un interesante patrón para tales dispositivos. Observe el patrón tan angosto para los dispositivos con un sistema interno de colimación. En la figura 19.34 se muestra uno de estos dispositivos, con su construcción interna y su símbolo gráfico. Algunas de las áreas de aplicación para tales dispositivos incluyen lectoras de tarjetas y de cinta de papel, codificadores de rayos, sistemas de transmisión de datos y alarmas de seguridad.

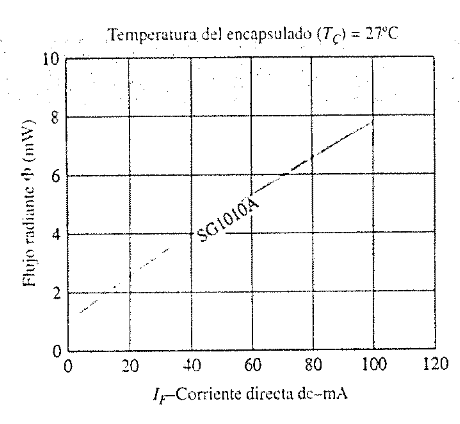


Figura 19.32 Flujo radiante típico en función de la corriente directa de dc para un diodo emisor de IR. (Cortesía de RCA Solid State Division.)

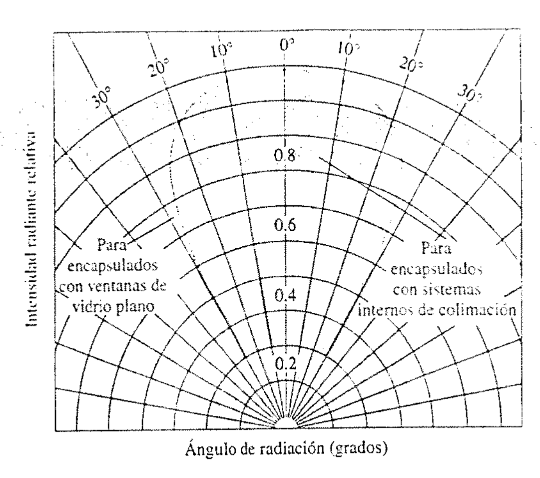
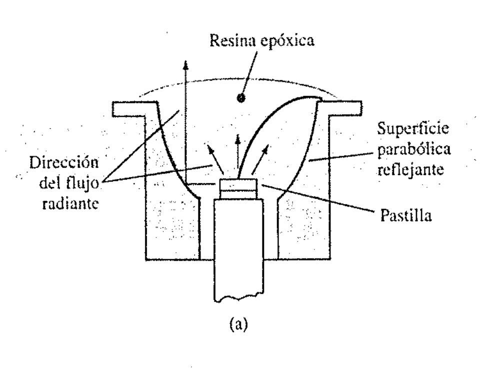
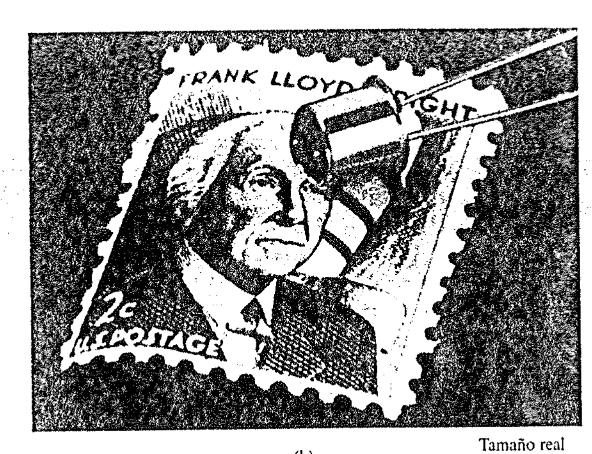


Figura 19.33 Patrones típicos de intensidad radiante para diodos emisores IR de RCA. (Cortesía de RCA Solid State Division.)





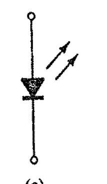


Figura 19.34 Diodo emisor IR de RCA: (a) construcción; (b) fotografía; (c) símbolo. (Cortesía de RCA Solid State Division.)

19.9 PANTALLAS DE CRISTAL LÍQUIDO

Las pantallas de cristal líquido (LCD) presentan la ventaja distintiva de contar con un requerimiento de potencia menor que el LED, el cual se encuentra en el orden de los microwatts para la pantalla, en comparación con el orden de miliwatts para el LED. Sin embargo, la pantalla requiere una fuente de luz interna o externa, y se encuentra limitada a un rango de temperatura de cerca de 0° hasta 60°C. El tiempo de vida es otra área de consideración debido a que las LCDs pueden degradarse químicamente. Los tipos de LCD que reciben el mayor interés actualmente son las unidades de efecto de campo y de dispersión dinámica. Cada una de estas unidades se cubrirá con cierto detalle en esta sección.

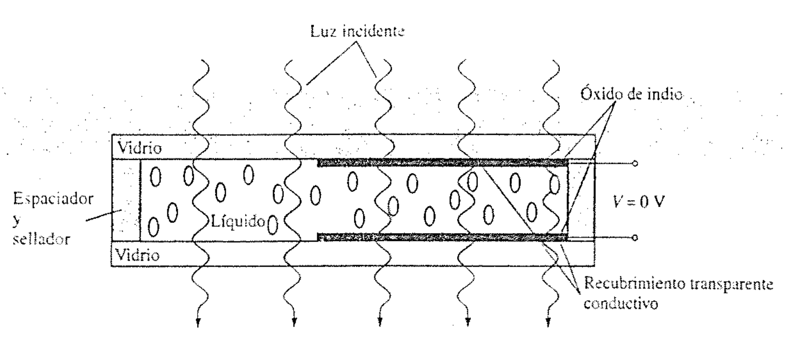


Figura 19.35 Cristal líquido nemático sin polarización aplicada.

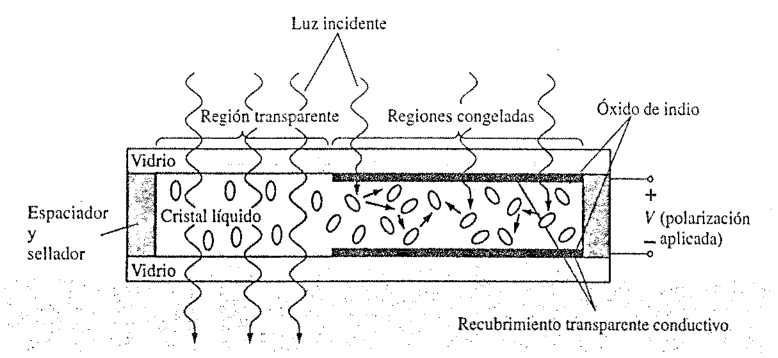


Figura 19.36 Cristal líquido nemático con polarización aplicada.

Un cristal líquido es un material (orgánico para el caso del LCD) que fluye como un líquido pero cuya estructura molecular posee ciertas propiedades normalmente asociadas con los sólidos. Para las unidades de dispersión de luz, el mayor interés está en el *cristal líquido nemático*, que cuenta con una estructura que se muestra en la figura 19.35. Las moléculas individuales tienen una apariencia en forma de varilla, como se señala en la figura. La superficie conductora de óxido de indio es transparente y bajo la condición que se indica en la figura, la luz incidente simplemente atravesará y la estructura de cristal líquido aparecerá de forma transparente. Si se aplica un voltaje (para unidades comerciales el nivel de umbral se encuentra por lo regular entre 6 y 20 V) a través de las superficies conductoras, como se ejemplifica en la figura 19.36, el arreglo molecular se perturba, lo que ocasiona que se establezcan regiones con distintos índices de refracción. La luz incidente se reflejará, por lo tanto, en distintas direcciones en la interfase entre regiones con índices de refracción diferentes (efecto denominado como *dispersión dinámica*, estudiado por primera vez por RCA en 1968) lo que provoca que la luz dispersa tenga una apariencia de vidrio congelado. Sin embargo, observe en la figura 19.36 que la apariencia "congelada" se presenta solamente donde las superficies conductoras son opuestas entre sí y que las áreas restantes permanecen traslúcidas.

1 2 3 4 5 6 7 8

Figura 19.37 Pantalla LCD de un dígito de ocho segmentos.

Un dígito sobre una pantalla LCD podría tener la apariencia que se indica en la figura 19.37. El área negra es en realidad una superficie conductora transparente conectada a las terminales inferiores para un control externo. Dos carátulas similares se colocan en lados opuestos de una delgada capa sellada de material de cristal líquido. Si el número 2 se requiriera, las terminales 8, 7, 3, 4 y 5 serían activadas y sólo estas regiones serían congeladas mientras que las otras permanecerían transparentes.

Como se indicó anteriormente, el LCD no genera su propia luz sino que depende de una fuente interna o externa. Bajo condiciones oscuras, podría resultar necesario que la unidad cuente con su propia fuente de luz interna ya sea por detrás o por un lado del LCD. Durante el día o en áreas iluminadas, puede colocarse un reflector detrás del LCD para reflejar la luz de regreso a través de la pantalla para una máxima intensidad. Para una operación óptima, los fabricantes actuales de relojes utilizan una combinación de modos transmisivo (con fuente de luz propia) y reflectivo, llamada *transreflectiva*.

La pantalla LCD de *efecto de campo* o *nemático de giro* tiene la misma apariencia de segmentos y la delgada capa del cristal líquido encapsulado, pero su modo de operación es muy diferente. De forma similar que para el LCD de dispersión dinámica, el LCD de efecto de campo puede operar en el modo reflectivo o transmisivo con una fuente interna. En la figura 19.38 se presenta la pantalla transmisiva. La fuente de luz interna se encuentra a la derecha, y el observador a la izquierda. Esta figura es notoriamente distinta de la figura 19.35 en el hecho de que se añadió un *polarizador de luz*. Sólo el componente vertical de la luz que entra por la derecha puede pasar a través del polarizador de luz vertical de la derecha. En la pantalla LCD de efecto de campo, la superficie conductora transparente de la derecha se encuentra tratada químicamente, o también puede aplicarse una película orgánica para orientar las moléculas en el cristal líquido en el plano vertical, paralelas a la pared de la celda. Observe las varillas en el extremo derecho del cristal líquido. La superficie conductora opuesta también se trata para asegurar que las moléculas se encuentren 90° fuera de fase en la dirección mostrada (horizontal), pero que sigan paralelas a la pared de la celda. En medio de las dos paredes de cristal líquido existe un cambio general de una polarización a la otra, como se muestra en la figura. El polarizador de luz de la izquierda también es tal, que permite el paso únicamente de la luz incidente, verticalmente polarizada. Si no existe un voltaje aplicado sobre las superficies conductoras, la luz verticalmente polarizada ingresará a la región de cristal líquido y seguirá la refracción de 90° de la estructura molecular. Su polarización horizontal en el polarizador de luz vertical de la izquierda no permitirá que atraviese, y el observador verá un patrón oscuro uniforme a lo largo de toda la pantalla. Cuando se aplica un voltaje de umbral (que va de 2 a 8 V para unidades comerciales), las moléculas en forma de varilla se alinearán con el campo (perpendicular a la pared) y la luz cruzará directamente a través sin la desviación de 90°. La luz vertical incidente podrá entonces pasar directamente a través de la segunda pantalla polarizada verticalmente, y el área iluminada será visible para el observador. Mediante una apropiada excitación de los segmentos de cada dígito, el patrón se presentará como el mostrado en la figura 19.39. La pantalla LCD de efecto de campo de tipo reflectivo se señala en la figura 19.40. En este caso, la luz

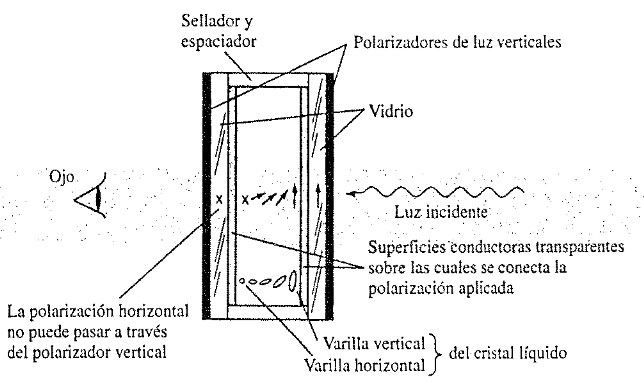


Figura 19.38 LCD transmisivo de efecto de campo sin polarización aplicada.

18:88

Figura 19.39 LCD de tipo reflectivo. (Cortesía de RCA Solid State Division.)

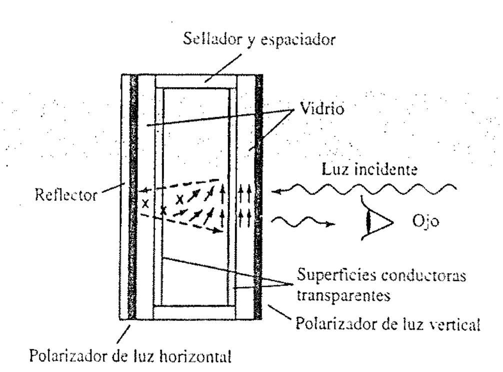


Figura 19.40 LCD de tipo reflectivo de efecto de campo sin polarización aplicada.

Figura 19.41 LCD de tipo transmisivo. (Cortesía de RCA Solid State Division.)

polarizada horizontalmente en el extremo izquierdo encuentra un filtro polarizador horizontal y pasa a través del reflector, donde se refleja de regreso hacia el cristal líquido, se refracta hacia la otra polarización vertical y regresa al observador. Si no existe un voltaje aplicado, se presentará una pantalla uniformemente iluminada. La aplicación de un voltaje dará por resultado una luz verticalmente incidente que encontrará un filtro polarizado horizontalmente en la izquierda, que no podrá atravesar y que será reflejada. En el cristal se obtendrá un área oscura, y aparecerá el patrón que se muestra en la figura 19.41.

Las pantallas LCD de efecto de campo se utilizan normalmente cuando la fuente de energía es el principal factor (por ejemplo, en relojes, instrumentación portátil, etcétera) debido a que éstas consumen una potencia considerablemente menor que las pantallas de tipo de dispersión de luz, que se encuentran en el rango de los miliwatts en comparación con el rango de los microwatts. El costo por lo regular es más alto para las unidades de efecto de campo y su altura se encuentra limitada a cerca de 2 pulgadas, mientras que se encuentran disponibles unidades de dispersión de luz de hasta 8 pulgadas de alto.

Otra consideración en las pantallas es el tiempo de encendido y de apagado, ya que las de LCDs son característicamente mucho más lentas que los LEDs. Las pantallas LCD cuentan con tiempos de respuesta típicos en el rango de 100 a 300 ms, mientras que los LEDs se encuentran disponibles con tiempos de respuesta por debajo de los 100 ns. Sin embargo, existen aplicaciones numerosas, como en un reloj, donde la diferencia entre 100 ns y 100 ms ($\frac{1}{10}$ de segundo) no tiene implicaciones. Para tales aplicaciones, la baja demanda de potencia de las pantallas LCD es una característica muy atractiva, además, el tiempo de vida de las pantallas LCD continuamente se incrementa más allá del límite de las 10,000 horas. Dado que el color generado por las unidades LCD depende de la fuente de iluminación, existe una amplia selección de rango de colores.

19.10 CELDAS SOLARES

En años recientes, ha aumentado el interés en la celda solar como una fuente alternativa de energía. Cuando se considera que la densidad de potencia recibida del sol al nivel del mar es de aproximadamente 100 mW/cm^2 (1 kW/m^2), ciertamente es una fuente de energía que requiere mayor investigación y desarrollo para maximizar la eficiencia de conversión de energía solar a energía eléctrica.

En la figura 19.42 se muestra la construcción básica de una celda solar de silicio con unión *p-n*. Como se aprecia en la vista superior, se realiza todo esfuerzo posible para asegurar que el área de la superficie perpendicular al sol sea máxima. También observe que el conductor metálico conectado con el material de tipo *p* y el grosor del material de tipo *p* son tales, que aseguran que un número máximo de fotones de energía luminosa llegará a la unión. Un fotón de energía luminosa puede chocar con un electrón de valencia y transferirle energía suficiente para que abandone el átomo padre. El resultado de esto será la generación de electrones y de huecos libres. Este fenómeno ocurrirá a cada lado de la unión. En el material de tipo *p*, los electrones recién generados serán portadores minoritarios y se moverán relativamente libres a través de la

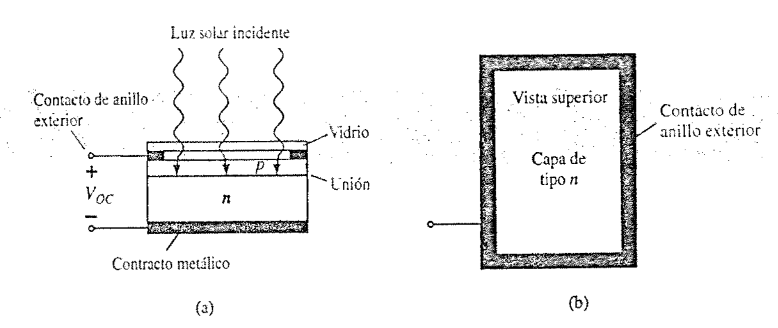


Figura 19.42 Celda solar. (a) sección transversal; (b) vista superior.

unión, según se explicó para la unión *p-n* básica sin polarización aplicada. Lo mismo sucede para los huecos generados en el material de tipo *n*. El resultado es un incremento en el flujo de portadores minoritarios, el cual tiene la dirección opuesta a la corriente directa convencional de una unión *p-n*. En la figura 19.43 se muestra este incremento en la corriente inversa. Dado a que $V = 0$ en cualquier lugar sobre el eje vertical y que representa la condición de circuito cerrado, a la corriente en esta intersección se le denomina *corriente de circuito cerrado* y se representa por la notación I_{SC}. Bajo las condiciones de circuito abierto ($i_d = 0$), se obtendrá el voltaje *fotovoltaico* V_{OC}. Ésta es una función logarítmica de la iluminación, según se muestra en la figura 19.44. V_{OC} es el voltaje terminal de una batería bajo condiciones sin carga (circuito abierto). Sin embargo, observe en la misma figura que la corriente de circuito cerrado es una función lineal de la iluminación, es decir, se duplicará para un mismo incremento en iluminación (f_{C_1} y $2f_{C_1}$ en la figura 19.44) mientras que el cambio en V_{OC} es menor para esta región. El principal incremento en V_{OC} ocurre para incrementos de menor nivel en la iluminación. Eventualmente, un posterior incremento en la iluminación tendrá muy poco efecto sobre V_{OC}, aunque I_{SC} se incrementará, lo que ocasionará que las capacidades de potencia se incrementen.

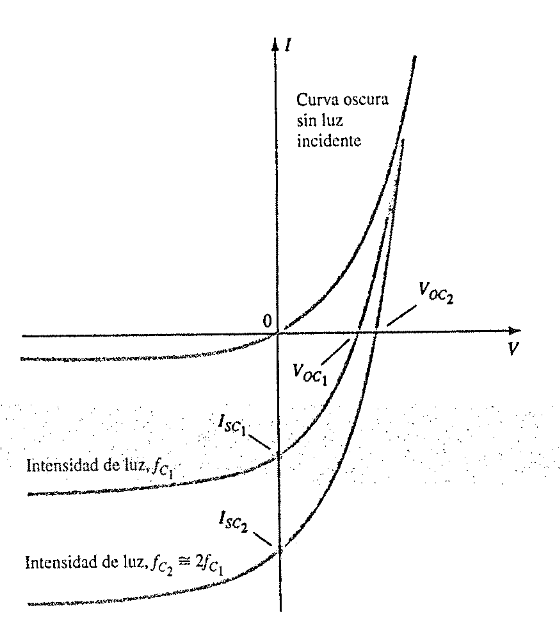


Figura 19.43 Corriente de circuito cerrado y voltaje de circuito abierto en función de la intensidad de luz para una celda solar.

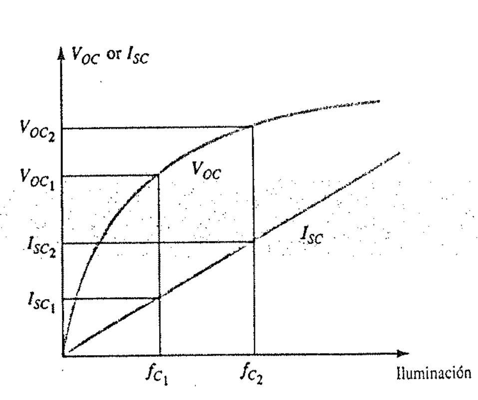


Figura 19.44 V_{OC} e I_{SC} en función de la iluminación para una celda solar.

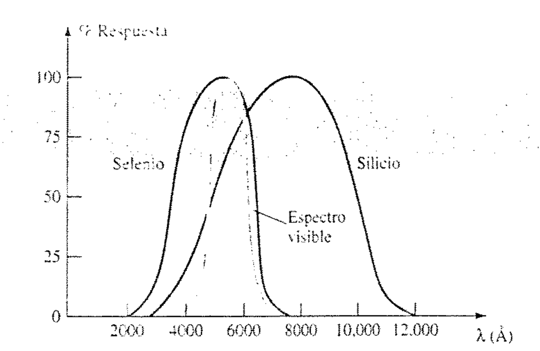
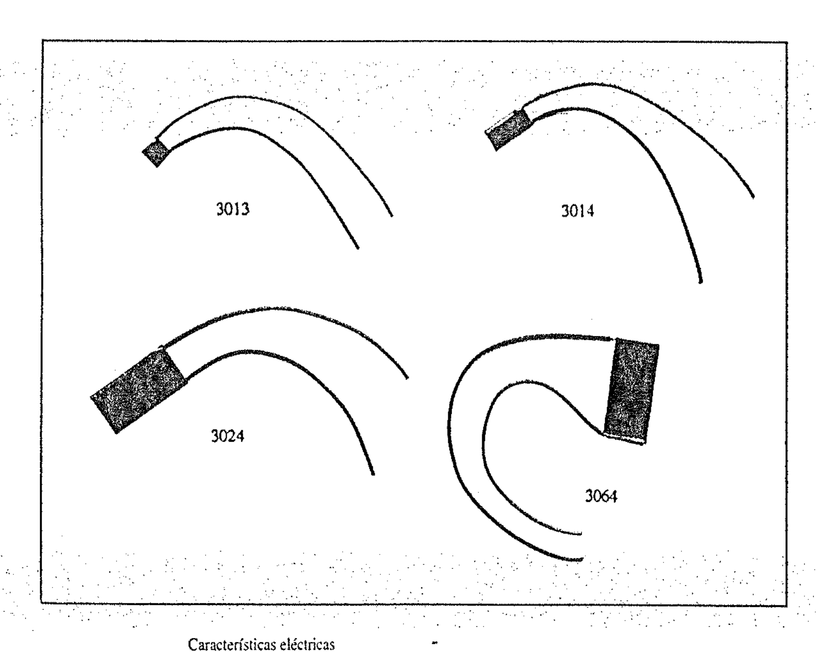


Figura 19.45 Respuesta espectral del Se, Si y a simple vista.

El selenio y el silicio son los materiales que se utilizan más ampliamente para las celdas solares, aunque también se utilizan el arseniuro de galio, el arseniuro de indio y el sulfuro de cadmio entre otros. La longitud de onda de la luz incidente afectará la respuesta de la unión *p-n* a los fotones incidentes. Observe en la figura 19.45 lo cercano que se encuentra la curva de respuesta de la celda de selenio a la del ojo. Este hecho tiene una amplia aplicación en el equipo fotográfico como en los fotómetros y los diafragmas de exposición automática. El silicio también traslapa el espectro visible pero tiene su pico en la longitud de onda de 0.8 μm (8000 Å), la cual se encuentra en la región infrarroja. En general, el silicio tiene una mayor eficiencia de conversión, mejor estabilidad y es menos sujeta a la fatiga. Ambos materiales tienen características de temperatura excelentes, es decir, pueden soportar temperaturas extremadamente altas o bajas sin una caída significativa de la eficiencia. En la figura 19.46 se presentan celdas solares típicas y sus características eléctricas.



Características eléctricas

No. de parte	Área activa	Voltaje de prueba	Corriente mínima al voltaje de prueba
3013	0.032 in² (0.21 cm²)	0.4 V	4.2 mA
3014	0.065 in² (0.42 cm²)	0.4 V	8.4 mA
3024	0.29 in² (1.87 cm²)	0.4 V	38 mA
3064	0.325 in² (2.1 cm²)	2 V	8.4 mA

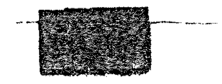
Figura 19.46 Celdas solares típicas y sus características eléctricas. (Cortesía de EG&G VACTEC, Inc.)

En la figura 19.47 se presenta una reciente innovación en el uso de celdas solares. El arreglo en serie de celdas solares permite un voltaje superior al de un solo elemento. El desempeño de un arreglo típico de cuatro celdas se presenta en la misma figura. A una corriente de aproximadamente 2.6 mA, el voltaje de salida será de aproximadamente 1.6 V, lo que ocasiona una potencia de salida de 4.16 mW. El diodo de barrera de Schottky se incluye para prevenir el consumo de corriente de la batería a través del convertidor de potencia. Es decir, la resistencia del diodo Schottky es tan alta para la carga al fluir (de + a −) hacia el convertidor de potencia que parecerá un circuito abierto a la batería recargable y no consumirá corriente de ella.

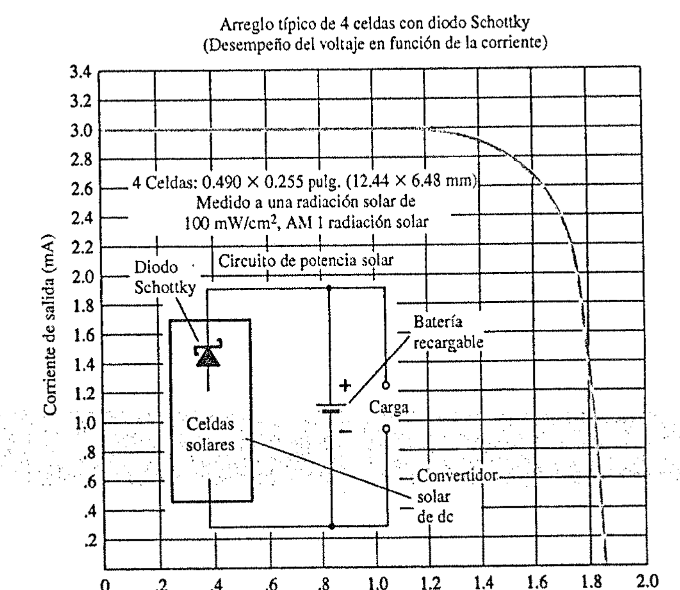
Podría resultar interesante observar que la Lockheed Missiles and Space Company se encuentra trabajando en una concesión de la NASA (National Aeronautics and Space Administration) para desarrollar un ala con un arreglo solar masivo para el transbordador espacial. El ala medirá 13.5 por 105 pies cuando se encuentre extendida y contendrá 41 paneles, cada uno llevando 3060 celdas solares de silicio. El ala podrá generar un total de 12.5 kW de potencia eléctrica.

La eficiencia de operación de una celda solar se encuentra determinada por la potencia eléctrica de salida dividida entre la potencia proporcionada por la fuente luminosa. Es decir,

$$\eta = \frac{P_{o(\text{eléctrica})}}{P_{i(\text{energía luminosa})}} \times 100\% = \frac{P_{\text{máx(dispositivo)}}}{(\text{área en cm}^2)(100\ \text{mW/cm}^2)} \times 100\% \qquad (19.8)$$



(a)



(b)

Figura 19.47 Arreglo de cuatro celdas de International Rectifier: (a) apariencia; (b) características. (Cortesía de International Rectifier Corporation.)

Los niveles típicos de eficiencia van desde 10 a 40%, niveles que deberán mejorar notablemente si el actual interés persiste. En la figura 19.48 se presenta un conjunto típico de características de salida para celdas solares de silicio con 10% de eficiencia en un área de 1 cm². Observe el lugar de potencia óptima y el incremento prácticamente lineal en la corriente de salida con el flujo luminoso para un voltaje fijo.

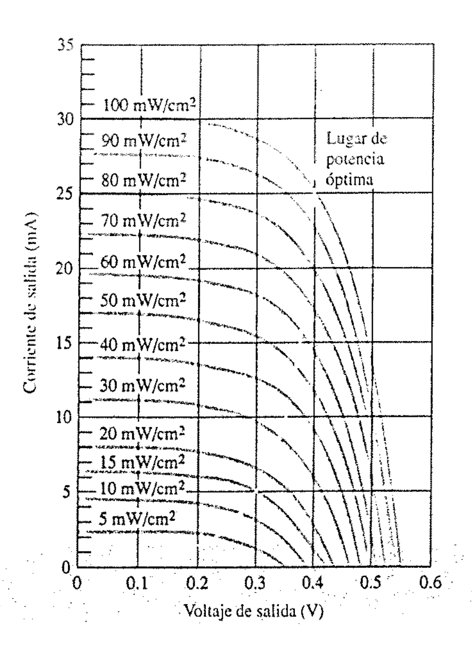
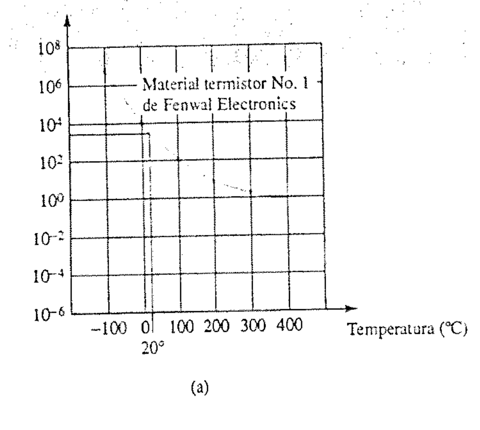


Figura 19.48 Características típicas de salida para celdas solares de silicio con 10% de eficiencia que tienen un área activa de 1 cm². La temperatura de la celda es de 30°C.

19.11 TERMISTORES

El termistor es, como su nombre lo indica, un resistor sensible a la temperatura; es decir, su resistencia terminal se encuentra relacionada con la temperatura de su cuerpo. No se trata de un dispositivo de unión, se construye de Ge, Si o de una mezcla de óxidos de cobalto, níquel, estroncio o manganeso. El compuesto utilizado determinará si el dispositivo cuenta con un coeficiente de temperatura positivo o negativo.

En la figura 19.49 se muestran las características de un termistor representativo, con un coeficiente de temperatura negativo, además del símbolo que comúnmente se utiliza para este dispositivo. Observe en particular que a temperatura ambiente (20°C) la resistencia del termistor es de aproximadamente 5000 Ω, mientras que a 100°C (212°F) la resistencia ha disminuido a 100 Ω. Un intervalo de temperatura de 80°C ha dado por resultado un cambio en la resistencia de 50:1. Por lo general, se trata de un cambio de 3 a 5% por cada cambio de un grado en la temperatura. Existen dos formas fundamentales de modificar la temperatura del dispositivo: de forma interna o externa. Un simple cambio en la corriente a través del dispositivo ocasionará un cambio interno en la temperatura. Un pequeño voltaje aplicado dará por resultado una corriente demasiado pequeña para elevar la temperatura del cuerpo por encima de la temperatura del entorno. En esta región, según se señala en la figura 19.50, el termistor actuará como un resistor y tendrá un coeficiente de temperatura positivo. Sin embargo, a medida que la corriente se incrementa, la temperatura crecerá hasta el punto donde se presentará el coeficiente de temperatura negativo como se muestra en la figura 19.50. El hecho de que la velocidad de flujo interno pueda ejercer tal efecto sobre la resistencia del dispositivo, introduce una amplia perspectiva de aplicaciones en control, técnicas de medición, etcétera. Un cambio externo requeriría cambiar la temperatura del medio que lo rodea o sumergir el dispositivo en una solución fría o caliente.



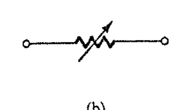


Figura 19.49 Termistor: (a) conjunto típico de características; (b) símbolo.

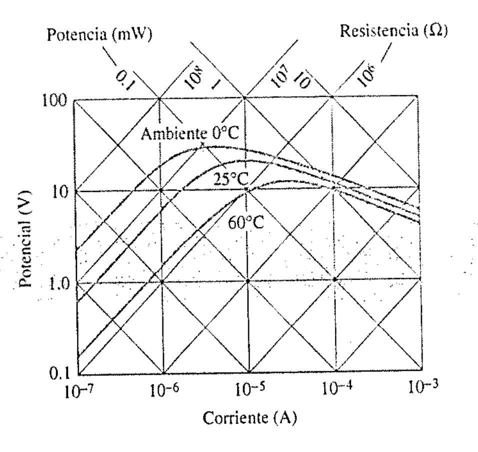


Figura 19.50 Características voltaje-corriente de estado estable de un termistor Fenwal Electronics BK65V1. (Cortesía de Fenwal Electronics, Incorporated.)

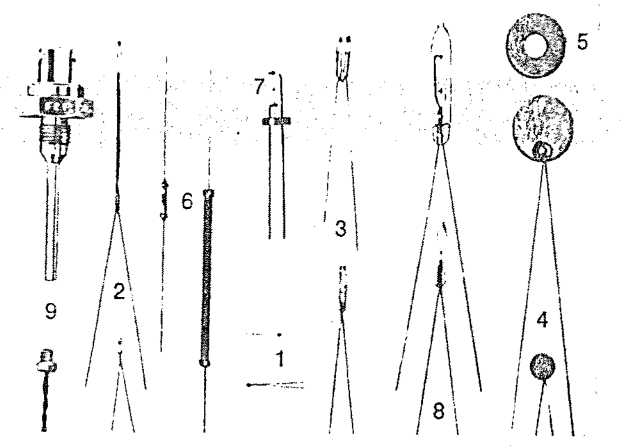


Figura 19.51 Distintos tipos de termistores: (1) tipo perla; (2) sonda de vidrio; (3) sonda y perla intercambiables isocurva; (4) discos; (5) rondana; (6) varillas; (7) perla especialmente montada; (8) sonda al vacío y rellena de gas; (9) ensambles de sonda especiales. (Cortesía de Fenwal Electronics, Incorporated.)

En la figura 19.51 se proporciona una fotografía de varios termistores disponibles comercialmente.

Aplicación

En la figura 19.52 se presenta un circuito simple indicador de temperatura. Cualquier incremento en la temperatura del medio que lo rodea, ocasionará una disminución en la resistencia del termistor y un incremento en la corriente I_T, el cual a su vez, producirá un incremento del giro del indicador, el cual, cuando se encuentra adecuadamente calibrado, indicará de forma precisa la mayor temperatura. La resistencia variable se añadió para propósitos de calibración.

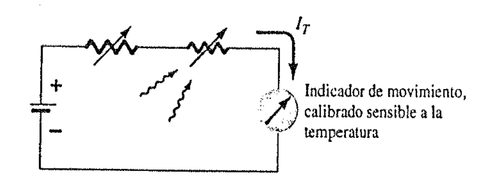


Figura 19.52 Circuito indicador de temperatura.

19.12 RESUMEN

Conclusiones y conceptos importantes

1. El diodo Schottky (portadores calientes) cuenta con un **bajo voltaje de umbral** (cerca de 0.2 V), una **alta corriente de saturación inversa,** y un **menor PIV** que la variedad de unión *p-n* convencional. También puede utilizarse a altas frecuencias debido a su reducido tiempo de recuperación inverso.
2. El diodo varactor (varicap) posee una **capacitancia de transición** sensible al potencial de polarización inverso aplicado, que alcanza su nivel máximo en cero volts y **disminuye de forma exponencial** ante el incremento del potencial de polarización inversa.

3. La **capacidad de corriente** de los diodos de potencia puede incrementarse mediante la colocación de dos o más en **paralelo**, y el **valor de PIV** (voltaje inverso pico) puede incrementarse al conectar los diodos en serie.
4. El propio chasis puede utilizarse como **disipador de calor** para diodos de potencia.
5. Los **diodos túnel** son únicos en el sentido de que cuentan con una **región de resistencia negativa** a niveles de voltaje menores que el voltaje de umbral de la unión *p-n* típica. Esta característica es particularmente útil en osciladores para establecer una forma de onda oscilatoria a partir de una fuente de alimentación de dc conmutada. Debido a su reducida región de agotamiento, también es considerado un **dispositivo de alta frecuencia** para aplicaciones donde se requieren tiempos de conmutación de nanosegundos o picosegundos.
6. La región de operación para los **fotodiodos** es la **región de polarización inversa**. La corriente de diodo resultante se incrementa prácticamente **de forma lineal** ante el incremento de la luz incidente. La **longitud de onda** de la luz incidente determinará el material que ocasionará la mejor respuesta; el selenio concuerda bien con la simple vista, y el silicio es mejor para luz incidente con longitudes de onda mayores.
7. Una celda fotoconductora es aquella cuya resistencia terminal **disminuirá de forma exponencial** ante el **incremento de la luz incidente**.
8. Un **diodo emisor infrarrojo** emitirá un rayo de flujo radiante cuando se **polarice de forma directa**. La fuerza del patrón de flujo emitido se encuentra **relacionado prácticamente de forma lineal** con la corriente directa de dc a través del dispositivo.
9. Las pantallas **LCD** poseen un **mucho menor nivel de disipación de potencia** que los LEDs, pero su vida útil es mucho **más corta**, y requieren una **fuente interna o externa de luz.**
10. La **celda solar** es capaz de convertir energía luminosa en forma de fotones a energía eléctrica en forma de una diferencia de potencial o **voltaje**. El voltaje terminal **inicialmente se incrementará de forma muy rápida** al aplicar luz, pero luego, el incremento se presentará a un **ritmo cada vez más lento**. En otras palabras, el voltaje terminal alcanzará un **nivel de saturación** en algún punto donde cualquier incremento posterior de la luz incidente tendrá poco efecto sobre la magnitud del voltaje terminal.
11. Un **termistor** puede tener regiones con **coeficientes de temperatura negativos o positivos** determinadas por el material de construcción o la temperatura del material. El cambio en la temperatura puede deberse a **efectos internos** como los causados por la corriente a través del termistor o a **efectos externos** de calentamiento o enfriamiento.

Ecuaciones

Diodo varactor:

$$C_T(V_R) = \frac{C(0)}{(1 + |V_R/V_T|)^n}$$

donde $n = 1/2$ unión de aleación

$n = 1/3$ unión de difusión

$$TC_C = \frac{\Delta C}{C_0(T_1 - T_0)} \times 100\% \qquad \%/°C$$

Fotodiodos:

$$\lambda = \frac{v}{f} = \frac{3 \times 10^8 \text{ m/s}}{f}$$

$$1 \text{ Å} = 10^{-10}\text{m} \quad \text{y} \quad 1 \text{ lm} = 1.496 \times 10^{-10} \text{ W}$$

$$1 \text{ fc} = 1 \text{ lm/ft}^2 = 1.609 \times 10^{-9} \text{ W/m}^2$$

Celdas solares:

$$\eta = \frac{P_{o(\text{eléctrica})}}{P_{i(\text{energía luminosa})}} \times 100\%$$
$$= \frac{P_{\text{máx(dispositivo)}}}{(\text{área en cm}^2)(100\ \text{mW/cm}^2)} \times 100\%$$

PROBLEMAS

§ 19.2 Diodos de barrera Schottky (portadores calientes)

1. (a) Describa con sus propias palabras cómo difiere de forma significativa la construcción de un diodo Schottky del diodo convencional semiconductor.
(b) Además, describa su modo de operación.

2. (a) Consulte la figura 19.2. ¿Cómo se comparan las resistencias dinámicas de los diodos en las regiones de polarización directa?
(b) ¿Cómo se comparan los niveles de I_s y V_Z?

3. En referencia a la figura 19.5, ¿cómo se relaciona la corriente pico máxima I_{FSM} con la corriente directa rectificada promedio? ¿Es por lo general mayor que 20:1? ¿Por qué es posible tener tales niveles altos de corriente? ¿Qué diferencia notable existe en la construcción a medida que el nivel de corriente se incrementa?

4. En referencia a la figura 19.6a, ¿a qué temperatura cae 300 mV el voltaje directo a una corriente de 1 mA? ¿Qué niveles de corriente tienen los mayores niveles de coeficiente de temperatura? Asuma una progresión lineal entre los niveles de temperatura.

***5.** Para la curva de la figura 19.6b denotada como 2900/2303, determine el cambio porcentual en I_R para un cambio en el voltaje inverso de 5 a 10 V. ¿A qué voltaje inverso esperaría que se alcance una corriente inversa de 1 μA? Observe la escala logarítmica para I_R.

***6.** Determine el cambio porcentual en la capacitancia entre 0 y 2 V para la curva 2900/2303 de la figura 19.6c. ¿Cómo se compara esto con el cambo entre 8 y 10 V?

§ 19.3 Diodos varactores (varicap)

7. (a) Determine la capacitancia de transición de un diodo varicap de unión por difusión a un potencial inverso de 4.2 V si $C(0) = 80$ pF y $V_T = 0.7$ V.
(b) De la información del inciso (*a*), determine la constante K en la ecuación 19.2.

8. (a) Para un diodo varicap que cuenta con las características de la figura 19.7, determine la diferencia en capacitancia entre los potenciales de polarización inversa de -3 y -12 V.
(b) Determine la razón incremental de cambio $(\Delta C/\Delta V_r)$ cuando $V = -8$ V. ¿Cómo se compara este valor con el cambio incremental determinado a -2 V?

***9.** (a) La frecuencia resonante de una red RLC en serie está determinada por $f_0 = 1/(2\pi\sqrt{LC})$. Mediante el valor de f_0 y de L_S proporcionado en la figura 19.9, determine el valor de C.
(b) ¿Cómo se compara el valor calculado en el inciso (*a*) con el determinado mediante la curva en la figura 19.10 cuando $V_R = 25$ V?

10. En referencia a la figura 19.10, determine la relación de capacitancia en $V_R = 3$ V a $V_R = 25$ V y compare con el valor de C_3/C_{25} dado en la figura 19.9 (máximo = 6.5).

11. Determine T_1 para un diodo varactor si $C_0 = 22$ pF, $TC_C = 0.02\%/°C$ y $\Delta C = 0.11$ pF como consecuencia de un incremento en la temperatura por encima de $T_0 = 25°C$.

12. ¿Qué región de V_R parecería tener el mayor cambio en capacitancia ante el cambio en el voltaje inverso para el diodo varactor BB139 de las figura 19.9 y 19.10? Tenga presente que las escalas no son lineales.

***13.** Si $Q = X_L/R = 2\pi fL/R$, determine el factor de mérito (Q) a 600 MHz con el hecho de que $R_S = 0.35\ \Omega$ y $L_S = 2.5$ nH. Comente sobre el cambio en Q con la frecuencia y el apoyo (o falta de él) en la curva de la figura 19.10.

§ 19.4 Diodos de potencia

14. Consulte el manual de referencia de un fabricante y compare las características generales de un dispositivo de alta potencia (>10 A) con una unidad de baja potencia (<100 mA). ¿Existe un cambio significativo en los datos y características proporcionados? ¿Por qué?

§ 19.5 Diodos túnel

15. ¿Cuáles son las diferencias esenciales entre un diodo de unión semiconductor y un diodo túnel?

***16.** Observe en el circuito equivalente de la figura 19.14 que el capacitor aparece en paralelo con la resistencia negativa. Determine la reactancia del capacitor a 1 MHz y 100 MHz si $C = 5$ pF, y determine la impedancia total de la combinación en paralelo (con $R = -152\ \Omega$) a cada frecuencia. ¿Es la magnitud de la reactancia inductiva algo que deba preocupar a cualquiera de estas frecuencias si $L_S = 6$ nH?

***17.** ¿Por qué cree usted que el valor de la corriente inversa máxima para el diodo túnel puede ser mayor que el valor de la corriente directa? (*Sugerencia:* Observe las características y considere el nivel de potencia.)

18. Determine la resistencia negativa para el diodo túnel de la figura 19.13 entre $V_T = 0.1$ V y $V_T = 0.3$ V.

19. Determine los puntos de operación estable para la red de la figura 19.17 si $E = 2$ V, $R = 0.39$ kΩ y se utiliza el diodo túnel de la figura 19.13. Utilice los valores típicos de la tabla 19.1.

***20.** Cuando $E = 0.5$ V y $R = 51\ \Omega$, trace v_T para la red de la figura 19.18 y el diodo túnel de la figura 19.13.

21. Determine la frecuencia de oscilación de la red de la figura 19.19 si $L = 5$ mH, $R_1 = 10\ \Omega$ y $C = 1\ \mu$F.

§ 19.6 Fotodiodos

22. Determine la energía asociada con los fotones de luz verde si su longitud de onda es de 5000 Å. Proporcione su respuesta en joules y electrón volts.

23. (a) En referencia a la figura 19.20, ¿cuáles parecerían ser las frecuencias asociadas con los límites superior e inferior del espectro visible?
(b) ¿Cuál es la longitud de onda en microns que se asocia con la respuesta relativa máxima del silicio?
(c) Si se define que el ancho de banda de la respuesta espectral de cada material ocurra al 70% de su nivel máximo, ¿cuál sería el ancho de banda del silicio?

24. En referencia a la figura 19.22, determine I_λ si $V_\lambda = 30$ V y la intensidad luminosa es 4×10^{-9} W/m^2.

25. (a) ¿Cuál de los materiales de la figura 19.20 parece proporcionar la mejor respuesta ante fuentes de luz amarilla, roja, verde e infrarroja (menor a 11,000 Å)?
(b) A una frecuencia de 0.5×10^{15} Hz, ¿cuál color tiene la máxima respuesta espectral?

***26.** Determine la caída de voltaje a través del resistor de la figura 19.21 si el flujo incidente es de 3000 fc, $V_\lambda = 25$ V y $R = 100$ kΩ. Utilice las características de la figura 19.22.

§ 19.7 Celdas fotoconductoras

***27.** ¿Cuál es el ritmo de cambio aproximado de resistencia ante la iluminación para una celda fotoconductora con las características de la figura 19.28 para los rangos (a) 0.1 → 1 kΩ, (b) 1 → 10 kΩ, y (c) 10 → kΩ? (Observe que ésta es una escala logarítmica.) ¿Qué región posee el mayor ritmo de cambio en la resistencia con la iluminación?

28. ¿Cuál es la "corriente oscura" de un fotodiodo?

29. Si la iluminación sobre un diodo fotoconductor en la figura 19.30 es de 10 fc, determine la magnitud de V_i para establecer 6 V a través de la celda si R_1 es igual a 5 kΩ. Utilice las características de la figura 19.28.

***30.** Mediante los datos proporcionados en la figura 19.29, trace una curva de conductancia porcentual en función de la temperatura para 0.01, 1.0 y 100 fc. ¿Existe algún efecto observable?

***31.** (a) Trace una curva del tiempo de elevación en función de la iluminación utilizando los datos de la figura 19.29.
(b) Repita el inciso (*a*) para el tiempo de decaimiento.
(c) Comente cualquier efecto observable de iluminación en los incisos (*a*) y (*b*).

32. ¿Ante cuáles colores es más sensible la unidad de CdS de la figura 19.29?

§ 19.8 Emisores IR (infrarrojos)

33. (a) Determine el flujo radiante a una corriente directa dc de 70 mA para el dispositivo de la figura 19.32.
(b) Determine el flujo radiante en lúmenes a una corriente directa dc de 45 mA.

34. (a) Mediante el uso de la figura 19.33, determine la intensidad radiante relativa a un ángulo de 25° para un encapsulado con una ventana plana de vidrio.
(b) Trace una curva de la intensidad radiante relativa en función de los grados para el encapsulado plano.

*35. Si se aplican 60 mA de corriente directa a un emisor IR SG1010A, ¿cuál será el flujo radiante incidente en lúmenes 5° a partir del centro si el encapsulado tiene un sistema interno de colimación? Refiérase a las figuras 19.32 y 19.33.

§ 19.9 Pantallas de cristal líquido

36. En referencia a la figura 19.37, ¿cuáles terminales deben activarse para desplegar en número 7?

37. Con sus propias palabras, describa la operación básica de una pantalla LCD.

38. Comente las diferencias relativas en el modo de operación entre la pantalla de LED y LCD.

39. ¿Cuáles son las ventajas y desventajas relativas de una pantalla LCD en comparación con una pantalla de LED?

§ 19.10 Celdas solares

40. Una celda solar de 1 por 2 cm posee una eficiencia de conversión de 9%. Determine el valor de potencia máxima del dispositivo.

*41. Si el valor de potencia de una celda solar está determinado sobre una escala muy general por el producto $V_{OC}I_{SC}$, ¿se obtiene el mayor ritmo de incremento a niveles altos o bajos de iluminación? Explique su razonamiento.

42. (a) En referencia a la figura 19.48, ¿qué densidad de potencia se requiere para establecer una corriente de 24 mA a un voltaje de salida de 0.25 V?
(b) ¿Por qué son 100 mW/cm² la densidad de potencia máxima en la figura 19.48?
(c) Determine la corriente de salida si la potencia es igual a 40 mW/cm² y el voltaje de salida es de 0.3 V.

*43. (a) Trace una curva para la corriente de salida en función de la densidad de potencia para un voltaje de salida de 0.15 V utilizando las características de la figura 19.48.
(b) Trace una curva del voltaje de salida en función de la densidad de potencia a una corriente de 19 mA.
(c) ¿Alguna de las curvas de los incisos (*a*) y (*b*) es lineal dentro de los límites de la potencia máxima?

§ 19.11 Termistores

*44. Para el termistor de la figura 19.49, determine el ritmo dinámico de cambio en la resistencia específica con la temperatura en $T = 20°C$. ¿Cómo se compara con el valor determinado a $T = 300°C$? A partir de los resultados, determine si el mayor cambio en la resistencia por unidad de cambio de temperatura se presenta a niveles bajos a altos de temperatura. Note la escala vertical logarítmica.

45. Mediante la información proporcionada en la figura 19.49, determine la resistencia total de una longitud de 2 cm del material que cuenta con un área superficial de 1 cm² a temperatura de 0°C. Observe la escala vertical logarítmica.

46. (a) En referencia a la figura 19.50, determine la corriente a la cual una muestra a 25°C del material cambia de un coeficiente de temperatura positivo a negativo (la figura 19.50 tiene una escala logarítmica).
(b) Determine la potencia y los niveles de resistencia del dispositivo (figura 19.50) en el pico de la curva de 0°C.
(c) A una temperatura de 25°C, determine el nivel de potencia si el nivel de resistencia es de 1 MΩ.

47. En la figura 19.52, $V = 0.2$ V y $R_{variable} = 10\ \Omega$. Si la corriente a través del indicador de movimiento sensible es de 2 mA y la caída de voltaje a través del indicador es de 0 V, ¿cuál será la resistencia del termistor?

*Observe: Los asteriscos indican problemas con mayor dificultad

CAPÍTULO

Dispositivos *pnpn* y otros 20

20.1 INTRODUCCIÓN

En este capítulo se presentarán varios dispositivos importantes que no han sido analizados a detalle en los capítulos anteriores. El diodo semiconductor de dos capas encabeza los dispositivos de tres, cuatro e incluso cinco capas. En primer lugar se considerará una familia de dispositivos *pnpn* de cuatro capas: el SCR (rectificador controlado de silicio, *Silicon-Controlled Rectifier*), el SCS (interruptor controlado de silicio, *Silicon-Controlled Switch*), el GTO (interruptor controlado en compuerta, *Gate Turn-off Switch*), LASCR (SCR activado por luz, *Light Activated SCR*), seguidos por un dispositivo cada vez más importante: el UJT (transistor monounión, *Unijunction Transistor*). Estos dispositivos de cuatro capas junto con un dispositivo de control, por lo general se les denomina *tiristores*, aunque este término se aplica de forma más frecuente al SCR (rectificador controlado de silicio). El capítulo termina con una introducción al fototransistor, a los optoaisladores y al PUT (transistor monounión programable, *Programmable Unijunction Transistor*).

DISPOSITIVOS *pnpn*

20.2 RECTIFICADOR CONTROLADO DE SILICIO

Dentro de la familia de dispositivos *pnpn*, el rectificador controlado de silicio (SCR) es, sin duda, de gran interés en la actualidad. Se presentó por primera vez en 1956 por los Laboratorios Bell Telephone. Algunas de las muchas áreas de aplicación de los SCRs incluyen controles de relevador, circuitos de retardos de tiempo, fuentes de alimentación reguladas, interruptores estáticos, controles de motores, recortadores, inversores, ciclo-convertidores, cargadores de baterías, circuitos de protección, controles de calefacción y controles de fase.

En años recientes, los SCRs se han diseñado para *controlar* potencias de hasta 10 MW con niveles individuales tan altos como 2000 A a 1800 V. Su rango de frecuencia de aplicación también se ha extendido hasta cerca de 50 kHz, lo que ha permitido algunas aplicaciones de alta frecuencia como la calefacción inductiva y la limpieza ultrasónica.

20.3 OPERACIÓN BÁSICA DEL RECTIFICADOR CONTROLADO DE SILICIO

Como lo indica la terminología, el SCR es un rectificador construido de silicio que cuenta con una tercera terminal para efectos de control. Se eligió el silicio debido a sus capacidades de alta temperatura y potencia. La operación básica del SCR es distinta de la operación del diodo semiconductor fundamental de dos capas, en el hecho de que una tercera terminal, denominada

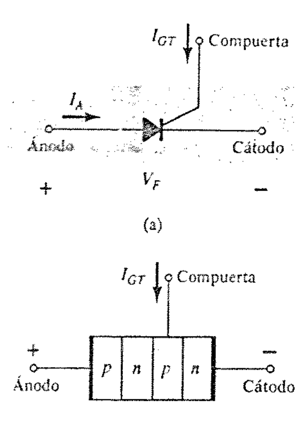


Figura 20.1 (a) Símbolo del SCR; (b) construcción básica.

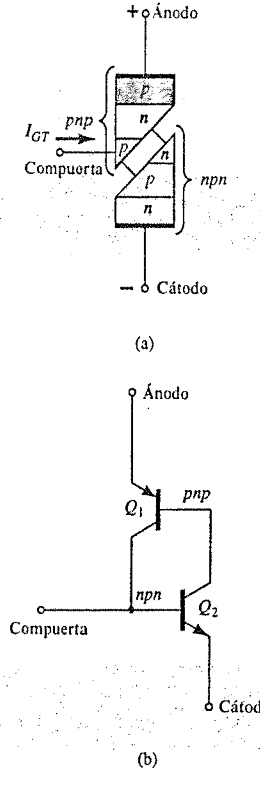


Figura 20.2 Circuito equivalente de dos transistores para el SCR.

compuerta, determina el momento en el que el rectificador cambia del estado de circuito abierto al de circuito cerrado. No es suficiente con simplemente polarizar de forma directa la región del ánodo al cátodo del dispositivo. En la región de conducción, la resistencia dinámica del SCR es por lo general de 0.01 a 0.1 Ω. La resistencia inversa es típicamente de 100 kΩ o más.

En la figura 20.1 se muestra el símbolo gráfico del SCR así como las conexiones correspondientes de la estructura semiconductora de cuatro capas. Como se indica en la figura 20.1a, si se busca establecer una conducción directa, el ánodo deberá ser positivo con respecto al cátodo. Sin embargo, ésta no es una condición suficiente para encender el dispositivo. También deberá aplicarse un pulso de magnitud suficiente a la compuerta para establecer una corriente de compuerta de encendido, representada simbólicamente por I_{GT}.

Se puede realizar un análisis mejor de la operación básica de un SCR si se divide la estructura *pnpn* de cuatro capas de la figura 20.1b en dos estructuras de transistor de tres capas, como se muestra en la figura 20.2a para considerar después el circuito resultante de la figura 20.2b.

Observe que uno de los transistores de la figura 20.2 es un dispositivo *npn* mientras que el otro es un transistor *pnp*. Para propósitos del análisis, se aplicará la señal mostrada en la figura 20.3a a la compuerta del circuito de la figura 20.2b. Durante el intervalo $0 \rightarrow t_1$, $V_{compuerta} = 0$ V, y el circuito de la figura 20.2b aparecerá como el mostrado en la figura 20.3b ($V_{compuerta} = 0$ V es equivalente a tener la terminal de la compuerta conectada a tierra como se muestra en la figura). Cuando $V_{BE2} = V_{compuerta} = 0$ V, la corriente de la base $I_{B_2} = 0$ e I_{C_2} será aproximadamente igual a I_{CO}. La corriente de base de Q_1, $I_{B_1} = I_{C_2} = I_{CO}$, será muy pequeña para encender a Q_1. Por lo tanto, ambos transistores se encontrarán en el estado "apagado", lo que dará por resultado una alta impedancia entre el colector y el emisor de cada transistor y la representación de circuito abierto para el rectificador controlado según se indica en la figura 20.3c.

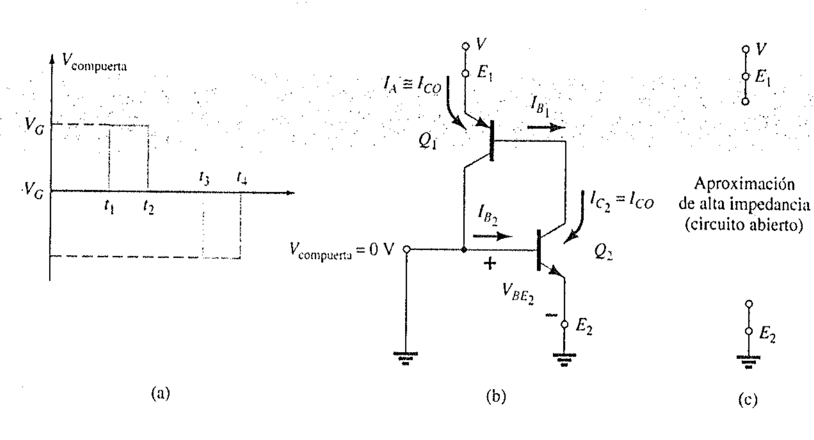


Figura 20.3 Estado "apagado" del SCR.

Cuando $t = t_1$, se presentará un pulso de V_G volts en la compuerta del SCR. En la figura 20.4a se muestran las condiciones de circuito establecidas con esta entrada. El potencial V_G se seleccionó lo suficientemente grande para poder encender a Q_2 ($V_{BE_2} = V_G$). La corriente del colector de Q_2 entonces se elevará hasta un valor suficientemente grande para encender a Q_1 ($I_{B_1} = I_{C_2}$). Cuando Q_1 se encienda, I_{C1} se incrementará, lo que ocasionará un incremento correspondiente en I_{B_2}. El incremento de la corriente de la base de Q_2 provocará un mayor incremento en I_{C_2}. El resultado neto será un incremento regenerativo en la corriente del colector de cada transistor. La resistencia resultante del ánodo al cátodo ($R_{SCR} = V/I_A$) será entonces pequeña dado que I_A es grande, lo que da por resultado la representación del circuito cerrado para el SCR como la indicada en la figura 20.4b. La acción regenerativa descrita arriba, ocasiona que los SCRs tengan tiempos típicos de encendido de 0.1 a 1 μs. Sin embargo, dispositivos de alta potencia en el rango de 100 a 400 A, pueden tener tiempos de encendido de 10 a 25 μs.

Además del disparo en la compuerta, los SCRs pueden también encenderse al elevar de manera importante la temperatura del dispositivo, o al elevar el voltaje del ánodo al cátodo hasta el valor de transición conductiva que se muestra en las características de la figura 20.7.

La siguiente pregunta importante es: ¿Qué tan largo es el tiempo de apagado y cómo se logra este apagado? Un SCR *no puede* apagarse simplemente al eliminar la señal en la compuerta, y sólo algunos cuantos dispositivos especiales pueden apagarse al aplicar un pulso negativo a la terminal de la compuerta como se muestra en la figura 20.3a en $t = t_3$.

Los dos métodos generales para apagar un SCR se catalogan como la interrupción de la corriente del ánodo y la técnica de conmutación forzada.

En la figura 20.5 se muestran las dos posibilidades para la interrupción de corriente. En la figura 20.5a, I_A es cero cuando el interruptor se abre (conmutación en serie), mientras que en la figura 20.5b, se establece la misma condición cuando el interruptor se cierra (conmutación en paralelo).

La conmutación forzada se logra cuando se "obliga" a la corriente pasar a través del SCR en la dirección opuesta a la conducción directa. Existe una amplia variedad de circuitos que realizan esta función, algunos de los cuales pueden localizarse en los manuales de los principales fabricantes de esta área. En la figura 20.6 se muestra uno de los tipos más básicos. Como se indica en la figura, el circuito de apagado consiste de un transistor *npn*, una batería de dc V_B y un generador de pulsos. Durante la conducción del SCR, el transistor se encuentra en el estado "apagado", es decir, $I_B = 0$ y la impedancia del colector al emisor será muy alta (para todo propósito práctico se trata de un circuito abierto). Esta alta impedancia aislará el circuito de apagado para que no afecte la operación del SCR. Para obtener las condiciones de apagado, se aplica un pulso positivo a la base del transistor, para encenderlo, lo que resulta en una muy baja impedancia del colector al emisor (representación de circuito cerrado). Entonces, el potencial de la batería se presentará directamente a través del SCR como se muestra en la figura 20.6b, con lo que se obliga a que la corriente pase a través de él con dirección inversa para lograr apagarlo. Los tiempos de apagado de los SCRs son típicamente de 5 a 30 μs.

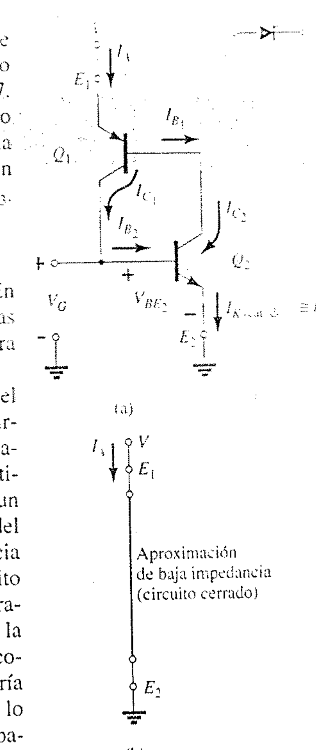


Figura 20.4 Estado "encendido" del SCR.

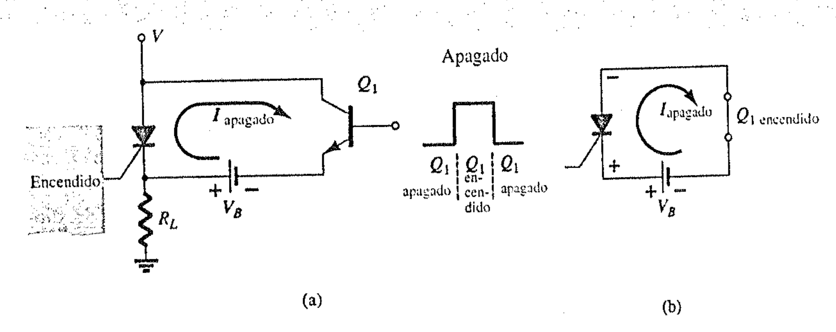


Figura 20.6 Técnica de conmutación forzada.

20.4 CARACTERÍSTICAS Y VALORES NOMINALES DEL SCR

En la figura 20.7 se proporcionan las características de un SCR para distintos valores de corriente de la compuerta. Las corrientes y los voltajes más utilizados se indican sobre las características. A continuación se presenta una breve descripción de cada uno.

1. El *voltaje de transición conductiva* $V_{(BR)F^*}$ es el voltaje por encima del cual el SCR ingresa a la región de conducción. El asterisco (*) representa una letra que se sustituirá dependiendo de la condición de la terminal de compuerta según:

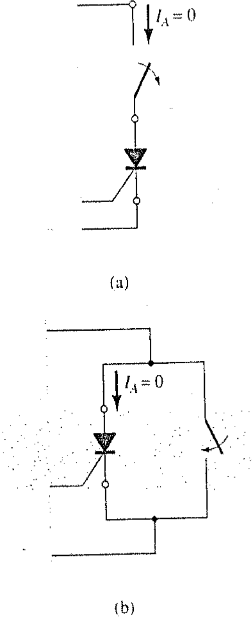


Figura 20.5 Conmutación de la corriente del ánodo.

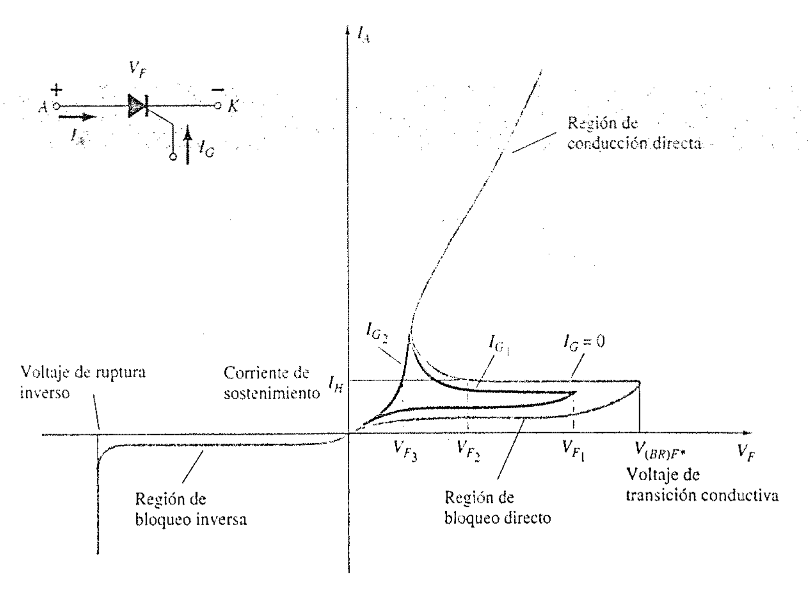


Figura 20.7 Características del SCR.

O = circuito abierto de G a K

S = circuito cerrado de G a K

R = resistencia de G a K

V = polarización fija (voltaje) de G a K

2. La *corriente de sostenimiento* (I_H) es aquel valor de corriente por debajo del cual el SCR conmuta del estado de conducción a la región de bloqueo directo bajo las condiciones establecidas.
3. Las *regiones de bloqueo directo e inverso* son las regiones que corresponden a la condición de circuito abierto para el rectificador controlado que *bloquean* el flujo de carga (corriente) del ánodo al cátodo.
4. El *voltaje de ruptura inverso* es equivalente a la región Zener o de avalancha del diodo semiconductor fundamental de dos capas.

Debería parecer inmediatamente obvio que las características del SCR de la figura 20.7 son muy similares a las características del diodo semiconductor básico de dos capas, excepto por el "codo" horizontal antes de ingresar a la región de conducción. Es esta región de proyección horizontal la que otorga a la compuerta el control sobre la respuesta del SCR. Para las características que tienen la línea sólida azul en la figura 20.7 ($I_G = 0$), V_F debe alcanzar un voltaje mayor al de transición conductiva requerido ($V_{(BR)F^*}$) antes de que se produzca el efecto de "colapso" y el SCR pueda ingresar a la región de conducción correspondiente al estado *encendido*. Si la corriente de compuerta se incrementa hasta I_{G_1}, como se muestra en la misma figura, mediante la aplicación de un voltaje de polarización a la terminal de compuerta, el valor de V_F requerido para la conducción (V_{F_1}) será considerablemente menor. Observe también que I_H cae ante el incremento de I_G. Si se incrementa hasta I_{G_2}, el SCR se disparará a valores muy bajos de voltaje (V_{F_3}) y las características comenzarán a aproximarse a las del diodo básico de unión *p-n*. Al observar las características en una forma completamente distinta, para un voltaje particular de V_F, digamos V_{F_2} (figura 20.7), si la corriente de compuerta se incrementa de $I_G = 0$ a I_{G_1} o más, el SCR se disparará.

En la figura 20.8 se proporcionan las características de la compuerta. Las características de la figura 20.8b son una versión expandida de la región sombreada de la figura 20.8a. En la figura 20.8a, se indican los tres valores de interés de la compuerta, P_{GFM}, I_{GFM} y V_{GFM}. Cada uno de éstos se incluye sobre las características de la misma forma utilizada para el transistor. Exceptuando las porciones de la región sombreada, cualquier combinación del voltaje y corriente de compuerta que caiga dentro de esta región disparará a cualquier SCR de la serie de componentes para los cuales se proporcionan estas características. La temperatura determinará las secciones de la región sombreada que deberán evitarse. A −65°C la corriente mínima que accionará la serie de SCRs es 100 mA, mientras que a +150°C sólo requerirán 20 mA. El efecto de la temperatura sobre el voltaje mínimo de compuerta, por lo general, no se indica sobre las curvas de este tipo dado que es posible obtener generalmente de forma sencilla, potenciales de compuerta de 3 V o más. Como se indica en la figura 20.8b, se señala un mínimo de 3 V para todas las unidades para el rango de temperatura de interés.

Otros parámetros normalmente incluidos en la hoja de especificaciones de un SCR son el tiempo de encendido ($t_{encendido}$), el tiempo de apagado ($t_{apagado}$), la temperatura de la unión (T_J) y la temperatura del encapsulado (T_C), todos los cuales deberán ser en buena medida entendidos por sí mismos.

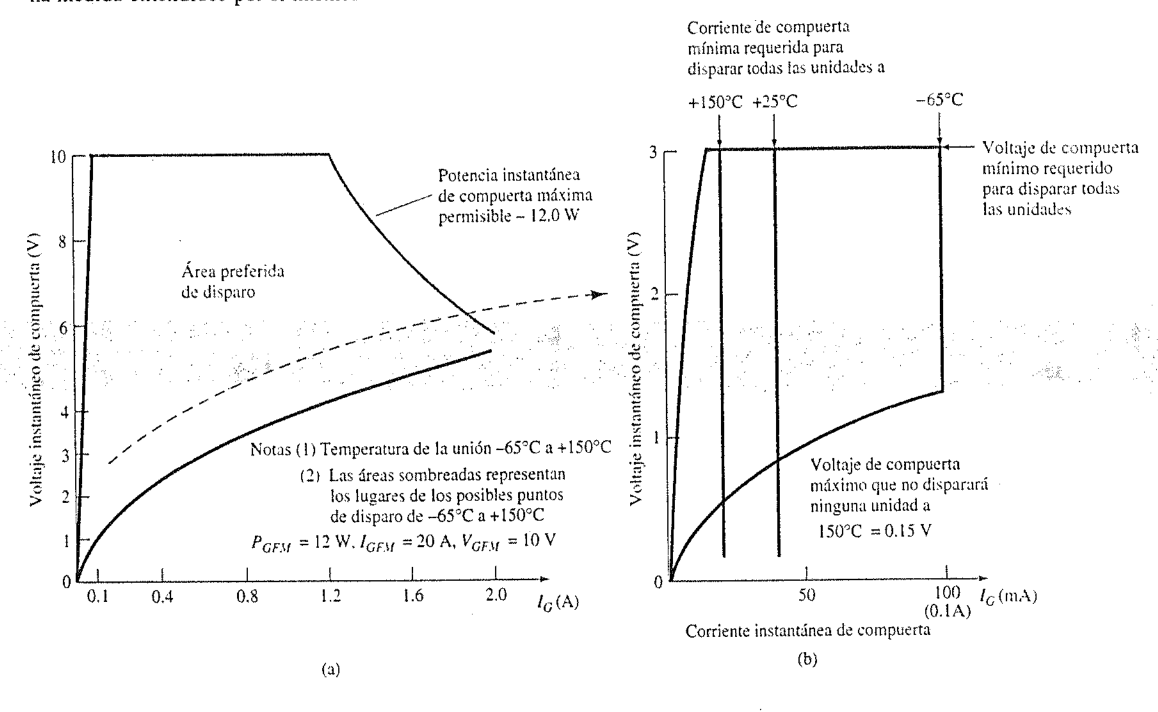


Figura 20.8 Características de compuerta del SCR (GE serie C38).

20.5 CONSTRUCCIÓN E IDENTIFICACIÓN DE TERMINALES DEL SCR

En la figura 20.9a se muestra la construcción básica de la configuración de cuatro capas de un SCR. En la figura 20.9b se muestra la construcción completa de un SCR libre de fatiga térmica y de alta corriente. Observe la posición de las terminales de compuerta, cátodo y ánodo. El encapsulado actúa como un disipador de calor que transfiere el calor generado al chasis sobre el que se encuentra montado el SCR. La construcción del encapsulado y la identificación de terminales de los SCRs varían con la aplicación. En la figura 20.10 se presentan otras técnicas de construcción de encapsulados y la identificación de las terminales de cada uno.

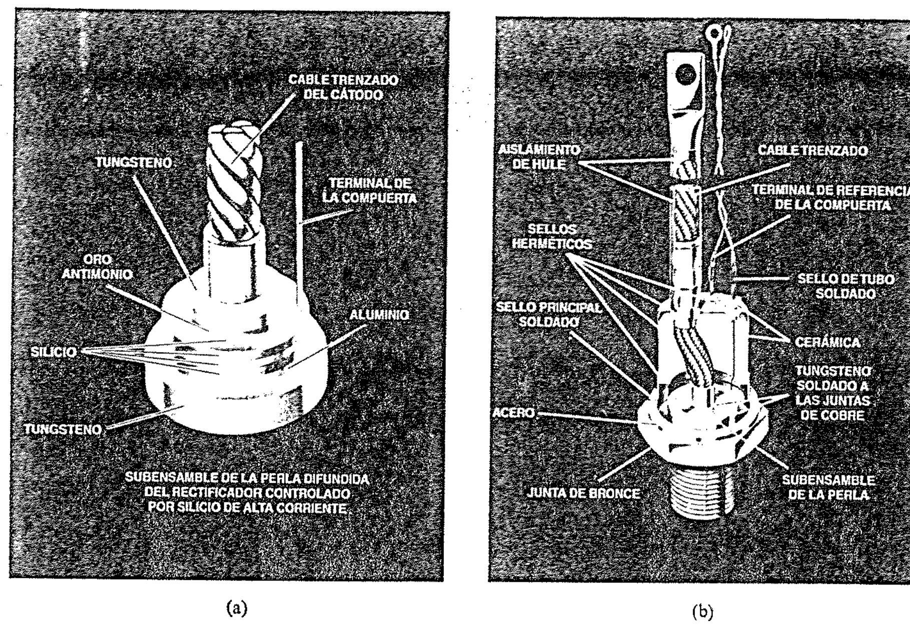


Figura 20.9 (a) SCR por difusión de aleación de tipo comprimido (b) SCR de fabricación libre de fatiga térmica. (Cortesía de General Electric Company.)

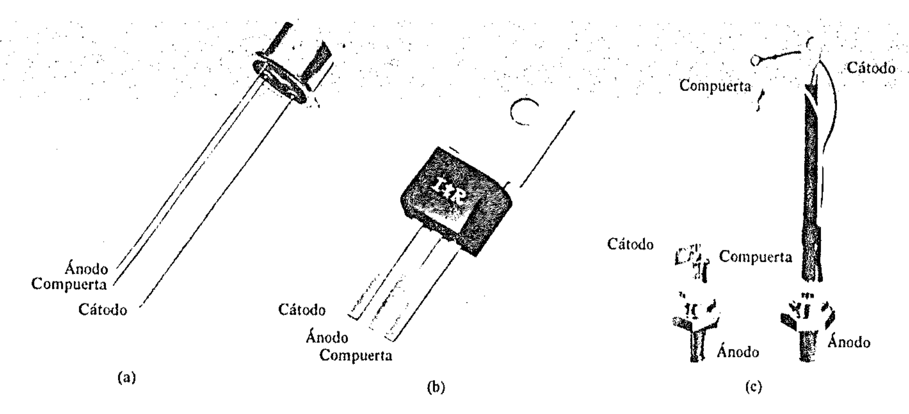


Figura 20.10 Construcción del encapsulado del SCR e identificación de terminales. [(a) Cortesía de General Electric Company; (b) y (c) cortesía de International Rectifier Corporation.]

20.6 APLICACIONES DEL SCR

Algunas de las posibles aplicaciones del SCR se enumeraron en la introducción al SCR (sección 20.2). En esta sección consideraremos cinco: un interruptor estático, un sistema de control de fase, un cargador de baterías, un controlador de temperatura y un sistema de iluminación de emergencia de una sola fuente.

Interruptor estático en serie

En la figura 20.11a se muestra un *interruptor estático en serie* de media onda. Si el interruptor se cierra como se muestra en la figura 20.11b, una corriente de compuerta fluirá durante la parte positiva de la señal de entrada y encenderá al SCR. El resistor R_1 limita la magnitud de la corriente de compuerta. Cuando el SCR se enciende, el voltaje del ánodo al cátodo (V_F) caerá hasta el valor de conducción, lo que ocasiona una corriente de compuerta muy reducida y una muy pequeña pérdida en el circuito de compuerta. Para la región negativa de la señal de entrada, el SCR se apagará debido a que el ánodo es negativo con respecto al cátodo. El diodo D_1 se incluye para evitar una inversión de la corriente de compuerta.

Las formas de onda para la corriente de carga y el voltaje resultantes se muestran en la figura 20.11b. El resultado de todo esto es una señal rectificada de media onda a través de la carga. Si se desea una conducción menor a 180°, puede cerrarse el interruptor en cualquier desplazamiento de fase durante la parte positiva de la señal de entrada. El interruptor puede ser electrónico, electromagnético o mecánico, según la aplicación.

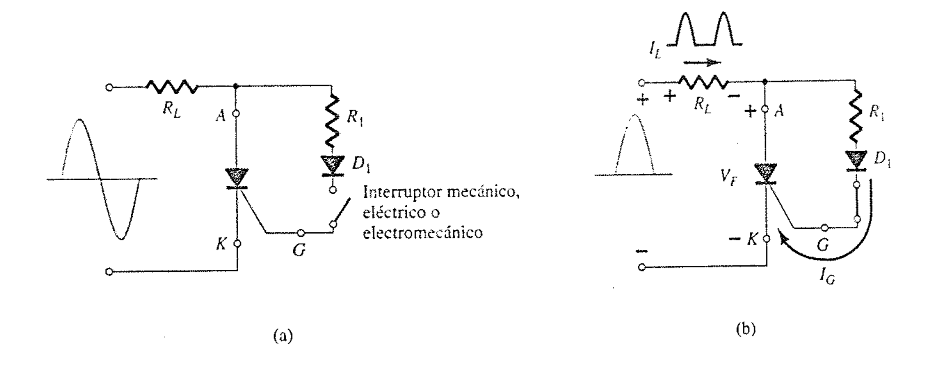


Figura 20.11 Interruptor estático en serie de media onda.

Control de fase de resistencia variable

En la figura 20.12a se muestra un circuito capaz de establecer un ángulo de conducción entre 90° y 180°. El circuito es similar al de la figura 20.11a excepto por la adición de un resistor variable y la eliminación del interruptor. La combinación de los resistores R y R_1 limitará la corriente de compuerta durante la parte positiva de la señal de entrada. Si R_1 se ajusta en su valor máximo, la corriente de la compuerta podría nunca alcanzar la magnitud de encendido. A medida que R_1 disminuye a partir de su máximo, la corriente de compuerta se incrementará a partir del mismo voltaje de entrada. De esta forma, la corriente de compuerta de encendido requerida se puede establecer en cualquier punto entre 0° y 90°, como se muestra en la figura 20.12b. Si R_1 es bajo, el SCR se disparará de forma casi inmediata, lo que resultará en la misma acción que la obtenida del circuito de la figura 20.11a (conducción de 180°). Sin embargo, según se indicó antes, si R_1 se incrementa, será necesario un voltaje de entrada mayor (positivo) para disparar al SCR. Como se indica en la figura 20.12b, el control no puede extenderse más allá del desplazamiento de fase de 90° dado que la entrada se encuentra a su máximo en este punto. Si falla para disparar a éste y a menores valores de voltaje de entrada en la pendiente positiva de la entrada, la

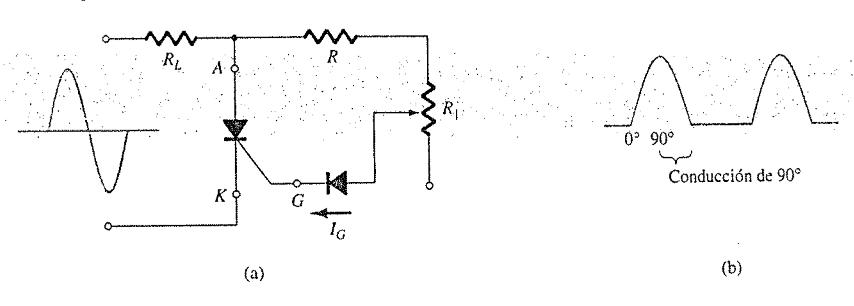


Figura 20.12 Control de fase por resistencia variable de media onda.

misma respuesta deberá esperarse en la parte con pendiente negativa de la forma de onda de la señal. Esta operación se denomina normalmente en términos técnicos como *control de fase de media onda por resistencia variable*, y es un método efectivo para controlar la corriente rms, y por tanto, la potencia hacia la carga.

Regulador para carga de baterías

Una tercera aplicación popular del SCR se encuentra en el *regulador para carga de baterías*. Los componentes fundamentales del circuito se muestran en la figura 20.13. Observe que el circuito de control se ha resaltado en un cuadro para propósitos del análisis.

Como se indica en la figura, D_1 y D_2 establecen una señal rectificada de onda completa a través de SCR_1 y de la batería que será cargada. Para voltajes bajos de la batería, SCR_2 se encontrará en el estado de "apagado" por los motivos que a continuación se explicarán. Con el SCR_2 abierto, el circuito controlado por el SCR_1 será exactamente el mismo que el del interruptor estático en serie que se analizó anteriormente en esta sección. Cuando la entrada rectificada de onda completa es lo suficientemente grande para producir la corriente de encendido requerida de la compuerta (controlada por R_1), se encenderá SCR_1 e iniciará la acción de carga de la batería. Al inicio de esta carga, el bajo voltaje de la batería ocasionará un bajo voltaje V_R según lo determina el circuito divisor de voltaje simple. El voltaje V_R será a su vez muy pequeño para lograr la conducción del Zener de 11.0 V. En el estado de apagado, el Zener es efectivamente un circuito abierto, lo cual mantiene al SCR_2 en el estado "apagado" dado que la corriente de compuerta es cero. El capacitor C_1 se incluye para evitar que cualquier transición de voltaje en el circuito accidentalmente encienda al SCR_2. Recuerde de su estudio fundamental de análisis de circuitos que el voltaje no puede cambiar de forma instantánea en un capacitor. De esta forma, C_1 evita que efectos transitorios afecten el SCR.

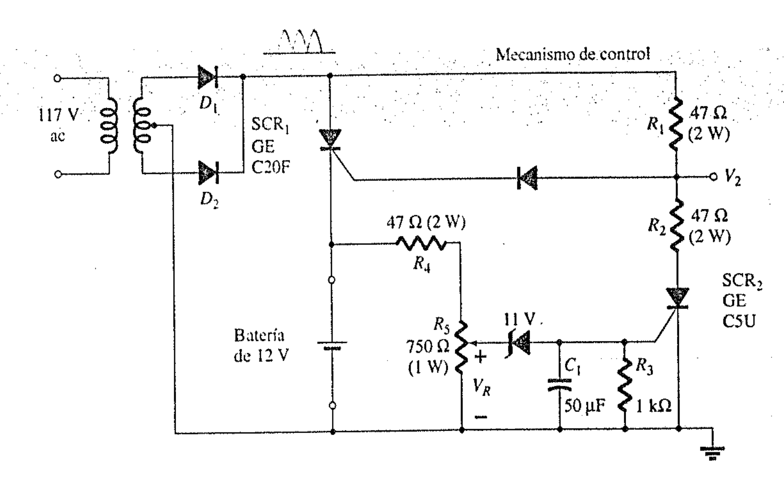


Figura 20.13 Regulador para carga de baterías.

A medida que la carga continúa, el voltaje de la batería crece hasta un punto donde V_R es lo suficientemente alto para encender tanto al Zener de 11.0 V como al SCR_2. Una vez que el SCR_2 se dispara, la representación de circuito cerrado de SCR_2 dará por resultado un circuito divisor de voltaje determinado por R_1 y R_2 que mantendrá a V_2 en un nivel demasiado pequeño para encender a SCR_1. Cuando esto suceda, la batería se encontrará completamente cargada y el estado de circuito abierto de SCR_1 detendrá la corriente de carga. De esta forma, el regulador recargará la batería cuando el voltaje caiga y evitará que se sobrecargue una vez que se encuentre completamente cargada.

Controlador de temperatura

En la figura 20.14 aparece el diagrama esquemático de un control de calefacción de 100 W que utiliza un SCR, el cual se encuentra diseñado de forma que el calentador de 100 W se encenderá y apagará según lo determine el termostato. Los termostatos de mercurio encapsulado son muy sensibles al cambio de temperatura. De hecho, pueden detectar cambios tan pequeños como 0.1°C. Sin embargo, su operación se limita a manejar sólo niveles de corriente muy bajos, por debajo de 1 mA. En esta aplicación, el SCR funciona como un amplificador de corriente en un elemento de conmutación de carga. No se trata de un amplificador en el sentido de que amplifique el nivel de corriente del termostato, sino que se trata de un dispositivo cuyo nivel más alto de corriente se encuentra controlado por el comportamiento del termostato.

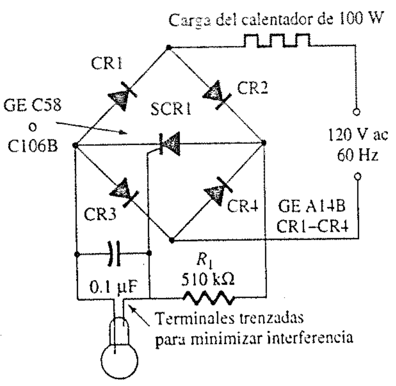


Figura 20.14 Control de temperatura. (Cortesía de General Electric Semiconductor Products Division.)

Deberá quedar claro que la red de puente se conecta a la fuente de ac mediante el calentador de 100 W. Esto ocasionará un voltaje rectificado de onda completa a través del SCR. Cuando el termostato se encuentra abierto, el voltaje a través del capacitor se cargará hasta un potencial de disparo de compuerta mediante cada pulso de la señal rectificada. La constante de tiempo de carga está determinada por el producto *RC*. Esto disparará al SCR durante cada medio ciclo de la señal de entrada, con lo que se permite un flujo de carga (corriente) hacia el calentador. A medida que la temperatura se eleva, el termostato conductivo colocará el capacitor en corto circuito y eliminará la posibilidad de que el capacitor se cargue hasta el potencial de disparo y accione el SCR. El resistor de 510 kΩ contribuirá entonces a mantener una corriente muy baja (menor a 250 μA) a través del termostato.

Sistema de iluminación de emergencia

La última aplicación del SCR que se describirá se muestra en la figura 20.15, se trata de un sistema de iluminación de emergencia de una sola fuente, que mantendrá la carga de una batería de 6 V para asegurar su disponibilidad y que también proporciona energía de dc a un foco en caso de un corte de energía. Una señal rectificada de onda completa se presentará a través de la lámpara de 6 V gracias a los diodos D_2 y D_1. El capacitor C_1 se cargará hasta un voltaje ligeramente menor que la diferencia entre el valor pico de la señal rectificada de onda completa y el voltaje de dc a través de R_2 que establece la batería de 6 V. En cualquier caso, el cátodo de SCR_1 está a un voltaje mayor que el ánodo y el voltaje de la compuerta al cátodo será negativo, lo que asegura que el SCR no conduzca. La batería se carga mediante R_1 y D_1 a una tasa determinada por R_1. La acción de carga sólo se presentará cuando el ánodo de D_1 sea más positivo que su cátodo. El nivel de dc de la señal rectificada de onda completa asegurará que el foco esté prendido cuando la alimentación se aplique. Si la alimentación llega a fallar, el capacitor C_1 se descargará mediante D_1, R_1 y R_3 hasta que el cátodo de SCR_1 sea menos positivo que el ánodo. Al mis-

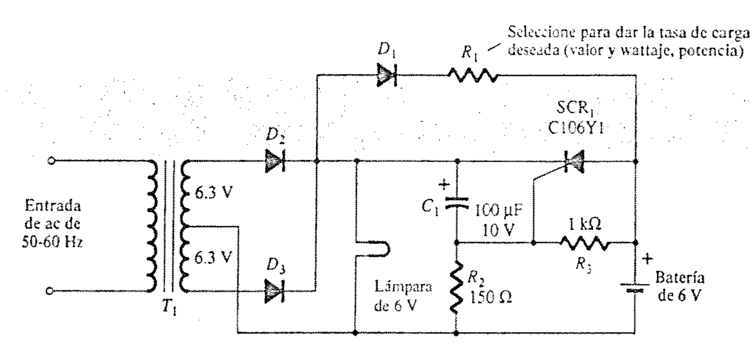


Figure 20.15 Sistema de iluminación de emergencia de una sola fuente. (Cortesía de General Electric Semiconductor Products Division.)

mo tiempo, la unión de R_2 y R_3 se volverá positiva y establecerá suficiente voltaje de la compuerta al cátodo para disparar el SCR. Una vez disparado, la batería de 6 V se descargará a través de SCR_1 y alimentará la lámpara para mantener su iluminación. Una vez que la alimentación se reestablezca, el capacitor C_1 se recargará y se reestablecerá el estado de no conducción de SCR_1 como se describió antes.

20.7 INTERRUPTOR CONTROLADO DE SILICIO

El interruptor controlado de silicio (SCS, *Silicon-Controlled Switch*), de la misma forma que el rectificador controlado de silicio, es un dispositivo *pnpn* de cuatro capas; todas estas capas semiconductoras del SCS se encuentran disponibles gracias a la adición de una compuerta de ánodo, como se muestra en la figura 20.16a. En la misma figura se muestra el símbolo gráfico y el circuito equivalente de transistor. Las características del dispositivo son básicamente las mismas que las del SCR. El efecto de una corriente de compuerta de ánodo es muy similar al demostrado para la corriente de compuerta en la figura 20.7. Mientras mayor sea la corriente de compuerta de ánodo, menor será el voltaje requerido de ánodo a cátodo para encender el dispositivo.

La conexión de compuerta de ánodo puede utilizarse para encender o apagar al dispositivo. Para encender al dispositivo, deberá aplicarse un pulso negativo a la terminal de compuerta del ánodo, mientras que se requerirá de un pulso positivo para apagar al dispositivo. La necesidad del tipo de pulso indicado antes puede demostrarse mediante el empleo del circuito de la figura 20.16c. Un pulso negativo en la compuerta del ánodo polarizará de forma directa la unión base-emisor de Q_1 encendiéndolo. La fuerte corriente de colector resultante encenderá a Q_2, lo que ocasionará una acción regenerativa y el estado de encendido para el dispositivo SCS. Un pulso positivo en la compuerta de ánodo polarizará de forma

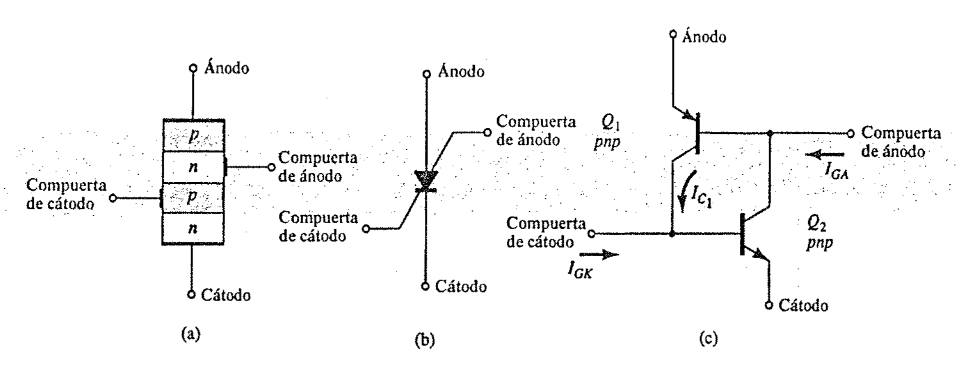


Figura 20.16 Interruptor controlado de silicio (SCS): (a) construcción básica; (b) símbolo gráfico; (c) circuito equivalente de transistor.

inversa la unión base-emisor de Q_1, apagándolo, y dará por resultado el estado de circuito abierto o "apagado" del dispositivo. En general, la corriente de disparo (encendido) de la compuerta de ánodo será mayor en magnitud que la corriente de compuerta de cátodo requerida. Para un dispositivo SCS representativo, la corriente de disparo de la compuerta de ánodo es de 1.5 mA mientras que la corriente requerida de corriente de cátodo es de 1 μA. La corriente de compuerta de encendido requerida en cualquier terminal es afectada por muchos factores. Algunos de ellos incluyen la temperatura de operación, el voltaje del ánodo al cátodo, la ubicación de la carga, y el tipo de conexión del cátodo, compuerta al cátodo o del ánodo, compuerta al ánodo (circuito cerrado, circuito abierto, polarización, carga, etcétera). Normalmente se encuentran disponibles tablas, gráficas o curvas de cada dispositivo para proporcionar el tipo de información indicado arriba.

En la figura 20.17 se muestran tres de los tipos más importantes de circuitos de apagado para el SCS. Cuando se aplica un pulso al circuito de la figura 20.17a, el transistor conduce plenamente, y ocasiona una característica de baja impedancia (≅ circuito cerrado) entre el colector y el emisor. Esta ramificación de baja impedancia desvía la corriente del ánodo del SCS, lo que provoca que éste caiga por debajo de su nivel de sostenimiento y por consecuencia lo apaga. De forma similar, el pulso positivo en la compuerta del ánodo de la figura 20.17b apagará al SCS mediante el mecanismo antes descrito en esta sección. El circuito de la figura 20.17c puede ser tanto encendido como apagado mediante un pulso con la magnitud adecuada en la compuerta de cátodo. La característica de apagado será posible sólo si se utiliza el valor correcto de R_A, el cual controlará la cantidad de retroalimentación regenerativa, donde la magnitud de ésta es crítica para este tipo de operación. Observe la variedad de ubicaciones en las que puede colocarse el resistor de carga R_L. Existen otras posibilidades distintas que pueden encontrarse en cualquier manual de referencia de semiconductores completo.

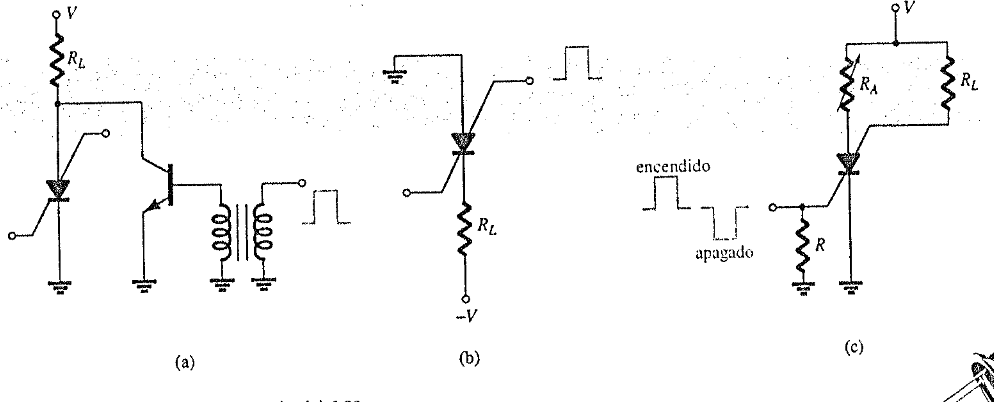


Figura 20.17 Técnicas de apagado del SCS.

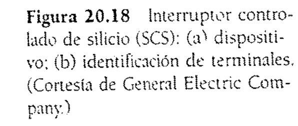


Figura 20.18 Interruptor controlado de silicio (SCS): (a) dispositivo; (b) identificación de terminales. (Cortesía de General Electric Company.)

Una ventaja del SCS sobre el SCR correspondiente es el tiempo reducido de apagado que, por lo general, se ubica dentro del rango de 1 a 10 μs para el SCS y de 5 a 30 μs para el SCR. Algunas de las ventajas restantes del SCS sobre el SCR incluyen una mayor sensibilidad de control y de disparo y una situación de disparo más predecible. Actualmente, sin embargo, el SCS se encuentra limitado a niveles de baja potencia, corriente y voltaje. El rango de corrientes de ánodo típicas máximas van de 100 a 300 mA con niveles de disipación (potencia) de 100 a 500 mW.

Sensor de voltaje

Algunas de las áreas más comunes de aplicación incluyen una amplia variedad de circuitos de computadora (contadores, registros y circuitos temporizadores), generadores de pulsos, sensores de voltaje y osciladores. Una aplicación simple de un SCS es en un disposi-

tivo sensor de voltaje como el que se muestra en la figura 20.19. Se trata de un sistema de alarma con n entradas de las distintas estaciones. Cualquiera de estas entradas encenderá el SCS particular, lo que da por resultado un relevador de alarma activado y una luz en el circuito de compuerta de ánodo para indicar la ubicación de la entrada (perturbación).

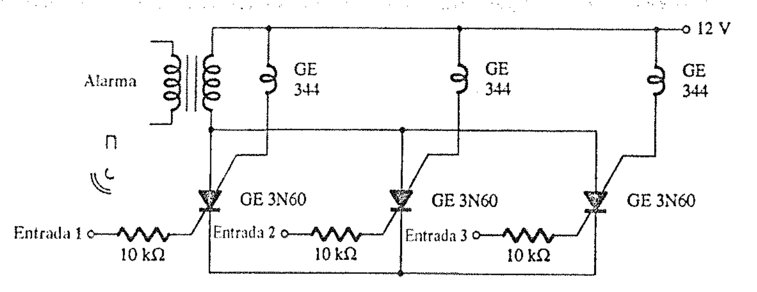


Figura 20.19 Circuito de alarma de SCS.

Figura 20.20 Circuito de alarma. (Cortesía de General Electric Semiconductor Products Division.)

Circuito de alarma

Una aplicación adicional del SCS es el circuito de alarma de la figura 20.20. R_S representa un resistor sensible a la temperatura, la luz o la radiación, el cual, es un elemento cuya resistencia disminuye al aplicar cualquiera de las tres fuentes de energía mencionadas antes. El potencial de la compuerta de cátodo está determinado por la relación de divisor establecida por R_S y el resistor variable. Observe que el potencial de compuerta se encuentra aproximadamente en 0 V si R_S es igual al valor establecido por el resistor variable dado que ambos resistores tendrán 12 V a través de ellos. Sin embargo, si R_S disminuye, el potencial de la unión se incrementará hasta que el SCS se encuentra polarizado de forma directa, lo que ocasionará que el SCS se encienda y active el relevador de la alarma.

El resistor de 100 kΩ se incluye para reducir la posibilidad de un disparo accidental del dispositivo por un fenómeno conocido como *efecto dependiente*, el cual es causado por los niveles de capacitancia parásita entre las compuertas. Un transitorio de alta frecuencia podría establecer suficiente corriente de base para encender de forma accidental al SCS. El dispositivo se reinicializa al presionar el botón de reinicio, el cual abre la trayectoria de conducción del SCS y reduce la corriente del ánodo a cero.

La sensibilidad de los resistores a la temperatura, luz o radiación, cuya resistencia se incrementa gracias a la aplicación de cualquiera de estas tres fuentes de energía, puede ajustarse al simplemente intercambiar la ubicación de R_S y del resistor variable. La identificación de terminales de un SCS se muestra en la figura 20.18 junto con un encapsulado de SCS.

20.8 INTERRUPTOR CONTROLADO EN COMPUERTA

El interruptor controlado en compuerta (GTO, *Gate Turn-off Switch*) es el tercer dispositivo *pnpn* que se presentará en este capítulo. Sin embargo, de la misma forma que para el SCR, este dispositivo sólo cuenta con tres terminales externas, como lo indica la figura 20.21a. Su símbolo gráfico también se muestra en la figura 20.21b. Aunque este símbolo gráfico es diferente tanto del SCR como del SCS, el equivalente de transistor es exactamente el mismo y las características son similares.

La ventaja más obvia del GTO sobre el SCR y el SCS es el hecho de que puede ser encendido *o* apagado mediante la aplicación del pulso apropiado a la compuerta de cátodo (sin la compuerta de ánodo y demás circuitería requerida para el SCS). Una consecuencia de esta capacidad de apagado es un incremento en la magnitud de la corriente de compuerta requerida para el disparo. Para un SCR y un GTO con valores de corriente rms similares, la corriente de compuerta para disparo de un SCR particular es de 30 μA mientras que la corriente para el disparo del GTO es de 20 mA. La corriente de apagado de un GTO es ligeramente mayor que la corriente requerida de disparo. Los niveles de corriente rms y de disipación máximos de los GTOs fabricados actualmente se encuentran limitados a cerca de 3 A y 2 W respectivamente.

Figura 20.21 Interruptor controlado en compuerta (GTO): (a) construcción básica; (b) símbolo.

Una segunda característica muy importante del GTO son sus características mejoradas de conmutación. El tiempo de encendido es similar al del SCR (por lo general de 1 μs), pero el tiempo de apagado de prácticamente de la *misma* duración (1 μs) es mucho menor que el tiempo de apagado típico de un SCR (de 5 a 30 μs). El hecho de que el tiempo de apagado sea similar al tiempo de encendido en lugar de ser considerablemente mayor, permite la utilización de este dispositivo en aplicaciones de alta velocidad.

En la figura 20.22 se muestra un GTO típico así como su identificación de terminales. Las características de entrada de la compuerta del GTO y los circuitos de apagado pueden encontrarse en un manual completo o en una hoja de especificaciones. La mayoría de los circuitos de apagado del SCR también pueden utilizarse para los GTOs.

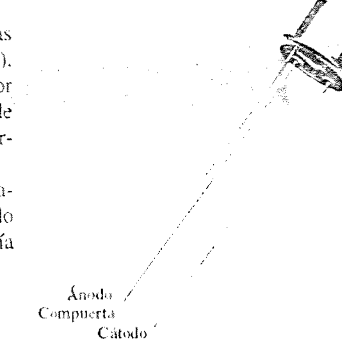


Figura 20.22 GTO típico y su identificación de terminales. (Cortesía de General Electric Company.)

Generador de diente de sierra

Algunas de las áreas de aplicación para el GTO incluyen contadores, generadores de pulso, multivibradores y reguladores de voltaje. La figura 20.23 es una ilustración de un generador simple de diente de sierra que utiliza un GTO y un diodo Zener.

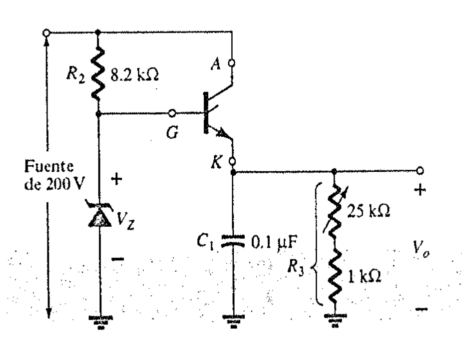


Figura 20.23 Generador GTO de diente de sierra.

Cuando la fuente se activa, el GTO se encenderá, lo que ocasionará un equivalente de circuito cerrado del ánodo al cátodo. El capacitor C_1 entonces comenzará a cargarse hacia el valor de la fuente de voltaje como se muestra en la figura 20.23. A medida que el voltaje a través del capacitor C_1 se carga por encima del potencial Zener, se presentará una inversión en el voltaje de la compuerta al cátodo, con lo que se establecerá una inversión en la corriente de compuerta. Eventualmente, la corriente de compuerta negativa será lo suficientemente grande para apagar al GTO, cuando esto sucede se originará la representación de circuito abierto y el capacitor C_1 se descargará a través del resistor R_3. El tiempo de descarga estará determinado por la constante de tiempo del circuito $\tau = R_3C_1$. La adecuada selección de R_3 y C_1 dará por resultado la forma de onda de diente de sierra de la figura 20.23. Una vez que el potencial de salida V_o caiga por debajo de V_Z, el GTO se encenderá y el proceso se repetirá.

20.9 SCR ACTIVADO POR LUZ

El siguiente en la serie de dispositivos *pnpn* es el SCR activado por luz (LASCR). Como lo indica la terminología, se trata de un SCR cuyo estado lo controla la luz que incide sobre una capa semiconductora de silicio del dispositivo. La construcción básica de un LASCR se muestra en la figura 20.24a. Como se indica en esta misma figura, también se proporciona una terminal de compuerta para permitir el disparo del dispositivo mediante métodos tradicionales del SCR. Observe también en la figura que la superficie de monta-

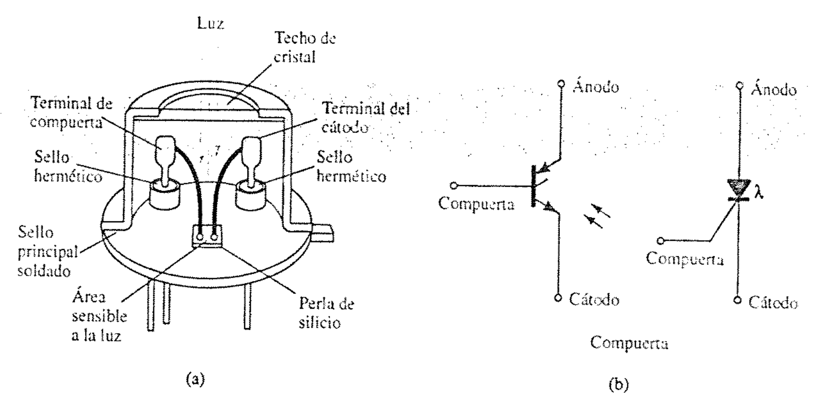


Figura 20.24 SCR activado por luz (LASCR): (a) construcción básica; (b) símbolos.

je para la perla de silicio será la conexión del ánodo para el dispositivo. En la figura 20.24b se proporcionan los símbolos gráficos que con mayor frecuencia se utilizan para el LASCR. La identificación de terminales y un LASCR típico aparecen en la figura 20.25a.

Algunas de las áreas de aplicación para el LASCR incluyen controles ópticos de luz, relevadores, controles de fase, controles de motores y una variedad de aplicaciones de cómputo. Los valores de corriente (rms) y potencia (compuerta) máximos para los LASCRs disponibles comercialmente en la actualidad son de 3 A y 0.1 W. En la figura 20.25b se proporcionan las características (disparo por luz) de un LASCR representativo. Observe en dicha figura que un incremento en la temperatura de la unión ocasiona una reducción en la energía luminosa requerida para activar el dispositivo.

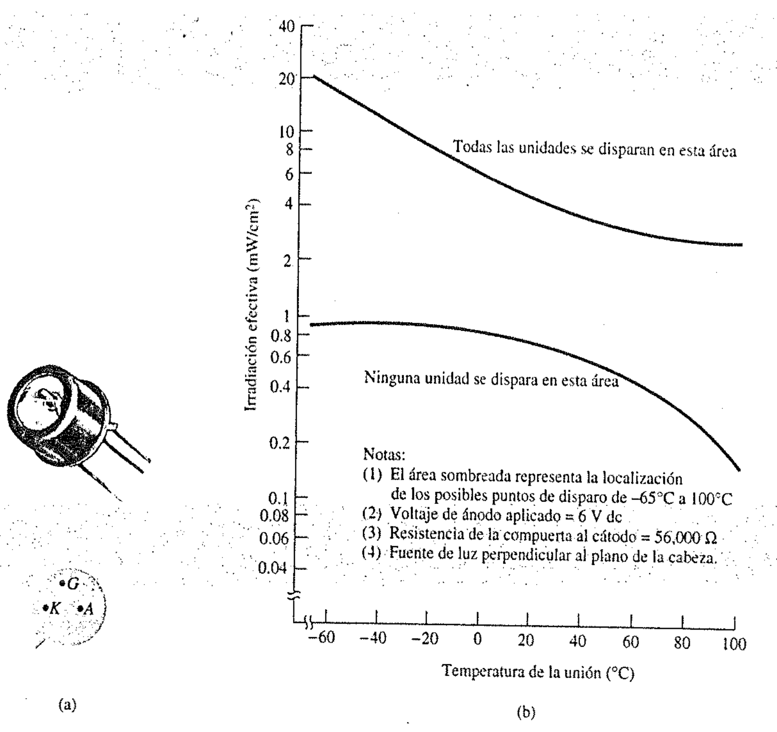


Figura 20.25 LASCR: (a) apariencia e identificación de terminales; (b) características de disparo por luz. (Cortesía de General Electric Company.)

Circuitos AND/OR

Una aplicación interesante de un LASCR se encuentra en los circuitos AND y OR de la figura 20.26. Únicamente cuando la luz incide sobre el $LASCR_1$ y el $LASCR_2$ será aplicable la representación de circuito cerrado y la fuente de voltaje se presentará a través de la carga. Para el circuito OR, la energía luminosa aplicada al $LASCR_1$ *o* al $LASCR_2$ ocasionará que el voltaje de alimentación se presente a través de la carga.

El LASCR es más sensible a la luz cuando la terminal de la compuerta se encuentra abierta. Su sensibilidad puede reducirse y controlarse en cierta manera mediante la incorporación de un resistor de compuerta, según se muestra en la figura 20.26.

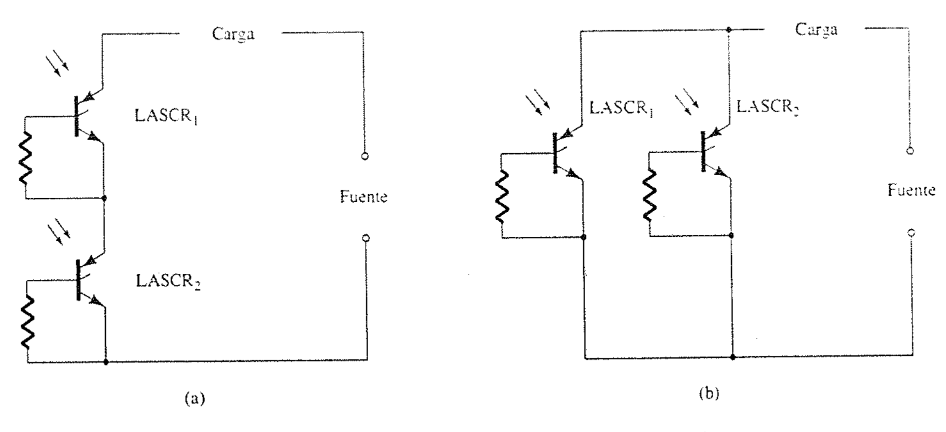


Figura 20.26 Circuito lógico optoelectrónico de LASCR: (a) compuerta AND: se requiere la entrada sobre $LASCR_1$ y $LASCR_2$ para activar la carga; (b) compuerta OR: la entrada sobre $LASCR_1$ *o* $LASCR_2$ activará la carga.

Relevador

En la figura 20.27 se presenta una segunda aplicación del LASCR. Se trata de la analogía semiconductora de un relevador electromecánico. Observe que ofrece un aislamiento completo entre la entrada y el elemento de conmutación. La corriente de excitación puede hacerse pasar a través de un diodo emisor de luz o un foco, como se muestra en la figura. La luz incidente ocasionará que el LASCR se encienda y permita un flujo de carga (corriente) a través de la carga según lo establece la fuente de dc. El LASCR puede apagarse mediante el interruptor de inicialización S_1. Este sistema ofrece las ventajas adicionales sobre un interruptor electromecánico de contar con una larga vida, respuesta en microsegundos, tamaño pequeño y la eliminación del rebote de contacto.

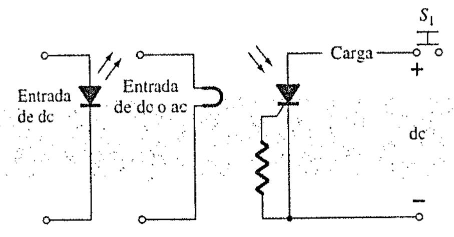


Figura 20.27 Relevador. (Cortesía de Powerex, Inc.)

20.10 DIODO SHOCKLEY

El diodo Shockley es un diodo *pnpn* de cuatro capas con sólo dos terminales externas, como se muestra en la figura 20.28a junto con su símbolo gráfico. Las características (figura 20.28b) del dispositivo son exactamente las mismas que las encontradas para el SCR

con $I_G = 0$. Como lo indican las características, el dispositivo se encuentra en el estado apagado (representación de circuito abierto) hasta que se alcanza el voltaje de transición conductiva, momento en el que se desarrollan las condiciones de avalancha y el dispositivo se enciende (representación de circuito cerrado).

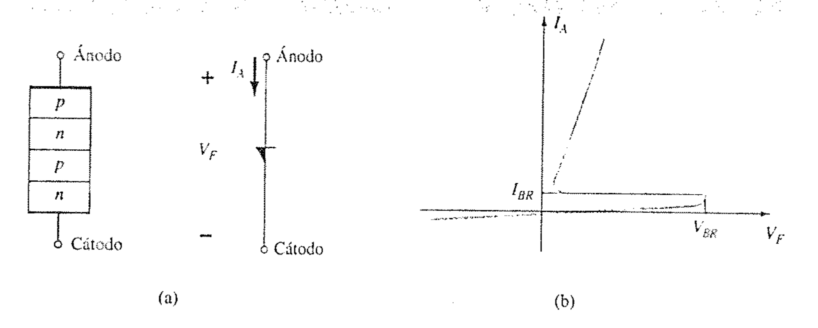


Figura 20.28 Diodo Shockley: (a) construcción básica y símbolo; (b) características.

Interruptor de disparo

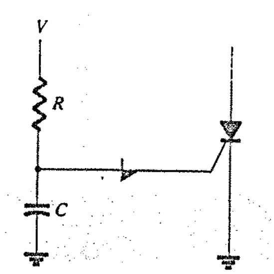


Figura 20.29 Aplicación de un diodo Shockley: como un interruptor de disparo para un SCR.

En la figura 20.29 se muestra una aplicación común del diodo Shockley, donde se utiliza como un interruptor de disparo para un SCR. Cuando el circuito se activa, el voltaje a través del capacitor comenzará a cambiar hacia el voltaje de la fuente. Eventualmente, el voltaje a través del capacitor será lo suficientemente grande para primero encender al diodo Shockley y después al SCR.

20.11 DIAC

El diac es básicamente una combinación paralela inversa de dos terminales de capas de semiconductor que permiten el disparo en cualquier dirección. Las características del dispositivo, presentadas en la figura 20.30a, claramente demuestran que existe un voltaje de transición conductiva en cualquier dirección. Esta posibilidad de una condición de *encendido* en cualquier dirección puede utilizarse al máximo en aplicaciones de ac.

En la figura 20.30b se muestra el arreglo básico de las capas de semiconductor del diac, así como su símbolo gráfico. Observe que ninguna terminal se denomina como el cátodo. En lugar de esto, existe un ánodo 1 (o electrodo 1) y un ánodo 2 (o electrodo 2).

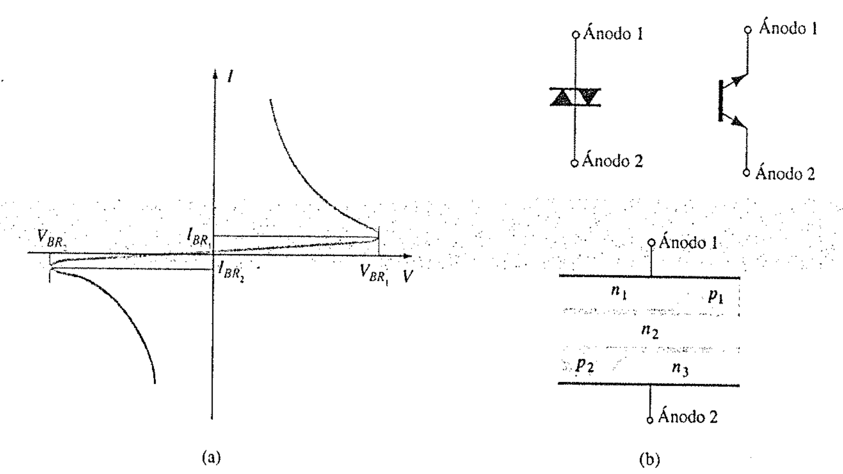


Figura 20.30 Diac: (a) características; (b) símbolos y construcción básica. (Cortesía de General Electric Company.)

Cuando el ánodo 1 es positivo con respecto al ánodo 2, las capas de semiconductor de interés particular serán $p_1n_2p_2$ y n_3. Para el caso cuando el ánodo 2 es positivo con respecto al ánodo 1, las capas que relevantes serán $p_2n_2p_1$ y n_1.

Para la unidad que aparece en la figura 20.30, los voltajes de transición conductiva son de magnitud muy cercana entre sí, pero pueden variar de un mínimo de 28 V hasta un máximo de 42 V, y se relacionan mediante la ecuación siguiente proporcionada en la hoja de especificaciones:

$$V_{BR_1} = V_{BR_2} \pm 0.1V_{BR_2} \tag{20.1}$$

Los niveles de corriente (I_{BR_1} e I_{BR_2}) son muy cercanos en magnitud para cada dispositivo. Para la unidad de la figura 20.30, ambos niveles de corriente están cerca de 200 μA = 0.2 mA.

Detector de proximidad

En la figura 20.31 aparece la utilización del diac en un detector de proximidad. Observe el uso de un SCR en serie con la carga y el transistor monounión (UJT) programable (que se describirá en la sección 20.13) conectado de forma directa al electrodo sensor.

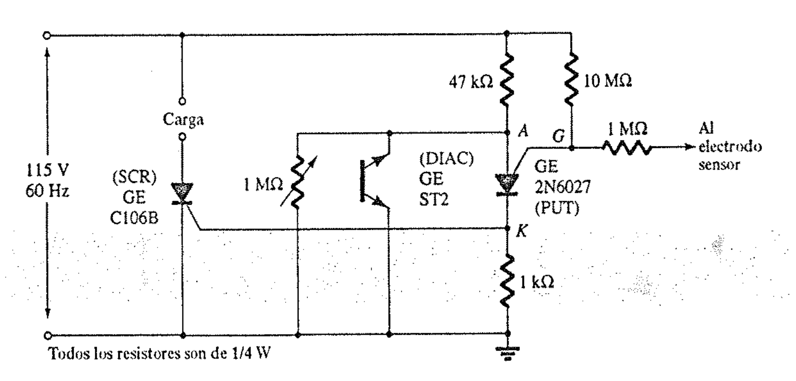


Figura 20.31 Detector de proximidad o interruptor de tacto. (Cortesía de Powerex, Inc.)

A medida que el cuerpo humano se acerca al electrodo sensor, la capacitancia entre el electrodo y la tierra se incrementará. El UJT programable (PUT) es un dispositivo que disparará (entrará al estado de circuito cerrado) cuando el voltaje del ánodo (V_A) sea al menos 0.7 V (para el silicio) mayor que el voltaje de compuerta (V_G). Antes de que el dispositivo programable se encienda, el sistema se encontrará básicamente como el que se muestra en la figura 20.32. A medida que el voltaje de entrada se eleva, el voltaje del diac V_G lo seguirá como se muestra en la figura hasta que se alcance el potencial de disparo. Entonces se encenderá y el voltaje del diac caerá de forma sustancial, como se indica. Observe que

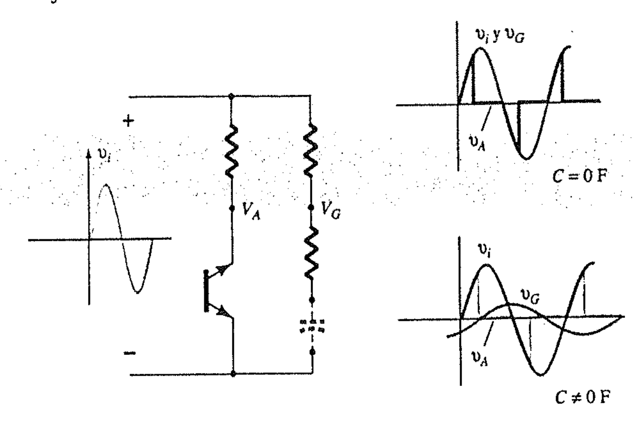


Figura 20.32 Efecto del elemento capacitivo sobre el comportamiento de la red de la figura 20.31.

el diac se encuentra esencialmente en el estado de circuito abierto hasta que se dispara. Antes de que se introduzca el elemento capacitivo, el voltaje V_G será el mismo que el de entrada. Como se indica en la figura, dado que tanto V_A como V_G siguen a la entrada, V_A no podrá ser nunca mayor que V_G por 0.7 V y encender al dispositivo. Sin embargo, al incorporar el elemento capacitivo, el voltaje V_G comenzará a retrasar el voltaje de entrada mediante un ángulo creciente, como se indica en la figura. Por tanto, existirá un punto establecido donde V_A puede exceder a V_G por 0.7 V y ocasionar que el dispositivo programable se dispare. En este punto se establece una fuerte corriente a través del PUT, con lo que el voltaje V_K se eleva y se enciende el SCR. Entonces se presentará una fuerte corriente de SCR a través de la carga que reacciona a la presencia de una persona que se aproxime.

En la siguiente sección (figura 20.34) se presenta una segunda aplicación del diac, cuando consideremos un importante dispositivo de control de potencia: el triac.

20.12 TRIAC

El triac es fundamentalmente un diac con una terminal de compuerta para controlar las condiciones de encendido del dispositivo bilateral en cualquier dirección. En otras palabras, para cualquier dirección la corriente de compuerta puede controlar la acción del dispositivo en una forma muy similar a la demostrada para el SCR. Sin embargo, las características del triac en el primer y tercer cuadrante son un tanto distintas de las del diac, como se muestra en la figura 20.33c. Observe que la corriente de sostenimiento en cada dirección no está presente en las características del diac.

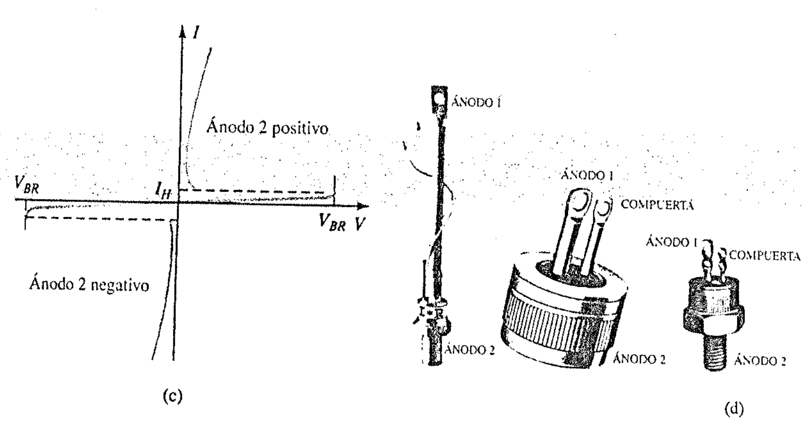


Figura 20.33 Triac: (a) símbolo; (b) construcción básica; (c) características; (d) fotografías.

En la figura 20.33 se presenta el símbolo gráfico del dispositivo así como la distribución de las capas de semiconductor, junto con fotografías del mismo. Para cada dirección de conducción posible, existe una combinación de capas de semiconductor cuyo estado será controlado por la señal aplicada a la terminal de compuerta.

Control de fase (potencia)

En la figura 20.34 se presenta una aplicación fundamental del triac. En esta condición, se encuentra controlando la potencia de ac a la carga mediante la conmutación de encendido y apagado durante las regiones positiva y negativa de la señal senoidal de entrada. La acción de este circuito durante la parte positiva de la señal de entrada, es muy similar a la encontrada para el diodo Shockley en la figura 20.29. La ventaja de esta configuración es que durante la parte negativa de la señal de entrada, se obtendrá el mismo tipo de respuesta dado que tanto el diac como el triac pueden dispararse en la dirección inversa. La forma de onda resultante para la corriente a través de la carga se proporciona en la figura 20.34. Al variar el resistor R, es posible controlar el ángulo de conducción. Existen unidades disponibles actualmente que pueden manejar cargas de más de 10 kW.

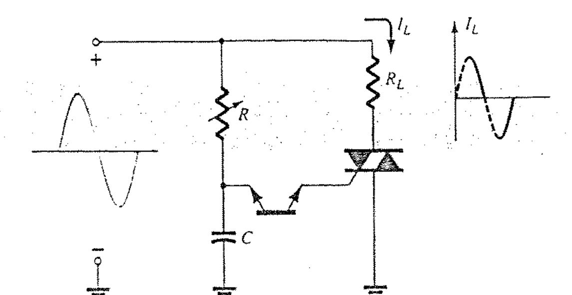


Figura 20.34 Aplicación del triac: control de fase (potencia).

OTROS DISPOSITIVOS

20.13 TRANSISTOR MONOUNIÓN

El creciente interés en el transistor monounión, de la misma forma que para el SCR, se ha incrementado a un ritmo exponencial. Aunque se presentó por primera vez en 1948, el dispositivo no se comercializó sino hasta 1952. El bajo costo por unidad aunado a las excelentes características del dispositivo le han asegurado su uso en una amplia variedad de aplicaciones. Algunas de ellas incluyen osciladores, circuitos de disparo, generadores de diente de sierra, controles de fase, circuitos temporizadores, redes biestables y fuentes de corriente o voltaje regulado. El hecho de que este dispositivo sea, en general, un dispositivo de baja absorción de potencia bajo condiciones normales de operación, es una ayuda tremenda para el continuo esfuerzo por diseñar sistemas relativamente eficientes.

El UJT (*UniJunction Transistor*) es un dispositivo de tres terminales que cuenta con la construcción básica de la figura 20.35. Una barra de silicio de tipo *n* ligeramente dopada (característica de resistencia incrementada) tiene dos contactos de base adheridos a ambos extremos de la superficie y una varilla de aluminio en aleación con la superficie opuesta. La unión *p-n* del dispositivo se forma en la frontera de la varilla de aluminio y la barra de silicio de tipo *n*. De la única unión *p-n* proviene la terminología de *monounión*. Originalmente se le denominaba como diodo de base dual (doble) debido a la presencia de dos contactos de base. Observe en la figura 20.35 que la varilla de aluminio se encuentra en aleación con la barra de silicio en un punto más cercano al contacto de la base 2 que al contacto de la base 1 y que la terminal de la base 2 se vuelve positiva con respecto a la terminal de la base 1 por V_{BB} volts. El efecto de cada una será evidente en los párrafos siguientes.

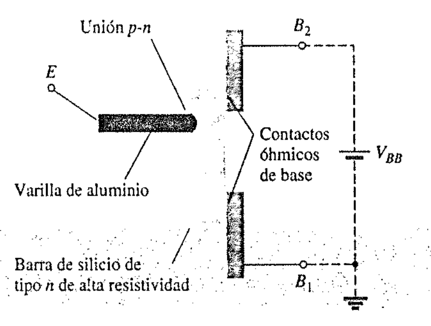


Figura 20.35 Transistor monounión (UJT): construcción básica.

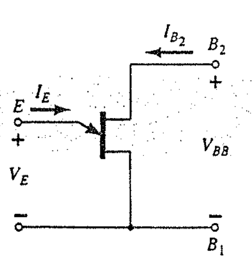


Figura 20.36 Símbolo y arreglo básico de polarización para el transistor monounión.

En la figura 20.36 se presenta el símbolo del transistor monounión. Observe que la terminal del emisor se dibuja con un ángulo con respecto a la línea vertical que representa la barra de material de tipo *n*. La punta de la flecha está apuntando en la dirección del flujo de corriente convencional (hueco) cuando el dispositivo se encuentra en el estado de polarización directa, activo o de conducción.

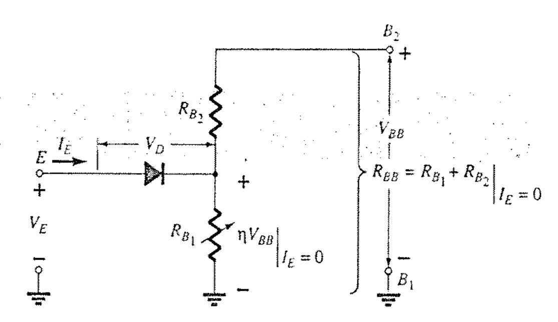


Figura 20.37 Circuito equivalente del UJT.

El circuito equivalente del UJT se muestra en la figura 20.37. Observe la relativa simplicidad de este circuito equivalente: dos resistores (uno fijo y uno variable) y un solo diodo. La resistencia R_{B_1} se muestra como un resistor variable dado que su magnitud variará con la corriente I_E. De hecho, para un transistor monounión representativo, R_{B_1} puede variar desde 5 kΩ hasta 50 Ω para un cambio correspondiente de I_E de 0 a 50 μA. La resistencia interbase R_{BB} es la resistencia del dispositivo entre las terminales B_1 y B_2 cuando $I_E = 0$. En forma de ecuación,

$$R_{BB} = (R_{B_1} + R_{B_2})\big|_{I_E=0} \tag{20.2}$$

(R_{BB} típicamente se encuentra dentro del rango de 4 a 10 kΩ). La posición de la varilla de aluminio de la figura 20.35 determinará los valores relativos de R_{B_1} y R_{B_2} con $I_E = 0$. La magnitud de $V_{R_{B_1}}$ (con $I_E = 0$) está determinada por la regla del divisor de voltaje de la siguiente forma:

$$V_{R_{B_1}} = \frac{R_{B_1}}{R_{B_1} + R_{B_2}} \cdot V_{BB} = \eta V_{BB}\bigg|_{I_E=0} \tag{20.3}$$

La letra griega η (eta) se denomina relación de *separación intrínseca* del dispositivo y está definida por

$$\eta = \frac{R_{B_1}}{R_{B_1} + R_{B_2}}\bigg|_{I_E=0} = \frac{R_{B_1}}{R_{BB}} \tag{20.4}$$

Para potenciales aplicados del emisor (V_E) mayores que $V_{R_{B_1}}$ ($= \eta V_{BB}$) por la caída de voltaje directo del diodo V_D (0.35 → 0.70 V), el diodo se disparará. Si se supone la representación de circuito cerrado (sobre una base ideal), I_E comenzará a fluir a través de R_{B_1}. En forma de ecuación, el potencial de disparo del emisor está dado por

$$V_P = \eta V_{BB} + V_D \tag{20.5}$$

En la figura 20.38 se muestran las características de un transistor monounión representativo para $V_{BB} = 10$ V. Observe que para potenciales del emisor a la izquierda del punto pico, la magnitud de I_E nunca será mayor a I_{EO} (medidas en microamperes). La corriente I_{EO} corresponde de forma muy cercana con la corriente inversa de fuga I_{CO} del transistor convencional bipolar. Esta región, como se indica en la figura, se conoce como la región de corte. Una vez que la conducción se establece cuando $V_E = V_P$, el potencial del emisor V_E caerá ante el incremento en I_E. Esto corresponde de forma exacta con el decremento de la resistencia R_{B_1} para el incremento de la corriente I_E como se discutió anteriormente. Este dispositivo, por tanto, tiene una región de *resistencia negativa* que es lo suficientemente estable para ser utilizada con una gran confiabilidad en las áreas de aplicación antes mencionadas. Eventualmente, se alcanzará el punto de valle y cualquier

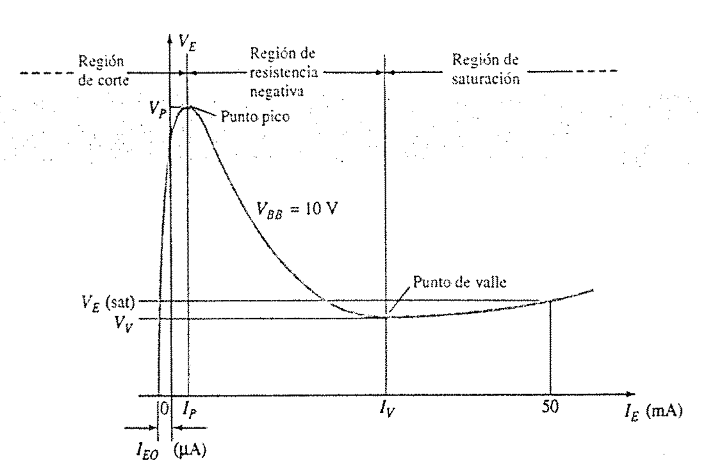


Figura 20.38 Curva estática de la característica del emisor del UJT.

incremento posterior de I_E colocará al dispositivo en la región de saturación. En esta región, las características se aproximan a las del diodo semiconductor en el circuito equivalente de la figura 20.37.

La disminución de la resistencia en la región activa se debe a los huecos inyectados en la barra de tipo *n* provenientes de la varilla de aluminio de tipo *p* cuando se establece la conducción. El mayor contenido de huecos en el material de tipo *n* ocasionará un incremento en el número de electrones libres en la barra, lo que producirá un incremento en la conductividad (G) y una caída correspondiente en la resistencia ($R \downarrow = 1/G \uparrow$). Los otros tres importantes parámetros del transistor monounión son I_P, V_V e I_V. Cada uno de éstos se indica en la figura 20.38. Todos ellos se explican a sí mismos.

Las características del emisor como normalmente se presentan se proporcionan en la figura 20.39. Observe que I_{EO} (μA) no se aprecia dado que la escala horizontal se encuentra

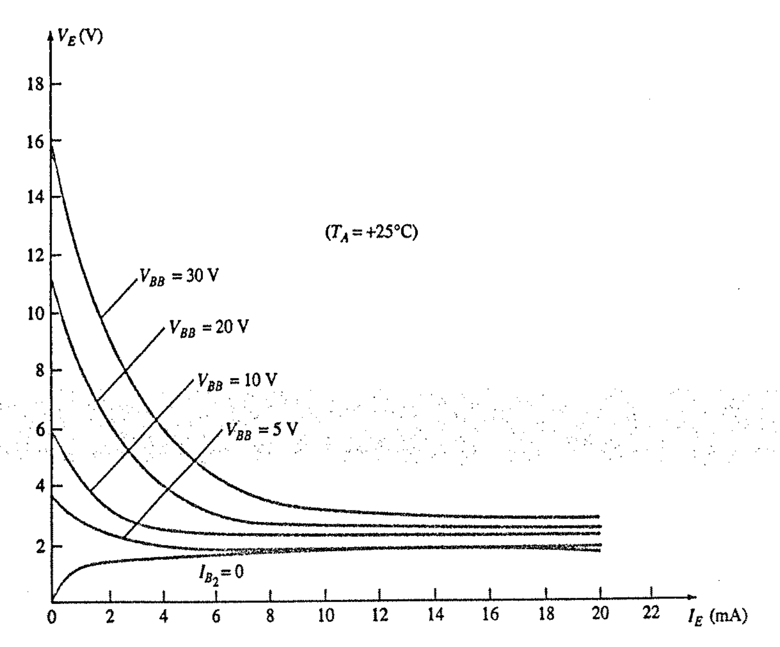


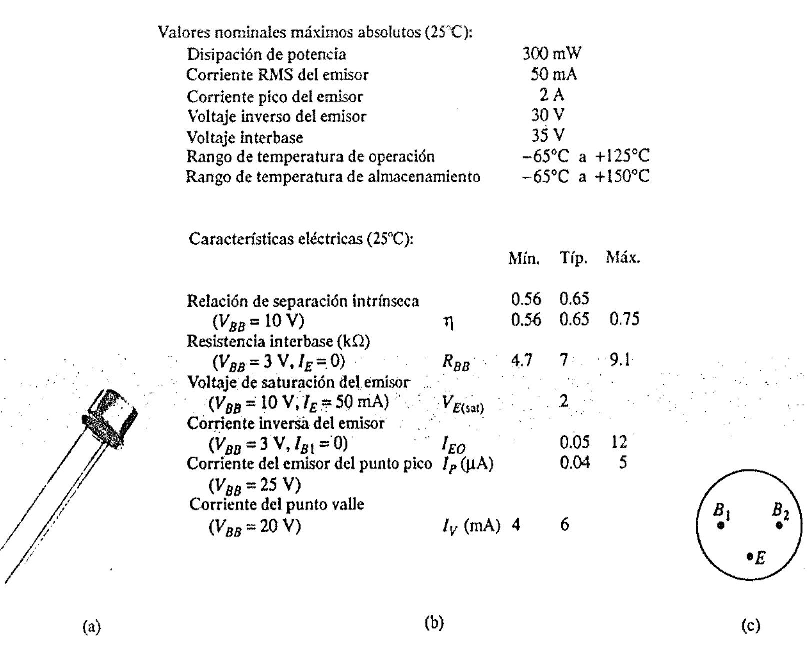
Figura 20.39 Curvas típicas estáticas de la característica del emisor para un UJT.

en miliamperes. La intersección de cada curva con el eje vertical es el valor correspondiente de V_P. Para valores fijos de η y V_D, la magnitud de V_P variará conforme a V_{BB}, es decir,

$$V_P \uparrow = \eta V_{BB} \uparrow + V_D$$

$$\underbrace{\uparrow \qquad \uparrow}_{\text{fijo}}$$

En la figura 20.40b se proporciona un conjunto típico de especificaciones del UJT. El análisis de los últimos párrafos deberá ayudar a identificar rápidamente cada cantidad. La identificación de terminales se proporciona en la misma figura junto con una fotografía de un UJT representativo. Observe que las terminales de base se encuentran opuestas entre sí, mientras que la terminal del emisor se encuentra en medio de las otras dos. Además, la terminal de base que debe conectarse al potencial más elevado se encuentra más cercana a la saliente del encapsulado.


Valores nominales máximos absolutos (25°C):

Disipación de potencia	300 mW
Corriente RMS del emisor	50 mA
Corriente pico del emisor	2 A
Voltaje inverso del emisor	30 V
Voltaje interbase	35 V
Rango de temperatura de operación	−65°C a +125°C
Rango de temperatura de almacenamiento	−65°C a +150°C

Características eléctricas (25°C):

		Mín.	Típ.	Máx.
Relación de separación intrínseca		0.56	0.65	
(V_{BB} = 10 V)	η	0.56	0.65	0.75
Resistencia interbase (kΩ)				
(V_{BB} = 3 V, I_E = 0)	R_{BB}	4.7	7	9.1
Voltaje de saturación del emisor				
(V_{BB} = 10 V, I_E = 50 mA)	$V_{E(sat)}$		2	
Corriente inversa del emisor				
(V_{BB} = 3 V, I_{B1} = 0)	I_{EO}		0.05	12
Corriente del emisor del punto pico	I_P (μA)		0.04	5
(V_{BB} = 25 V)				
Corriente del punto valle				
(V_{BB} = 20 V)	I_V (mA)	4	6	

Figura 20.40 UJT: (a) apariencia; (b) hoja de especificaciones; (c) identificación de terminales. (Cortesía de General Electric Company.)

Disparo de un SCR

Una aplicación muy común del UJT se encuentra en el disparo de otros dispositivos como el SCR. Los elementos básicos de un circuito tal de disparo se muestran en la figura 20.41. El resistor R_1 debe seleccionarse para asegurar que la recta de carga determinada por R_1 cruza a través de las características del dispositivo en la región de resistencia negativa, es decir, a la derecha del punto pico pero a la izquierda del punto valle según se muestra en la figura 20.42. Si la recta de carga no pasa a la derecha del punto pico, el dispositivo no se puede encender. Es posible establecer una ecuación para R_1 que asegure una condición de encendido si se considera el punto pico en el que $I_{R_1} = I_P$ y $V_E = V_P$. (La igualdad $I_{R_1} = I_P$ es válida dado que la corriente de carga del capacitor, en este instante, es cero. Es decir, el capacitor se encuentra en este momento particular cambiando de un estado de carga a uno de descarga.) Luego $V - I_{R_1}R_1 = V_E$ y $R_1 = (V - V_E)/I_{R_1} = (V - V_P)/I_P$ en el punto pico. Para asegurar el disparo,

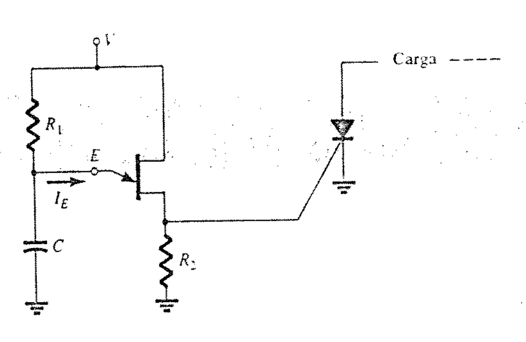


Figura 20.41 Disparo de un SCR mediante un UJT.

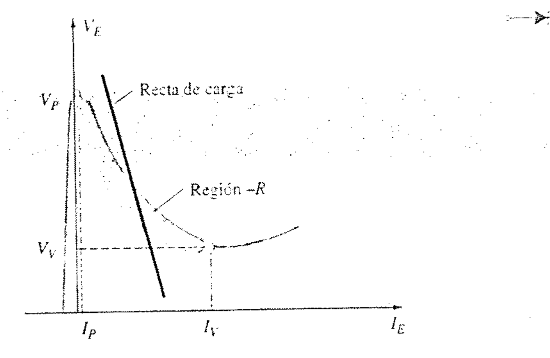


Figura 20.42 Recta de carga para una aplicación de disparo.

$$\boxed{R_1 < \frac{V - V_P}{I_P}} \qquad (20.6)$$

En el punto valle $I_E = I_V$ y $V_E = V_V$, de forma que

$$V - I_{R_1}R_1 = V_E$$

se convierte en

$$V - I_V R_1 = V_V$$

y

$$R_1 = \frac{V - V_V}{I_V}$$

o para asegurar el apagado,

$$\boxed{R_1 > \frac{V - V_V}{I_V}} \qquad (20.7)$$

El rango de R_1 por tanto se encuentra limitado por

$$\boxed{\frac{V - V_V}{I_V} < R_1 < \frac{V - V_P}{I_P}} \qquad (20.8)$$

La resistencia R_2 debe seleccionarse lo suficientemente pequeña para asegurar que el SCR no se encienda por el voltaje V_{R_2} de la figura 20.43 cuando $I_E \cong 0$ A. El voltaje V_{R_2} está entonces dado por:

$$\boxed{V_{R_2} \cong \left.\frac{R_2 V}{R_2 + R_{BB}}\right|_{I_E = 0\text{ A}}} \qquad (20.9)$$

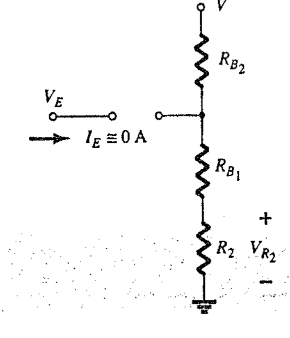


Figura 20.43 Red de disparo cuando $I_E \cong 0$ A.

El capacitor C determinará, como veremos, el intervalo de tiempo entre los pulsos de disparo y el lapso de tiempo de cada pulso.

En el momento en el que la fuente de voltaje de dc V se aplica, el voltaje $v_E = v_C$ se cargará hacia V volts desde V_V como se muestra en la figura 20.44 con una constante de tiempo $\tau = R_1C$.

La ecuación general para el periodo de carga es

$$\boxed{v_C = V_V + (V - V_V)(1 - e^{-t/R_1C})} \qquad (20.10)$$

Como se observa en la figura 20.44, el voltaje a través de R_2 se encuentra determinado por la ecuación 20.9 durante este periodo de carga. Cuando $v_C = v_E = V_P$, el UJT ingresará al estado de conducción y el capacitor se descargará mediante R_{B_1} y R_2 a una tasa determinada por la constante de tiempo $\tau = (R_{B_1} + R_2)C$.

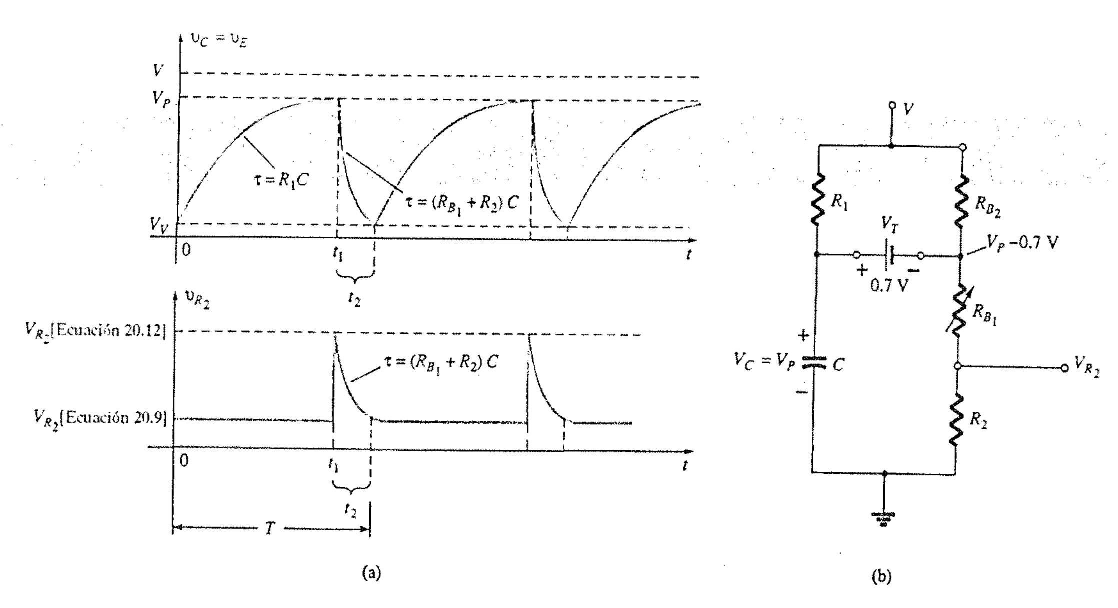


Figura 20.44 (a) Fases de carga y de descarga para la red de disparo de la figura 20.41; (b) red equivalente cuando el UJT se enciende.

La ecuación de descarga para el voltaje $v_C = v_E$ será la siguiente:

$$v_C \cong V_P e^{-t/(R_{B_1}+R_2)C} \tag{20.11}$$

La ecuación 20.11 se complica de alguna forma por el hecho de que R_{B_1} disminuirá ante la creciente corriente de emisor y los otros elementos de la red, como R_1 y V, afectarán la tasa de descarga y el nivel final. Sin embargo, la red equivalente aparece como se muestra en la figura 20.44 y las magnitudes de R_1 y R_{B_2} son por lo general tales, que una red Thévenin para la red circundante al capacitor C se afectará sólo ligeramente por estos dos resistores. Incluso aunque V sea un voltaje razonablemente alto, la contribución del divisor de voltaje al voltaje de Thévenin puede ignorarse sobre una base de aproximación.

Mediante el equivalente reducido de la figura 20.45 para la fase de descarga se obtendrá la siguiente aproximación para el valor pico de V_{R_2}:

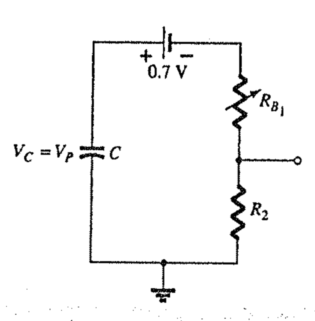


Figura 20.45 Red equivalente reducida cuando el UJT se enciende.

$$V_{R_2} \cong \frac{R_2(V_P - 0.7)}{R_2 + R_{B_1}} \tag{20.12}$$

El periodo t_1 de la figura 20.44 puede determinarse de la siguiente forma:

$$\begin{aligned} v_C\,(\text{cargando}) &= V_V + (V - V_V)(1 - e^{-t/R_1C}) \\ &= V_V + V - V_V - (V - V_V)e^{-t/R_1C} \\ &= V - (V - V_V)e^{-t/R_1C} \end{aligned}$$

donde $v_C = V_P$, $t = t_1$, y $V_P = V - (V - V_V)e^{-t_1/R_1C}$, o

$$\frac{V_P - V}{V - V_V} = -e^{-t_1/R_1C}$$

y

$$e^{-t_1/R_1C} = \frac{V - V_P}{V - V_V}$$

Mediante logaritmos, tenemos

$$\log_e e^{-t_1/R_1C} = \log_e \frac{V - V_P}{V - V_V}$$

y

$$\frac{-t_1}{R_1C} = \log_e \frac{V - V_P}{V - V_P}$$

con

$$t_1 = R_1C \log_e \frac{V - V_V}{V - V_P} \tag{20.13}$$

Para el periodo de descarga el tiempo entre t_1 y t_2 puede determinarse a partir de la ecuación 20.11 como sigue:

$$v_C\,(\text{descargando}) = V_P\, e^{-t/(R_{B_1}+R_2)C}$$

Al establecer t_1 como $t = 0$ tenemos

$$v_C = V_V \text{ en } t = t_2$$

y

$$V_V = V_P e^{-t_2/(R_{B_1}+R_2)C}$$

o

$$e^{-t_2/(R_{B_1}+R_2)C} = \frac{V_V}{V_P}$$

Mediante logaritmos tenemos

$$\frac{-t_2}{(R_{B_1} + R_2)C} = \log_e \frac{V_V}{V_P}$$

y

$$t_2 = (R_{B_1} + R_2)C \log_e \frac{V_P}{V_V} \tag{20.14}$$

El periodo para el ciclo completo se define por T en la figura 20.44. Es decir,

$$T = t_1 + t_2 \tag{20.15}$$

Oscilador de relajación

Si se eliminara el SCR de la configuración, la red se comportaría como un *oscilador de relajación*, con lo que se genera la forma de onda de la figura 20.44. La frecuencia de oscilación estará determinada por

$$f_{osc} = \frac{1}{T} \tag{20.16}$$

En muchos sistemas, $t_1 \gg t_2$ y

$$T \cong t_1 = R_1C \log_e \frac{V - V_V}{V - V_P}$$

Dado que $V \gg V_V$ en muchos casos,

$$\begin{aligned} T \cong t_1 &= R_1C \log_e \frac{V}{V - V_P} \\ &= R_1C \log_e \frac{1}{1 - V_P/V} \end{aligned}$$

pero $\eta = V_P/V$ si ignoramos los efectos de V_D en la ecuación 20.5 y

$$T \cong R_1 C \log_e \frac{1}{1-\eta}$$

o

$$\boxed{f \cong \frac{1}{R_1 C \log_e [1/(1-\eta)]}} \qquad (20.17)$$

EJEMPLO 20.1

Dado el oscilador de relajación de la figura 20.46:

(a) Determine R_{B_1} y R_{B_2} cuando $I_E = 0$ A.
(b) Calcule V_P, el voltaje necesario para encender el UJT.
(c) Determine si R_1 se encuentra dentro del rango permitido de valor que determina la ecuación 20.8 para asegurar el disparo del UJT.
(d) Determine la frecuencia de oscilación si $R_{B_1} = 100\ \Omega$ durante la fase de descarga.
(e) Dibuje la forma de onda de v_C para un ciclo completo.
(f) Dibuje la forma de onda de v_{R_2} para un ciclo completo.

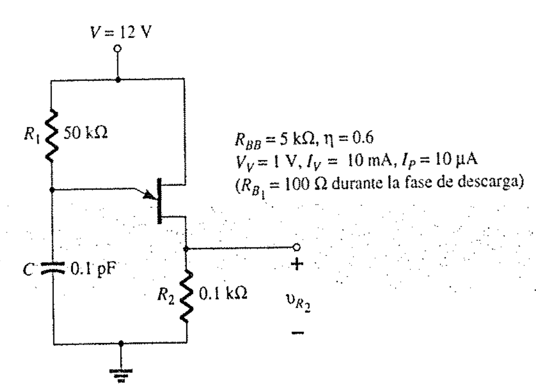


Figura 20.46 Ejemplo 20.1.

Solución

(a) $$\eta = \frac{R_{B_1}}{R_{B_1} + R_{B_2}}$$

$$0.6 = \frac{R_{B_1}}{R_{BB}}$$

$$R_{B_1} = 0.6 R_{BB} = 0.6(5\ \text{k}\Omega) = \mathbf{3\ k\Omega}$$

$$R_{B_2} = R_{BB} - R_{B_1} = 5\ \text{k}\Omega - 3\ \text{k}\Omega = \mathbf{2\ k\Omega}$$

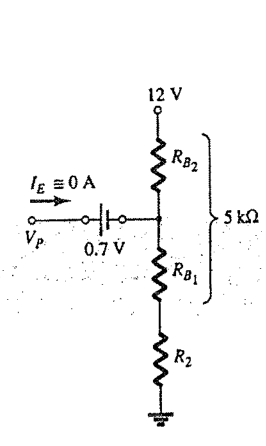


Figura 20.47 Red para determinar VP, el voltaje requerido para encender al UJT.

(b) En el punto donde $v_C = V_P$, si continuamos con $I_E = 0$ A, se obtendrá la red de la figura 20.47, donde

$$V_P = 0.7\ \text{V} + \frac{(R_{B_1} + R_2)12\ \text{V}}{\underbrace{R_{B_1} + R_{B_2}}_{R_{BB}} + R_2}$$

$$= 0.7\ \text{V} + \frac{(3\ \text{k}\Omega + 0.1\ \text{k}\Omega)12\ \text{V}}{5\ \text{k}\Omega + 0.1\ \text{k}\Omega} = 0.7\ \text{V} + 7.294\ \text{V}$$

$$\cong \mathbf{8\ V}$$

(c) $$\frac{V - V_V}{I_V} < R_1 < \frac{V - V_P}{I_P}$$

$$\frac{12\ \text{V} - 1\ \text{V}}{10\ \text{mA}} < R_1 < \frac{12\ \text{V} - 8\ \text{V}}{10\ \mu\text{A}}$$

$$1.1\ \text{k}\Omega < R_1 < 400\ \text{k}\Omega$$

La resistencia $R_1 = 50\ \text{k}\Omega$ cae dentro de este rango.

(d) $$t_1 = R_1 C \log_e \frac{V - V_V}{V - V_P}$$

$$= (50\ \text{k}\Omega)(0.1\ \text{pF}) \log_e \frac{12\ \text{V} - 1\ \text{V}}{12\ \text{V} - 8\ \text{V}}$$

$$= 5 \times 10^{-3} \log_e \frac{11}{4} = 5 \times 10^{-3}(1.01)$$

$$= 5.05\ \text{ms}$$

$$t_2 = (R_{B_1} + R_2) C \log_e \frac{V_P}{V_V}$$

$$= (0.1\ \text{k}\Omega + 0.1\ \text{k}\Omega)(0.1\ \text{pF}) \log_e \frac{8}{1}$$

$$= (0.02 \times 10^{-6})(2.08)$$

$$= 41.6\ \mu\text{s}$$

y $$T = t_1 + t_2 = 5.05\ \text{ms} + 0.0416\ \text{ms}$$

$$= 5.092\ \text{ms}$$

con $$f_{\text{osc}} = \frac{1}{T} = \frac{1}{5.092\ \text{ms}} \cong \mathbf{196\ Hz}$$

Mediante la ecuación 20.17 tenemos

$$f \cong \frac{1}{R_1 C \log_e [1/(1-\eta)]}$$

$$= \frac{1}{5 \times 10^{-3} \log_e 2.5}$$

$$= \mathbf{218\ Hz}$$

(e) Ver figura 20.48.

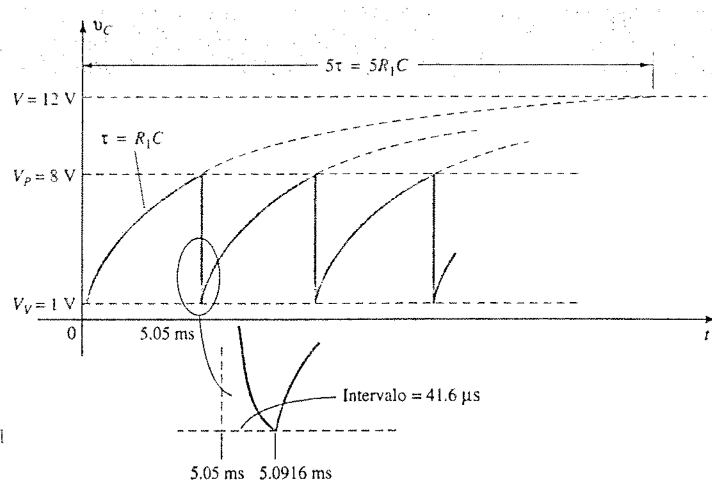


Figura 20.48 El voltaje v_C para el oscilador de relajación de la figura 20.46.

(f) Durante la fase de carga (ecuación 20.9)

$$V_{R_2} = \frac{R_2 V}{R_2 + R_{BB}} = \frac{0.1\ \text{k}\Omega(12\ \text{V})}{0.1\ \text{k}\Omega + 5\ \text{k}\Omega} = \mathbf{0.235\ V}$$

Cuando $v_C = V_P$ (ecuación 20.12)

$$V_{R_2} \cong \frac{R_2(V_P - 0.7\ \text{V})}{R_2 + R_{B_1}} = \frac{0.1\ \text{k}\Omega(8\ \text{V} - 0.7\ \text{V})}{0.1\ \text{k}\Omega + 0.1\ \text{k}\Omega}$$

$$= \mathbf{3.65\ V}$$

La gráfica de v_{R_2} se muestra en la figura 20.49.

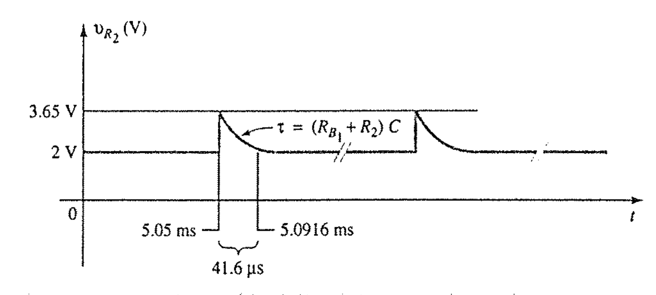


Figura 20.49 El voltaje v_{R_2} para el oscilador de relajación de la figura 20.46.

20.14 FOTOTRANSISTORES

El comportamiento fundamental de los dispositivos fotoeléctricos se presentó antes con la descripción del fotodiodo. Ahora el análisis se extenderá para incluir al fototransistor, el cual posee una unión *p-n* colector-base fotosensible. La corriente inducida por los efectos fotoeléctricos será la corriente de base del transistor. Si asignamos la notación I_λ para la corriente de base fotoinducida, la corriente de colector resultante, sobre una base aproximada, será

$$I_C \cong h_{fe} I_\lambda \tag{20.18}$$

En la figura 20.50 se proporciona un conjunto representativo de características para un fototransistor junto con la representación simbólica del dispositivo. Observe las similitudes entre estas curvas y las de un transistor bipolar típico. Como se esperaba, un incremento en la intensidad de luz corresponde con un incremento en la corriente de colector. Para desarrollar un mayor grado de familiaridad con la unidad de medida de la intensidad de luz, los miliwats por centímetro cuadrado, en la figura 20.51a se presenta una curva de la corriente de base en función de la densidad de flujo. Observe el incremento exponencial en la corriente de base ante el incremento de densidad de flujo. En la misma figura, se proporciona un dibujo de un fototransistor con la identificación de terminales y la alineación angular.

Algunas áreas de aplicación del fototransistor incluyen lectoras de tarjetas perforadas, circuitos lógicos de computadoras, control de iluminación (autopistas, etcétera), indicadores de nivel, relevadores y sistemas de conteo.

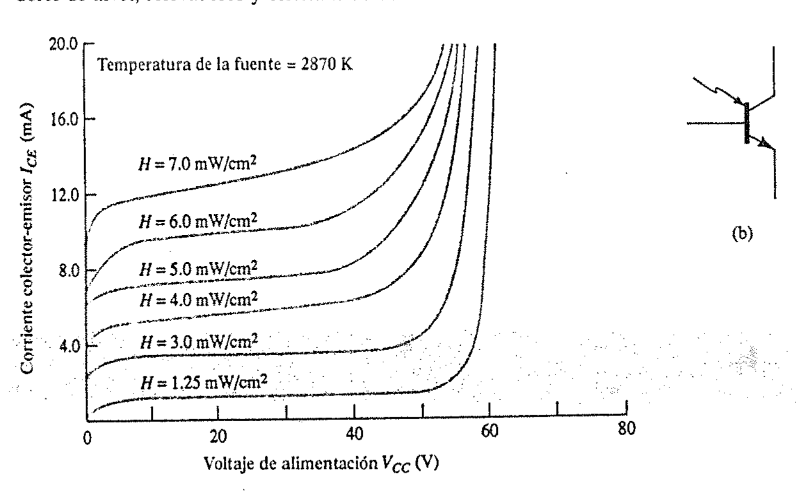


Figura 20.50 Fototransistor: (a) características del colector (MRD300); (b) símbolo. (Cortesía de Motorola, Inc.)

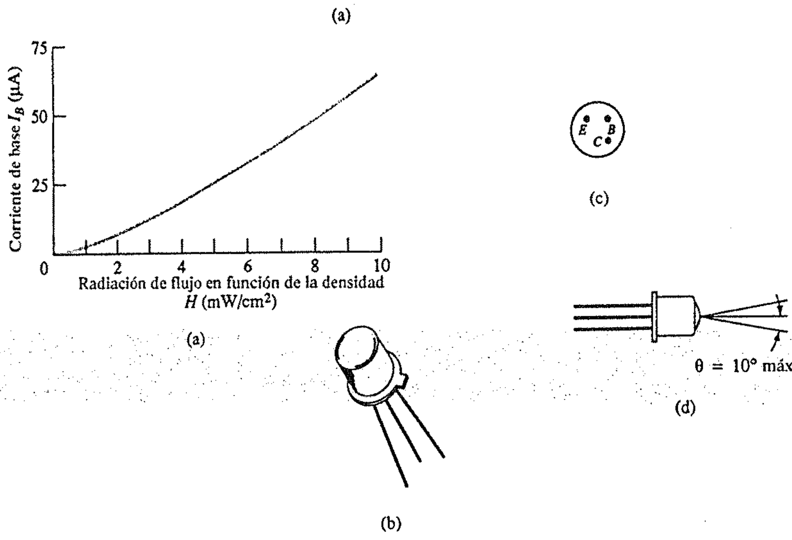


Figura 20.51 Fototransistor: (a) corriente de base en función de la densidad de flujo; (b) dispositivo; (c) identificación de terminales; (d) alineación angular. (Cortesía de Motorola, Inc.)

Compuerta AND de alto aislamiento

En la figura 20.52 se muestra una compuerta AND de alto aislamiento que utiliza tres fototransistores y tres LEDs (diodos emisores de luz). Los LEDs son dispositivos semiconductores que emiten luz a una intensidad determinada por la corriente directa que pasa a través del dispositivo. Con ayuda del análisis del capítulo 1, el comportamiento del circuito deberá ser relativamente fácil de comprender. La terminología *alto aislamiento* simplemente se refiere a la falta de conexión eléctrica entre los circuitos de entrada y de salida.

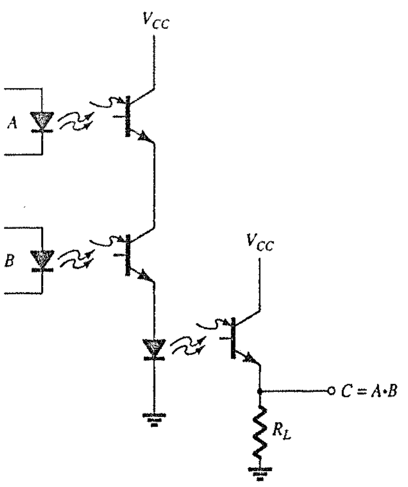
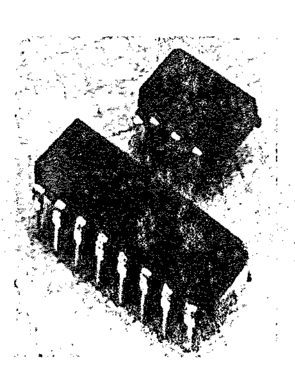


Figura 20.52 Compuerta AND de alto aislamiento que utiliza fototransistores y diodos emisores de luz (LEDs).

20.15 OPTOAISLADORES

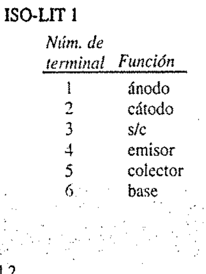
El optoaislador es un dispositivo que incorpora muchas de las características descritas en la sección precedente. Simplemente se trata de un encapsulado que contiene tanto un LED infrarrojo como un fotodetector, como un diodo de silicio, un transistor par Darlington o un SCR. La respuesta de longitud de onda de cada dispositivo se adapta para ser lo más similar posible para permitir el mayor nivel de acoplamiento posible. En la figura 20.53, se proporcionan dos posibles configuraciones de circuito integrado junto con una fotografía de cada una. Se presenta una cubierta transparente de aislamiento entre cada conjunto de elementos incrustados en la estructura (no visible) para permitir el paso de la luz. Estos dispositivos se encuentran diseñados con tiempos de respuesta tan pequeños que pueden utilizarse para transmitir datos en el rango de los megahertz.



ISO-LIT 1

(Vista superior)

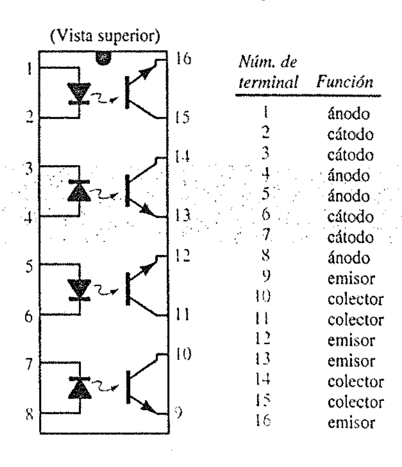
El LED en la terminal 2
El PT en la terminal 5



Núm. de terminal	*Función*
1	ánodo
2	cátodo
3	s/c
4	emisor
5	colector
6	base

ISO-LIT Q1

(Vista superior)



Núm. de terminal	*Función*
1	ánodo
2	cátodo
3	cátodo
4	ánodo
5	ánodo
6	cátodo
7	cátodo
8	ánodo
9	emisor
10	colector
11	colector
12	emisor
13	emisor
14	colector
15	colector
16	emisor

Figura 20.53 Dos optoaisladores de Litronix. (Cortesía de Siemens Components, Inc.)

Los valores máximos y las características eléctricas del modelo IL-1 se proporcionan en la figura 20.54. Observe que I_{CEO} se mide en nanoamperes y que la disipación de potencia del LED y del transistor es prácticamente la misma.

(a) Valores nominales máximos

LED de arseniuro de galio (cada canal) IL-1	
Disipación de potencia @ 25°C	200 mW
Disminución de la disipación de forma lineal a partir de 25°C	2.6 mW/°C
Corriente directa continua	150 mA
Detector de fototransistor de silicio (cada canal) IL-1	
Disipación de potencia @ 25°C	200 mW
Disminución de la disipación de forma lineal a partir de 25°C	2.6 mW/°C
Voltaje de ruptura colector-emisor	30 V
Voltaje de ruptura emisor-colector	7 V
Voltaje de ruptura colector-base	70 V
Encapsulado IL-1	
Disipación total del encapsulado a 25°C ambiente (LED más detector)	250 mW
Disminución de la disipación de forma lineal a partir de 25°C	3.3 mW/°C
Temperatura de almacenamiento	−55°C a +150°C
Temperatura de operación	−55°C a +100°C

(b) Características eléctricas por canal (a 25°C ambiente)

Parámetro	*Mín.*	*Típ.*	*Máx.*	*Unidad*	*Condiciones de prueba*
LED de arseniuro de galio					
Voltaje directo		1.3	1.5	V	$I_F = 60$ mA
Corriente inversa		0.1	10	µA	$V_R = 3.0$ V
Capacitancia		100		pF	$V_R = 0$ V
Detector de fototransistor					
BV_{CEO}	30			V	$I_C = 1$ mA
I_{CEO}		5.0	50	nA	$V_{CE} = 10$ V, $I_F = 0$ A
Capacitancia colector-emisor		2.0		pF	$V_{CE} = 0$ V
BV_{ECO}	7			V	$I_E = 100$ µA
Características de acoplamiento					
Relación de transferencia de corriente de dc	0.2	0.35			$I_F = 10$ mA, $V_{CE} = 10$ V
Capacitancia, entrada a salida		0.5		pF	
Voltaje de ruptura	2500			V	DC
Resistencia, entrada a salida		100		GΩ	
V_{sat}			0.5	V	$I_C = 1.6$ mA, $I_F = 16$ mA
Retardo de propagación					
$t_{D\ encendido}$		6.0		µs	$R_L = 2.4$ kΩ, $V_{CE} = 5$ V
$t_{D\ apagado}$		25		µs	$I_F = 16$ mA

Figura 20.54 Optoaislador Litronix IL-1.

Las curvas características opto-electrónicas típicas para cada canal se presentan de la figura 20.55 a la figura 20.59. Observe el efecto tan pronunciado de la temperatura sobre la corriente de salida a bajas temperaturas, pero la mediana respuesta a temperatura ambiente (25°C) o por encima de ella. Como se mencionó anteriormente, el nivel de I_{CEO} se mejora a un ritmo constante, conforma las mejoras en el diseño y las técnicas de fabricación (mientras sea menor será mejor). En la figura 20.55, no se alcanza 1 μA hasta que la temperatura se eleva por encima de 75°C. Las características de transferencia de la figura 20.56 comparan la corriente de entrada del LED (que establece el flujo luminoso) con la corriente de

colector resultante del transistor de salida (cuya corriente de base está determinada por el flujo incidente). De hecho, la figura 20.57 demuestra que el voltaje V_{CE} afecta la corriente de colector resultante sólo de forma muy ligera. Resulta interesante observar en la figura 20.58 que el tiempo de conmutación de un optoaislador disminuye ante la mayor corriente, mientras que para muchos dispositivos ocurre exactamente lo contrario. Considere que éste es de tan sólo 2 μs para una corriente de colector de 6 mA y una carga R_L de 100 Ω. La salida relativa en función de la temperatura se muestra en la figura 20.59.

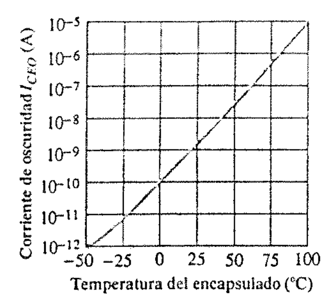


Figura 20.55 Corriente de oscuridad (I_{CEO}) en función de la temperatura.

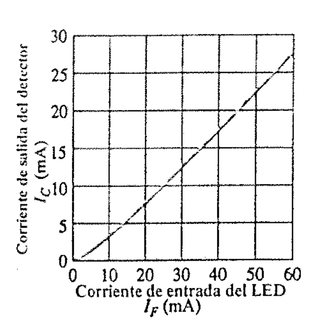


Figura 20.56 Características de transferencia.

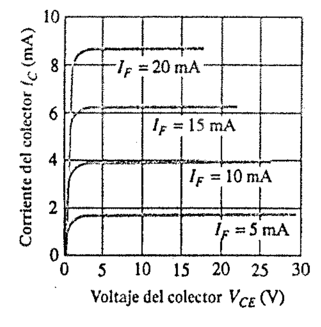


Figura 20.57 Características de salida del detector.

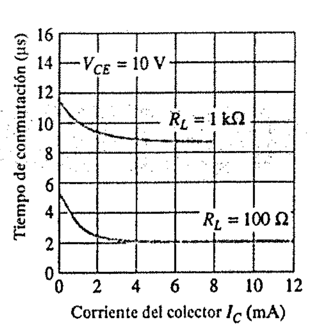


Figura 20.58 Tiempo de conmutación en función de la corriente del colector.

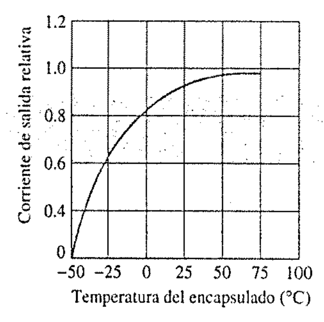


Figura 20.59 Salida relativa en función de la temperatura.

En la figura 20.53 se muestra la representación esquemática para un acoplador por transistor. Las representaciones esquemáticas de optoaisladores de fotodiodo, de foto-Darlington y de foto-SCR aparecen en la figura 20.60.

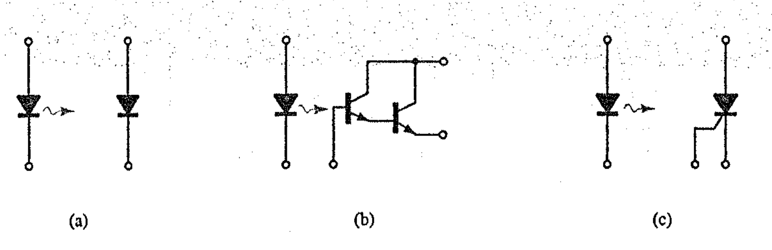


Figura 20.60 Optoaislador: (a) fotodiodo, (b) foto-Darlington; (c) foto-SCR.

20.16 TRANSISTOR MONOUNIÓN PROGRAMABLE

Aunque existe una similitud en el nombre, la construcción real y el modo de operación del transistor monounión programable (PUT, *Programmable Unijunction Transistor*) son muy distintos del transistor monounión. El hecho de que las características *I–V* y las aplicaciones de ambos son similares, provocó la elección del nombre.

Como se indica en la figura 20.61, el PUT es un dispositivo *pnpn* de cuatro capas con una compuerta conectada directamente a la capa intermedia de tipo *n*. El símbolo para el dispositivo y el arreglo básico de polarización se presentan en la figura 20.62. Como lo sugiere el símbolo, se trata básicamente de un SCR con un mecanismo de control que permite duplicar las características del SCR típico. El término *programable* se aplica porque R_{BB}, η y V_P según se definieron para el UJT, se pueden controlar mediante los resistores R_{B_1}, R_{B_2} y el voltaje de alimentación V_{BB}. Observe en la figura 20.62 que mediante la aplicación de la regla del divisor de voltaje, cuando $I_G = 0$:

Ánodo A + + V_{AG} p n − G Compuerta V_{AK} p n + V_{GK} − − K Cátodo

Figura 20.61 UJT programable (PUT).

$$V_G = \frac{R_{B_1}}{R_{B_1} + R_{B_2}} V_{BB} = \eta V_{BB} \qquad (20.19)$$

donde

$$\eta = \frac{R_{B_1}}{R_{B_1} + R_{B_2}}$$

como se definió para el UJT.

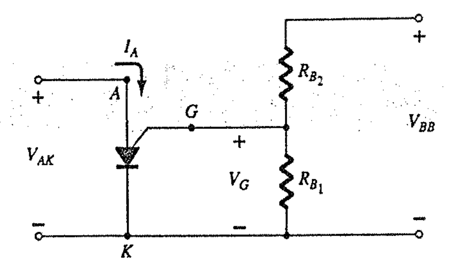


Figura 20.62 Arreglo básico de polarización para el PUT.

En la figura 20.63 se presentan las características del dispositivo. Como se observa en el diagrama, el estado "apagado" (*I* en nivel bajo, *V* entre 0 y V_P) y el estado "encendido" ($I \geq I_V$, $V \geq V_V$) se encuentran separados por la región inestable como sucedía para el UJT. Es decir, el dispositivo no puede permanecer en el estado estable, simplemente se desplazará hacia el estado estable "apagado" o hacia el "encendido".

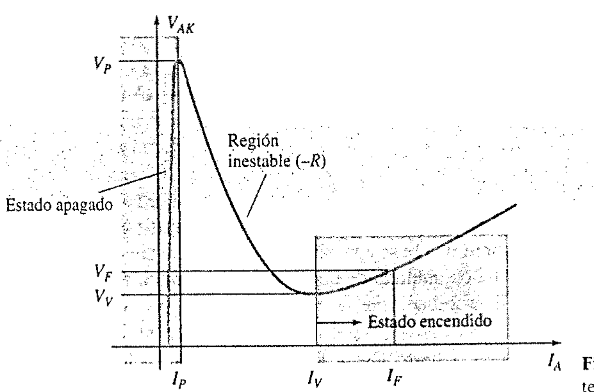


Figura 20.63 Características del PUT.

El potencial de disparo (V_P) o voltaje necesario para "disparar" el dispositivo se encuentra dado por

$$V_P = \eta V_{BB} + V_D \tag{20.20}$$

según se definió para el UJT. Sin embargo, V_P representa la caída de voltaje V_{AK} en la figura 20.61 (la caída de voltaje directo a través del diodo conductor). Para el silicio, V_D es por lo general igual a 0.7 V. Por lo tanto,

$$V_{AK} = V_{AG} + V_{GK}$$

$$V_P = V_D + V_G$$

y

$$V_P = \eta V_{BB} + 0.7\text{ V} \quad \text{silicio} \tag{20.21}$$

No obstante, observamos antes que $V_G = \eta V_{BB}$ con el resultado de que

$$V_P = V_G + 0.7 \quad \text{silicio} \tag{20.22}$$

Recuerde que para el UJT tanto R_{B_1} como R_{B_2} representan la resistencia de volumen y los contactos óhmicos de base (ambos inaccesibles). En el desarrollo anterior, observamos que R_{B_1} y R_{B_2} son externos al dispositivo, lo que permite un ajuste de η y consecuentemente de V_G. En otras palabras, el PUT proporciona una medida de control del nivel de V_P requerido para encender el dispositivo.

Aunque las características del PUT y del UJT son similares, las corrientes pico y de valle del PUT, son por lo regular menores que las de un UJT con valores equivalentes. Además, el voltaje mínimo de operación también es menor para el caso del PUT.

Si se toma un equivalente de Thévenin de la red a la derecha de la terminal de compuerta de la figura 20.62, se obtendrá la red de la figura 20.64. La resistencia R_S resultante es importante dado que, por lo general, se incluye en las hojas de especificaciones porque afecta el nivel de I_V.

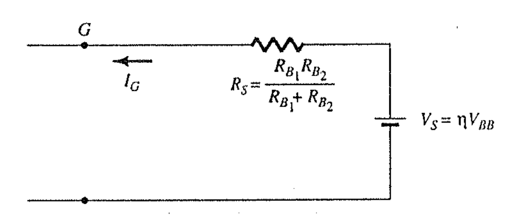


Figura 20.64 Equivalente de Thévenin para la red a la derecha de la terminal de la compuerta de la figura 20.62.

La operación básica del dispositivo puede revisarse mediante la figura 20.63. Un dispositivo en el estado "apagado" no cambiará su estado hasta que el voltaje V_P, según lo definen V_G y V_D, se alcanza. El nivel de corriente hasta que I_P se alcanza es muy bajo, lo que da por resultado un equivalente de circuito abierto dado que $R = V(\text{alto})/I(\text{baja})$ ocasionará un alto nivel de resistencia. Cuando V_P se alcanza, el dispositivo conmutará a través de la región inestable hacia el estado "encendido", donde el voltaje es menor pero la corriente es mayor, lo que ocasiona una resistencia de terminal $R = V(\text{bajo})/I(\text{alta})$, que es muy baja, y representa sobre una base aproximada, un equivalente de circuito cerrado. Por tanto, el dispositivo se ha conmutado de un estado esencialmente de circuito abierto a uno de circuito cerrado, determinado por la selección de R_{B_1}, R_{B_2} y V_{BB}. Una vez que el dispositivo se encuentra en el estado "encendido", la eliminación de V_G no apagará al dispositivo. El nivel de voltaje V_{AK} debe caer lo suficiente para reducir la corriente por debajo del nivel de sostenimiento.

EJEMPLO 20.2

Determine R_{B_1} y V_{BB} para un PUT de silicio si se determinó que $\eta = 0.8$, $V_P = 10.3$ V y $R_{B_2} = 5$ kΩ.

Solución

Ecuación 20.4: $\eta = \frac{R_{B_1}}{R_{B_1} + R_{B_2}} = 0.8$

$$R_{B_1} = 0.8(R_{B_1} + R_{B_2})$$

$$0.2R_{B_1} = 0.8R_{B_2}$$

$$R_{B_1} = 4R_{B_2}$$

$$R_{B_1} = 4(5\text{ k}\Omega) = \mathbf{20\text{ k}\Omega}$$

Ecuación 20.20: $V_P = \eta V_{BB} + V_D$

$$10.3\text{ V} = (0.8)(V_{BB}) + 0.7\text{ V}$$

$$9.6\text{ V} = 0.8V_{BB}$$

$$V_{BB} = \mathbf{12\text{ V}}$$

Oscilador de relajación

Una aplicación popular del PUT se encuentra en el oscilador de relajación de la figura 20.65. En el momento en el que la fuente se conecta, el capacitor comenzará a cargarse hacia V_{BB} volts dado que en este punto no existe corriente de ánodo. La curva de la carga se muestra en la figura 20.66. El periodo T requerido para alcanzar el potencial de disparo V_P está dado aproximadamente por

$$T \cong RC \log_e \frac{V_{BB}}{V_{BB} - V_P} \tag{20.23}$$

o cuando $V_P \cong \eta V_{BB}$

$$T \cong RC \log_e\left(1 + \frac{R_{B_1}}{R_{B_2}}\right) \tag{20.24}$$

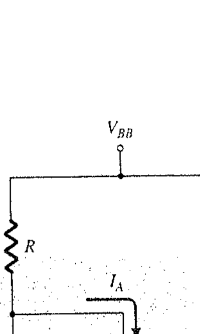


Figura 20.65 Oscilador de relajación con PUT.

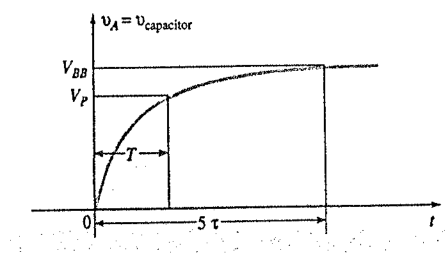


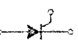
Figura 20.66 Onda de carga del capacitor C de la figura 20.65.

El instante en el que el voltaje atraviesa el capacitor es igual a V_P, el dispositivo se disparará y se establecerá una corriente $I_A = I_P$ a través del PUT. Si R es demasiado grande, la corriente I_P no podrá establecerse y el dispositivo no se disparará. En el punto de transición,

$$I_P R = V_{BB} - V_P$$

y

$$R_{\text{máx}} = \frac{V_{BB} - V_P}{I_P} \tag{20.25}$$



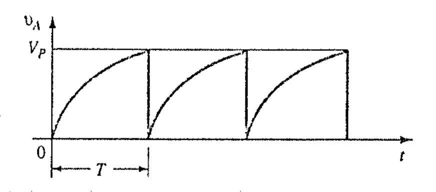
El subíndice se incluye para indicar que cualquier R mayor que $R_{máx}$ ocasionará una corriente menor que I_P. El nivel de R también debe ser tal que asegure que éste sea menor que I_V si se espera que ocurra la oscilación. En otras palabras, deseamos que el dispositivo ingrese en la región inestable y luego regrese al estado "apagado". A partir de un razonamiento similar al anterior:

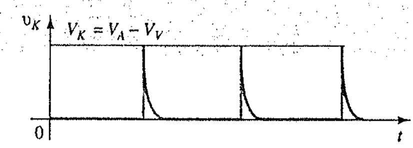
$$R_{mín} = \frac{V_{BB} - V_V}{I_V} \tag{20.26}$$

El análisis anterior requiere que R, para un sistema oscilatorio, se limite a lo siguiente:

$$R_{mín} < R < R_{máx}$$

Las formas de onda de v_A, v_G y v_K se muestran en la figura 20.67. Observe que T determina el voltaje máximo al que v_A puede cargarse. Una vez que el dispositivo se dispara, el capacitor rápidamente se descargará a través del PUT y de R_K, y producirá la caída mostrada. Por supuesto que v_K llegará al mismo tiempo al nivel pico, gracias a la corriente breve pero intensa. El voltaje v_G rápidamente caerá desde V_G hasta un nivel un poco mayor que 0 V. Cuando el voltaje del capacitor caiga a un nivel bajo, el PUT nuevamente se apagará y el ciclo de carga se repetirá. El efecto de V_G y V_K se muestra en la figura 20.67.





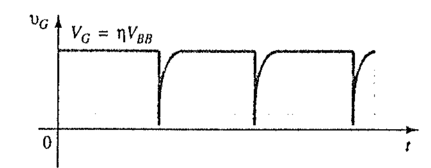


Figura 20.67 Formas de onda del oscilador PUT de la figura 20.65.

EJEMPLO 20.3

Si $V_{BB} = 12$ V, $R = 20$ kΩ, $C = 1$ μF, $R_K = 100$ Ω, $R_{B_1} = 10$ kΩ, $R_{B_2} = 5$ kΩ, $I_P = 100$ μA, $V_V = 1$ V e $I_V = 5.5$ mA, determine:

(a) V_P.
(b) $R_{máx}$ y $R_{mín}$.
(c) T y la frecuencia de oscilación.
(d) Las formas de onda de v_A, v_G y v_K.

Solución

(a) Ecuación 20.20: $V_P = \eta V_{BB} + V_D$

$$= \frac{R_{B_1}}{R_{B_1} + R_{B_2}} V_{BB} + 0.7\text{ V}$$

$$= \frac{10\text{ k}\Omega}{10\text{ k}\Omega + 5\text{ k}\Omega}(12\text{ V}) + 0.7\text{ V}$$

$$= (0.67)(12\text{ V}) + 0.7\text{ V} = \mathbf{8.7\ V}$$

(b) A partir de la ecuación 20.25: $R_{máx} = \frac{V_{BB} - V_P}{I_P}$

$$= \frac{12\text{ V} - 8.7\text{ V}}{100\ \mu\text{A}} = 33\text{ k}\Omega$$

A partir de la ecuación 20.26: $R_{mín} = \frac{V_{BB} - V_V}{I_V}$

$$= \frac{12\text{ V} - 1\text{ V}}{5.5\text{ mA}} = 2\text{ k}\Omega$$

$$R:\quad 2\text{ k}\Omega < 20\text{ k}\Omega < 33\text{ k}\Omega$$

(c) Ecuación 20.23: $T = RC \log_e \frac{V_{BB}}{V_{BB} - V_P}$

$$= (20\text{ k}\Omega)(1\ \mu\text{F}) \log_e \frac{12\text{ V}}{12\text{ V} - 8.7\text{ V}}$$

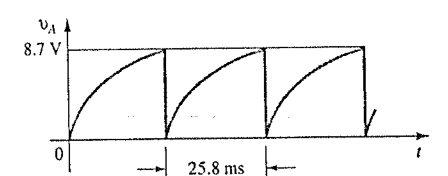
$$= 20 \times 10^{-3} \log_e (3.64)$$

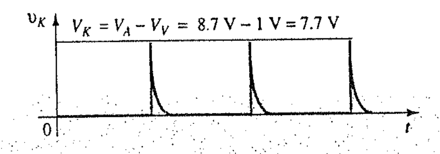
$$= 20 \times 10^{-3}(1.29)$$

$$= \mathbf{25.8\ ms}$$

$$f = \frac{1}{T} = \frac{1}{25.8\text{ ms}} = \mathbf{38.8\ Hz}$$

(d) Como se indica en la figura 20.68.





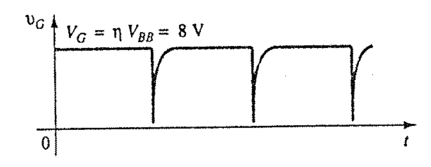


Figura 20.68 Formas de onda del oscilador del ejemplo 20.3.

20.17 RESUMEN

Conclusiones y conceptos importantes

1. El **rectificador controlado de silicio** (SCR) es un rectificador cuyo estado es **controlado mediante la magnitud de la corriente de compuerta**. El voltaje de polarización directa a través del dispositivo determinará el nivel de la corriente de compuerta requerida para "disparar" (encender) el dispositivo. Mientras **mayor** sea el nivel de voltaje de polarización, **menor** será la corriente de compuerta requerida.
2. Además del disparo por compuerta, un SCR puede **encenderse con cero corriente de compuerta** simplemente al aplicar **suficiente voltaje** a través del dispositivo. Sin embargo, mientras mayor sea la corriente de compuerta, menor será el voltaje de polarización requerido para encender al SCR.
3. El **interruptor controlado de silicio** posee tanto una **compuerta de ánodo** como una **compuerta de cátodo** para controlar el estado del dispositivo, aunque la compuerta de ánodo se encuentra ahora conectada a una capa de tipo *n* con la compuerta de cátodo conectada a una capa de tipo *p*. El resultado es que **un pulso negativo en la compuerta del ánodo encenderá al dispositivo, mientras que un pulso positivo lo apagará.** Lo contrario aplica para la compuerta del cátodo.
4. Un **interruptor controlado en compuerta** (GTO) es similar en construcción al SCR con sólo **una conexión de compuerta**, pero el GTO tiene la ventaja adicional de ser capaz de **encender y apagar** al dispositivo con la terminal de la compuerta. Sin embargo, esta ventaja adicional de ser capaz de apagar al dispositivo desde la compuerta, ocasiona una **corriente de compuerta mucho mayor** para encender al dispositivo.
5. El **LASCR** es un SCR activado por luz cuyo estado puede controlarse mediante la **luz que incide sobre una capa de semiconductor** del dispositivo o mediante **el disparo de la terminal de compuerta** en la forma descrita para los SCRs. Mientras mayor sea la temperatura de la unión del dispositivo, menor será la luz incidente requerida para encender al dispositivo.
6. El **diodo Shockley** cuenta con prácticamente **las mismas características de un SCR con corriente de compuerta cero**. Se enciende simplemente al incrementar el voltaje de polarización directa a través del dispositivo por encima el nivel de transición conductiva.
7. El **diac** es básicamente un **diodo Shockley que puede disparar hacia cualquier dirección.** La aplicación de voltaje suficiente de cualquier polaridad hará que el dispositivo se encienda.
8. El **triac** es fundamentalmente un **diac con una terminal de compuerta para controlar la acción del dispositivo** en cualquier dirección.
9. El **transistor monounión** es un dispositivo de tres terminales con una unión *p-n* formada entre una varilla de aluminio y una barra de silicio de tipo *n*. Una vez que se alcanza el potencial de disparo del emisor, el voltaje del emisor caerá ante el incremento en la corriente del emisor, con lo que se establece una **región de resistencia negativa** muy adecuada para aplicaciones de osciladores. Una vez que se alcanza el punto del valle, las características del dispositivo **asumen las de un diodo semiconductor.** Mientras mayor sea el voltaje aplicado a través del dispositivo, mayor será el potencial de disparo del emisor.
10. El **fototransistor** es un dispositivo de tres terminales que cuenta con características **muy similares a las del BJT** con corrientes de base y de colector sensibles a la intensidad de la luz incidente. La corriente de base que resulta es esencialmente **lineal en relación con la luz aplicada,** con un nivel casi independiente del voltaje a través del dispositivo, hasta que se alcanza el voltaje de ruptura.
11. Los **optoaisladores** contienen un **LED infrarrojo** y un **fotodetector** para proporcionar un acoplamiento entre sistemas que no requieren una conexión directa. La corriente de salida del detector **será menor pero relacionada de forma lineal con la corriente de entrada del LED.** Más aún, la corriente del colector es esencialmente independiente del voltaje colector-emisor.
12. El **PUT** (transistor monounión programable) es, como su nombre lo indica, un dispositivo con las **características de un UJT** pero con la característica adicional de **ser capaz de controlar el potencial de disparo.** En general, el pico, el valle y los voltajes de operación mínimos del PUT son menores que los del UJT.

Ecuaciones

Diac:

$$V_{BR_1} = V_{BR_2} \pm 0.1V_{BR_2}$$

UJT:

$$R_{BB} = (R_{B_1} + R_{B_2})|_{I_E=0}$$

$$V_{R_{B_1}} = \frac{R_{B_1}}{R_{B_1} + R_{B_2}} \cdot V_{BB} = \eta V_{BB}\bigg|_{I_E=0}$$

$$\eta = \frac{R_{B_1}}{R_{BB}}$$

$$V_P = \eta V_{BB} + V_D$$

Fototransistor:

$$I_C \cong h_{fe} I_\lambda$$

PUT:

$$V_G = \frac{R_{B_1}}{R_{B_1} + R_{B_2}} \cdot V_{BB} = \eta V_{BB}$$

$$V_P = \eta V_{BB} + V_D$$

PROBLEMAS

§ 20.3 Operación básica del rectificador controlado de silicio

1. Describa con sus propias palabras el comportamiento básico del SCR mediante el circuito equivalente de dos transistores.

2. Describa dos técnicas para apagar un SCR.

3. Consulte un manual de fabricante o una hoja de especificaciones y obtenga una red de apagado. Si es posible, describa la acción de apagado del diseño.

§ 20.4 Características y valores nominales del SCR

*** 4.** (a) A niveles altos de corriente de compuerta, ¿a qué dispositivo se asemejan las características de un SCR?
(b) A voltajes fijos del ánodo al cátodo menores que $V_{(BR)F^*}$, ¿cuál es el efecto sobre el disparo del SCR cuando la corriente de compuerta se reduce desde su valor máximo hasta el nivel cero?
(c) En una corriente de compuerta fija mayor que $I_G = 0$, ¿cuál es el efecto sobre el disparo del SCR cuando el voltaje de compuerta se reduce desde $V_{(BR)F^*}$?
(d) Para valores crecientes de I_G, ¿cuál es el efecto sobre la corriente de sostenimiento?

5. (a) Mediante la figura 20.8, una corriente de compuerta de 50 mA, ¿disparará al dispositivo a una temperatura ambiente de (25°C)?
(b) Repita el inciso (*a*) para una corriente de compuerta de 10 mA.
(c) ¿Un voltaje de compuerta de 2.6 V disparará al dispositivo a temperatura ambiente?
(d) ¿Son $V_G = 6$ V e $I_G = 800$ mA una buena elección para lograr las condiciones de disparo? ¿Serían mejor $V_G = 4$ V e $I_G = 1.6$ A? Explique.

§ 20.6 Aplicaciones del SCR

6. En la figura 20.11b, ¿a qué se debe que exista una pérdida muy baja en potencial a través del SCR durante la conducción?

7. Explique por completo por qué menores valores de R_1 en la figura 20.12 ocasionarán un mayor ángulo de conducción.

* 8. En referencia a la red de carga de la figura 20.13.
(a) Determine el nivel de dc de la señal rectificada de onda completa si se utiliza un transformador 1:1.
(b) Si la batería en su estado sin carga permanece en 11 V, ¿cuál será la caída de voltaje del ánodo al cátodo a través de SCR_1?
(c) ¿Cuál es el valor máximo posible de V_R ($V_{GK} \cong 0.7$ V)?
(d) En el valor máximo del inciso (c), ¿cuál será el potencial de compuerta de SRC_2?
(e) Una vez que SCR_2 ha ingresado al estado de circuito cerrado, ¿cuál será el nivel de V_2?

§ 20.7 Interruptor controlado de silicio

9. Describa completamente con sus propias palabras el comportamiento de las redes de la figura 20.17.

§ 20.8 Interruptor controlado en compuerta

10. (a) En la figura 20.23, si $V_Z = 50$ V, determine el valor máximo posible al que el capacitor C_1 se puede cargar ($V_{GK} \cong 0.7$ V).
(b) Determine el tiempo de descarga aproximado (5τ) para $R_3 = 20$ kΩ.
(c) Determine la resistencia interna del GTO si el tiempo de subida es un medio del periodo de decaimiento determinado en el inciso (b).

§ 20.9 SCR activado por luz

11. (a) Mediante la figura 20.25b, determine la irradiación mínima requerida para disparar el dispositivo a temperatura ambiente (25°C).
(b) ¿Qué reducción porcentual en irradiación se permitirá si la temperatura de la unión se incrementa de 0°C (32°F) a 100°C (212°F)?

§ 20.10 Diodo Shockley

12. Para la red de la figura 20.29, si $V_{BR} = 6$ V, $V = 40$ V, $R = 10$ kΩ, $C = 0.2$ μF y V_{GK} (potencial de disparo) = 3 V, determine el periodo entre la activación del circuito y el encendido del SCR.

§ 20.11 Diac

13. Mediante la referencia que requiera, localice una aplicación del diac y explique el comportamiento de la red.

14. Si V_{BR_2} es 6.4 V, determine el rango para V_{BR_1} mediante la ecuación 20.1.

§ 20.12 Triac

15. Repita el problema 13 para el triac.

§ 20.13 Transistor monounión

16. Para la red de la figura 20.41, en la que $V = 40$ V, $\eta = 0.6$, $V_V = 1$ V, $I_V = 8$ mA e $I_P = 10$ μA, determine el rango de R_1 para la red de disparo.

17. Para un transistor monounión con $V_{BB} = 20$ V, $\eta = 0.65$, $R_{B_1} = 2$ kΩ ($I_E = 0$) y $V_D = 0.7$ V, determine:
(a) R_{B_2}.
(b) R_{BB}.
(c) $V_{R_{B_1}}$.
(d) V_P.

* 18. Dado el oscilador por relajación de la figura 20.69:
(a) Encuentre R_{B_1} y R_{B_2} cuando $I_E = 0$ A.
(b) Determine V_P, el voltaje necesario para encender el UJT.
(c) Determine si R_1 se encuentra dentro del rango permitido de valores definidos por la ecuación 20.8.

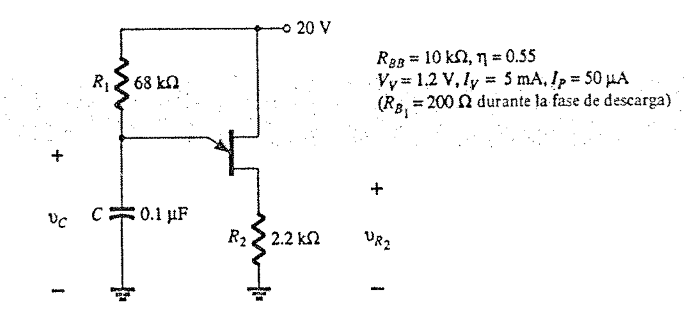


Figura 20.69 Problema 18.

(d) Determine la frecuencia de oscilación si $R_{B_1} = 200$ Ω durante la fase de descarga.
(e) Dibuje la forma de onda de v_C para dos ciclos completos.
(f) Dibuje la forma de onda de v_{R_2} para dos ciclos completos.
(g) Determine la frecuencia mediante la ecuación 20.17 y compare con el valor determinado en el inciso (d). Presente cualquier diferencia significativa.

§ 20.14 Fototransistores

19. Para un fototransistor que posee las características de la figura 20.51, determine la corriente de base fotoinducida para una densidad de flujo radiante de 5 mW/cm². Si $h_{fe} = 40$, Encuentre I_C.

* 20. Diseñe una compuerta OR de alto aislamiento mediante fototransistores y LEDs.

§ 20.15 Optoaisladores

21. (a) Determine un promedio para el factor de pérdida de disipación a partir de la curva de la figura 20.59 para la región definida por las temperaturas entre −25°C y +50°C.
(b) ¿Es adecuado decir que para temperaturas mayores que la temperatura ambiente (y hasta 100°C), la corriente de salida no se ve afectada por la temperatura?

22. (a) Determine a partir de la figura 20.55 el cambio promedio en I_{CEO} por cada grado de cambio en la temperatura para el rango de 25°C a 50°C.
(b) ¿Pueden emplearse los resultados del inciso (a) para determinar el nivel de I_{CEO} a una temperatura de 35°C? Pruebe su teoría.

23. Determine de la figura 20.56 la relación de corriente de salida del LED a la corriente de entrada del detector para una corriente de salida de 20 mA. ¿Considera que el dispositivo es relativamente eficiente para este propósito?

* 24. (a) Dibuje la curva de potencia máxima de $P_D = 200$ mW sobre la gráfica de la figura 20.57. Enumere cualquier conclusión importante.
(b) Determine β_{dc} (definida por I_C/I_F) para el sistema en $V_{CE} = 15$ V, $I_F = 10$ mA.
(c) Compare los resultados del inciso (b) con los obtenidos de la figura 20.56 en $I_F = 10$ mA. ¿Son similares? ¿Deberían serlo? ¿Por qué?

* 25. (a) En referencia a la figura 20.58, determine la corriente de colector por encima de la cual el tiempo de conmutación no cambia de forma apreciable para $R_L = 1$ kΩ y $R_L = 100$ Ω.
(b) En $I_C = 6$ mA, ¿cómo se compara la relación de tiempos de conmutación para $R_L = 1$ kΩ y $R_L = 100$ Ω con la relación de los niveles de resistencia?

§ 20.16 Transistor monounión programable

26. Determine η y V_G para un PUT con $V_{BB} = 20$ V y $R_{B_1} = 3R_{B_2}$.

27. Mediante los datos proporcionados en el ejemplo 20.3, determine la impedancia del PUT en los puntos de disparo y de valle. ¿Se verifican los estados aproximados de circuito abierto y cerrado?

28. ¿Puede la ecuación 20.24 derivarse directamente como se muestra a partir de la ecuación 20.23? Si no es así, ¿qué elemento falta en la ecuación 20.24?

*29. (a) ¿La red del ejemplo 20.3 oscilará si V_{BB} se cambia a 10 V? ¿Qué valor mínimo de V_{BB} se requiere (V_V es constante)?
(b) En referencia al mismo ejemplo, ¿qué valor de R colocaría la red en el estado estable "encendido" y eliminaría la respuesta oscilatoria del sistema?
(c) ¿Cuál valor de R convertiría la red en una con retraso de 2 ms? Es decir, que proporcione un pulso v_K 2 ms después de que la fuente se encienda y luego permanezca en el estado "encendido".

*Observe: Los asteriscos indican problemas con mayor dificultad.

CAPÍTULO

El osciloscopio y otros instrumentos de medición

21.1 INTRODUCCIÓN

Una de las funciones básicas de los circuitos electrónicos es la generación y la manipulación de formas de onda electrónicas. Estas señales electrónicas pueden representar información de audio, datos de computadora, señales de televisión, señales de temporización (como las utilizadas en el radar), etcétera. El medidor más común utilizado para la medición electrónica es el multímetro (ya sea análogo o digital), el cual permite la medición de voltajes de dc o ac, corrientes o impedancias. La mayoría de los medidores ofrecen mediciones de ac que son correctas únicamente para señales senoidales no distorsionadas. El osciloscopio por el otro lado, despliega la forma de onda exacta, y el observador puede decidir qué hacer con las distintas lecturas observadas.

El osciloscopio de rayos catódicos (CRO, *Cathode Ray Oscilloscope*) ofrece una representación visual de cualquier forma de onda aplicada a sus terminales de entrada. Un tubo de rayos catódicos (CRT), similar a una pantalla de televisión, proporciona la imagen que muestra la forma de la señal aplicada como una forma de onda. Un haz de electrones es desviado a medida que barre la superficie de la pantalla, lo que deja una imagen de la señal aplicada a las terminales de entrada.

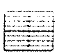
Mientras que los multímetros proporcionan información numérica acerca de la señal aplicada, el osciloscopio permite que se despliegue la forma real de la forma de onda aplicada. Se encuentra disponible una amplia variedad de osciloscopios, algunos adecuados para medir señales por debajo de una frecuencia específica, y otros para la medición de señales con un intervalo de tiempo más pequeño. Es posible construir un CRO para que opere desde unos cuantos hertz y hasta cientos de megahertz; los CROs también pueden utilizarse para medir intervalos de tiempo desde fracciones de nanosegundos (10^{-9}) hasta varios segundos.

21.2 TUBO DE RAYOS CATÓDICOS: TEORÍA Y CONSTRUCCIÓN

El CRT (*Cathode Ray Tube*) es el "corazón" del CRO, que proporciona una visualización de la forma de onda de una señal. Un CRT está formado por cuatro partes básicas:

1. Un cañón de electrones que produce un flujo de electrones.
2. Elementos de enfoque y aceleración para generar un haz de electrones bien definido.
3. Placas deflectoras horizontales y verticales para controlar la trayectoria del haz de electrones.
4. Una cubierta de vidrio al vacío con una pantalla fosforescente, la cual brilla de forma visible cuando incide en ella el haz de electrones.

La figura 21.1 muestra la construcción básica de un CRT. Primero consideraremos la operación básica del dispositivo. Un cátodo (K) que contiene un recubrimiento de óxido se calien-



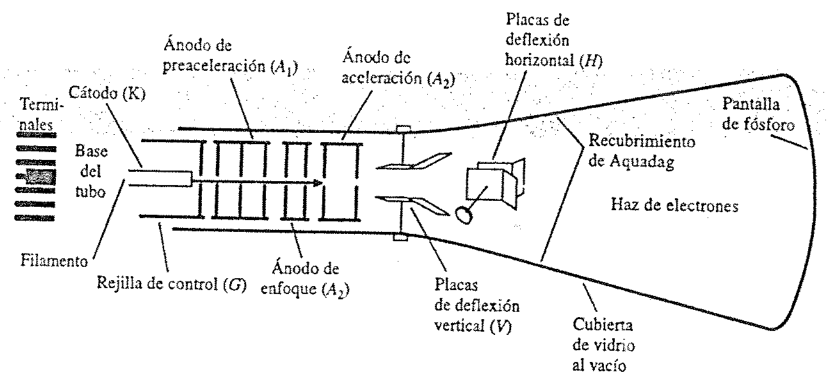


Figura 21.1 Tubo de rayos catódicos: construcción básica.

ta de forma indirecta mediante un filamento, con lo que se ocasiona la liberación de electrones de la superficie catódica. Una rejilla de control (G) proporciona un control del número de electrones que pasan hacia el tubo. Un voltaje sobre la rejilla de control determina cuántos de los electrones liberados por el calor pueden continuar moviéndose hacia la superficie del tubo. Una vez que los electrones cruzan la rejilla de control, se enfocan en un haz estrecho y se aceleran a una mayor velocidad mediante los ánodos de enfoque y de aceleración. Las partes hasta aquí cubiertas forman el cañón de electrones del CRT.

El haz de electrones, bien definido y de alta velocidad, pasa luego a través de dos juegos de placas de deflexión. El primer juego de placas está orientado para desviar verticalmente el haz de electrones, hacia arriba o hacia abajo. La dirección de la deflexión vertical se encuentra determinada por la polaridad de voltaje aplicada a las placas deflectoras. La cantidad de deflexión se determina por la magnitud del voltaje aplicado. El haz también se desvía de forma horizontal (hacia la izquierda o la derecha) por un voltaje aplicado a las placas deflectoras horizontales. El haz desviado es acelerado después mediante voltajes muy altos aplicados al tubo, finalmente el haz golpea un material fosforescente en la superficie interna del tubo. Este fósforo brilla cuando recibe el impacto de los electrones energizados, lo que forma el haz brillante que se observa en el frente del aparato.

El CRT es una unidad autónoma con terminales que llegan a una base de conexión. Se fabrican diversos tipos de CRTs con diversos tamaños, diferentes materiales de fósforo y ubicaciones del electrodo de deflexión. Ahora podemos considerar la forma en la que el CRT se utiliza en un osciloscopio.

21.3 OPERACIÓN DEL OSCILOSCOPIO DE RAYOS CATÓDICOS

Para operar como un osciloscopio, el haz de electrones se desvía horizontalmente por un voltaje de barrido y verticalmente por el voltaje que será medido. Mientras el haz de electrones se mueve a lo largo de la superficie del CRT por la señal de barrido horizontal, la señal de entrada desvía el haz de forma vertical, lo que da por resultado la visualización de la forma de onda de la señal de entrada. Un barrido del haz a lo largo de la superficie del tubo, seguido por un periodo en "blanco" durante el cual el haz se apaga mientras regresa a su punto de partida a través de la superficie del tubo, constituye un barrido del haz.

Se consigue una imagen estable cuando el haz barre de forma repetida a lo largo del tubo con exactamente la misma imagen en cada barrido. Esto requiere una sincronización, para iniciar el barrido en el mismo punto en un ciclo repetitivo de forma de onda. Si la señal se encuentra adecuadamente sincronizada, la imagen será inmóvil. En ausencia de sincronización, la imagen parecerá que está a la deriva o se moverá horizontalmente a lo largo de la pantalla.

Partes básicas de un CRO

En la figura 21.2 se muestran las partes básicas de un CRO. Primeramente consideraremos la operación del CRO para este diagrama simplificado de bloques. Para obtener una deflexión observable del haz, desde uno a varios centímetros, el voltaje usual aplicado a las placas de deflexión debe encontrarse en el orden de las decenas a centenas de volts. Dado que las señales medidas mediante un CRO por lo regular son de sólo unos cuantos volts, o incluso de milivolts, se necesita un circuito amplificador para incrementar la señal de entrada a los niveles de voltaje requeridos para operar el tubo. Existen secciones de amplificación para tanto la deflexión horizontal del haz como para la vertical. Para ajustar el nivel de una señal, cada señal pasa a través de un circuito atenuador, el cual puede ajustar la amplitud de la imagen.

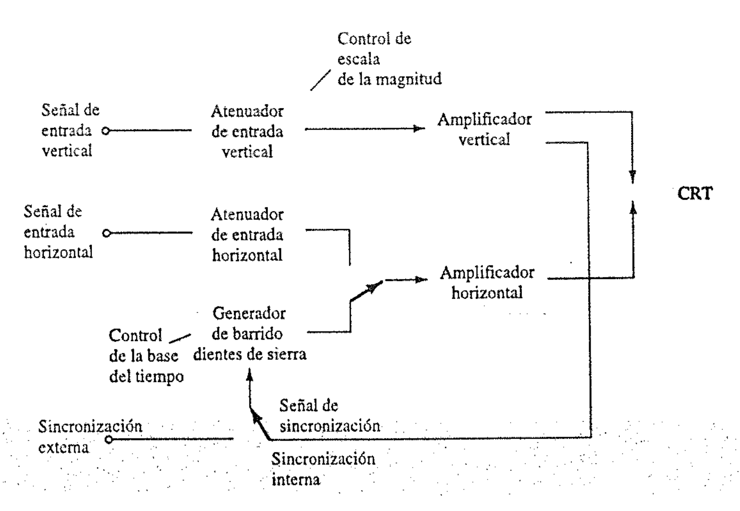


Figura 21.2 Osciloscopio de rayos catódicos: diagrama general de bloques.

21.4 OPERACIÓN DE BARRIDO DE VOLTAJE

Cuando la entrada vertical es 0 V, el haz de electrones se posiciona en el centro vertical de la pantalla. Si también se aplican 0 V a la entrada horizontal, el haz se encontrará en el centro de la superficie del CRT y permanecerá como un punto estacionario. Los controles de posicionamiento vertical y horizontal permiten mover al punto a cualquier lugar de la superficie del tubo. Cualquier voltaje de dc aplicado a una entrada ocasionará un desplazamiento del punto. La figura 21.3 muestra la superficie del CRT con un punto centrado y con un punto desplazado por un voltaje horizontal positivo (a la derecha) y un voltaje de entrada vertical negativo (hacia abajo del centro).

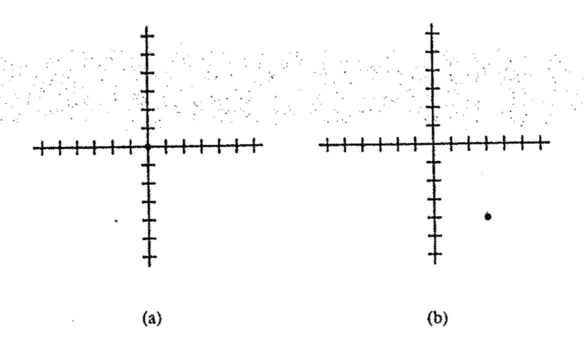


Figura 21.3 Punto sobre una pantalla CRT debido al haz de electrones estacionario: (a) punto en el centro debido al haz de electrones estacionario; (b) punto estacionario fuera del centro.

Señal de barrido horizontal

Para ver una señal sobre la pantalla del CRT, es necesario desviar el haz a lo largo del CRT con una señal de barrido horizontal de forma que cualquier variación de la señal vertical se pueda observar. La figura 21.4 muestra la visualización de línea recta resultante para un voltaje positivo aplicado a la entrada vertical mediante una señal se barrido lineal (diente de sierra) aplicada al canal horizontal. Con el haz de electrones mantenido a una distancia vertical constante, el voltaje horizontal, que va de negativo a cero para voltajes positivos, ocasionará que el haz se mueva desde la parte izquierda del tubo, hacia el centro y hacia la parte derecha. La imagen resultante será una línea recta por encima del centro vertical con el voltaje de dc adecuadamente presentado como una línea recta.

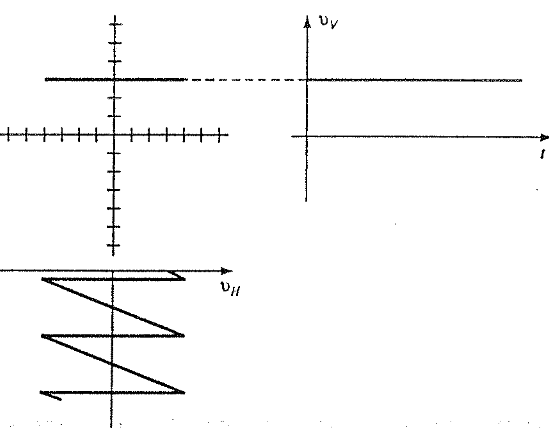


Figura 21.4 Imagen del osciloscopio para una señal vertical de dc y una señal de barrido horizontal lineal.

El barrido de voltaje se muestra como una forma de onda continua, no sólo como un barrido, lo cual es necesario si se desea que se observe una imagen durante un tiempo extenso. Un solo barrido a lo largo de la superficie del tubo rápidamente se desvanecería. Al repetir el barrido, la imagen se genera una y otra vez, y si se generan suficientes barridos por segundo, la imagen se presenta de forma continua. Si la velocidad de barrido disminuye (según la establece los controles de escala de tiempo del osciloscopio), es posible observar el recorrido real del haz a lo largo de la superficie del tubo.

Al aplicar sólo una señal senoidal a las entradas verticales (sin barrido horizontal) se obtendrá una línea recta vertical como se señala en la figura 21.5. Si la velocidad de barrido (frecuencia de la señal senoidal) se reduce, es posible observar el haz de electrones moviéndose hacia arriba y hacia abajo a lo largo de una trayectoria de línea recta.

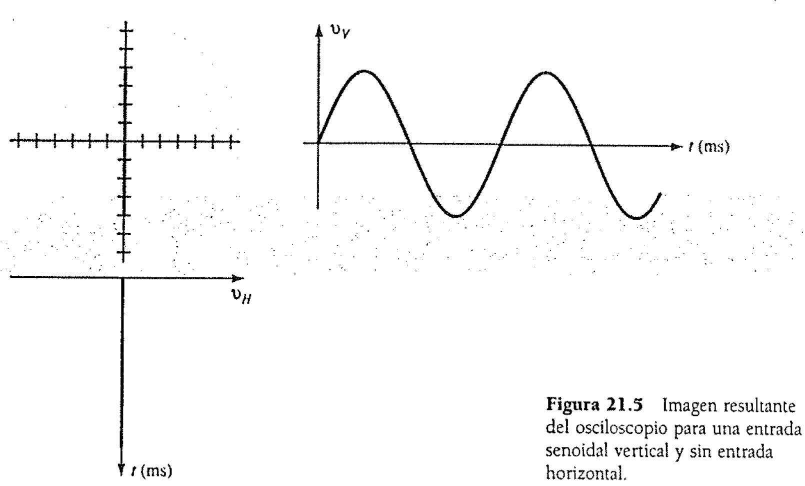
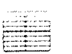
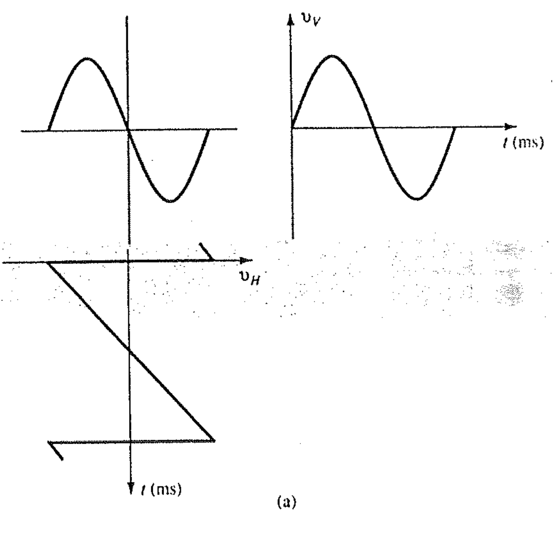


Figura 21.5 Imagen resultante del osciloscopio para una entrada senoidal vertical y sin entrada horizontal.



Uso de un barrido de diente de sierra para desplegar la entrada vertical

Para observar una señal senoidal, es necesario utilizar una señal de barrido sobre el canal horizontal de forma que la señal aplicada al canal vertical pueda observarse sobre la pantalla del tubo. La figura 21.6 muestra la imagen resultante en el CRO de un barrido lineal horizontal y de una entrada senoidal en el canal vertical. Para que un ciclo de la señal de entrada se muestre como el ejemplificado en la figura 21.6a, es necesario que las frecuencias de la señal y del barrido lineal se encuentren sincronizadas. Si existe alguna diferencia, la imagen parecerá moverse (no estará sincronizada) a menos que la frecuencia de barrido sea algún múltiplo de la frecuencia senoidal. La disminución de la frecuencia de barrido permite que se desplieguen más ciclos de la señal senoidal, mientras que el incremento de la frecuencia de barrido ocasiona que se despliegue una menor parte de la entrada vertical senoidal, lo que parece, por tanto, una amplificación de una parte de la señal de entrada.



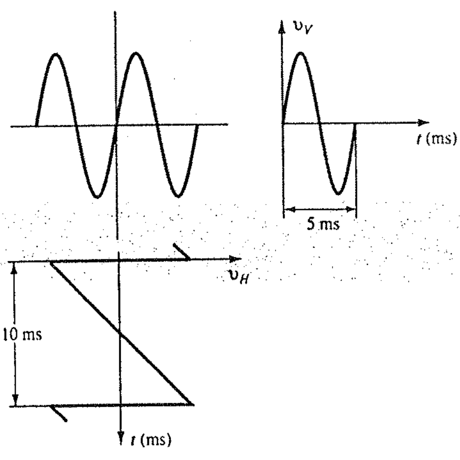


Figura 21.6 Despliegue de una entrada vertical senoidal y entrada de barrido horizontal: (a) despliegue de una entrada vertical senoidal mediante una señal de barrido lineal para la deflexión horizontal; (b) pantalla del osciloscopio para una entrada vertical senoidal y una velocidad de barrido horizontal igual a un medio de la velocidad de la señal vertical.

EJEMPLO 21.1 Determine cuántos ciclos de una señal senoidal de 2 kHz se observarán si la frecuencia de barrido fuera:
(a) 2 kHz.
(b) 4 kHz.
(c) 1 kHz.

Solución

(a) Cuando las dos señales tienen la misma frecuencia, se observará un ciclo completo.
(b) Cuando la frecuencia de barrido se incrementa a 4 kHz, se observará un medio ciclo.
(c) Cuando la frecuencia de barrido se reduce a 1 kHz, se observarán dos ciclos.

La figura 21.7 muestra una forma de onda de tipo pulso aplicada como entrada vertical con un barrido horizontal, lo que da por resultado una imagen del osciloscopio de la señal de pulso. La numeración en cada forma de onda permite seguir la imagen para la variación de la entrada y del voltaje de barrido durante un ciclo.

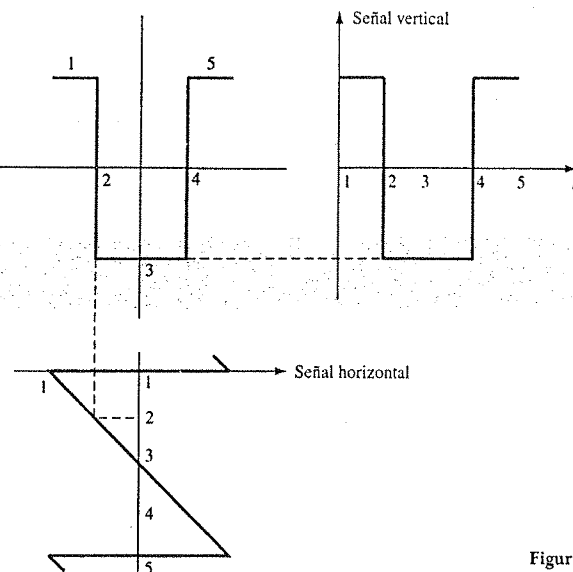


Figura 21.7 Utilización del barrido lineal para una forma de onda de tipo pulso.

21.5 SINCRONIZACIÓN Y DISPARO

La imagen del CRO puede ajustarse mediante la regulación de la velocidad de barrido (frecuencia) para desplegar ya sea un ciclo, varios ciclos o una parte del ciclo. Esto es una característica muy valiosa del CRO. La figura 21.8 muestra la imagen resultante para algunos ciclos de la señal de barrido. Cada vez que el voltaje de barrido horizontal de diente de sierra pasa a través de un ciclo de barrido lineal (de un máximo negativo a cero y luego a un máximo positivo), se ocasiona que el haz de electrones se mueva de forma horizontal a través de la superficie del tubo, de la izquierda al centro y a la derecha. El voltaje diente de sierra después cae rápidamente de regreso al voltaje negativo de inicio, con el haz de vuelta a la parte izquierda. Durante el tiempo en el que el voltaje de barrido se vuelve rápidamente negativo (para volver a generar un barrido), el haz se borra (el voltaje de rejilla evita que los electrones impacten la superficie del tubo).

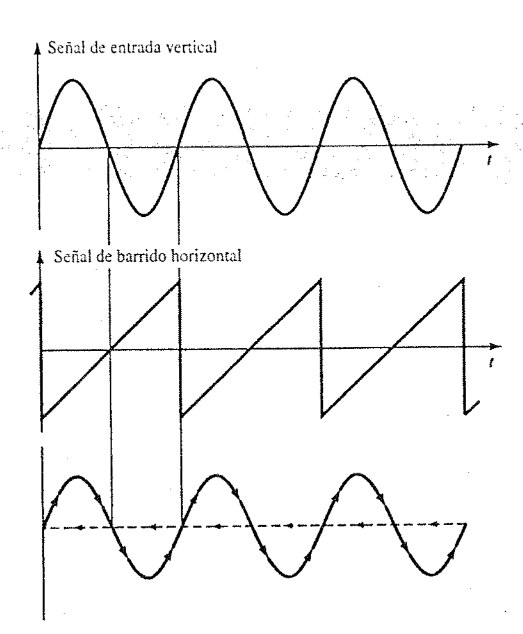


Figura 21.8 Imagen estable del osciloscopio, las señales de entrada y de barrido se encuentran sincronizadas.

Para observar una imagen estable cada vez que el haz barre a través de la superficie del tubo, es necesario que el barrido inicie en el mismo punto del ciclo de la señal de entrada. En la figura 21.9, la frecuencia de barrido es demasiado baja por lo que la imagen del CRO presentará una "desviación" aparente a la izquierda. La figura 21.10 muestra el resultado de establecer la frecuencia de barrido demasiado alta, con una desviación aparente a la derecha.

Debe resultar obvio que ajustar la frecuencia de barrido a exactamente la misma frecuencia de la señal para obtener un barrido estable, no es algo práctico. Un procedimiento más prác-

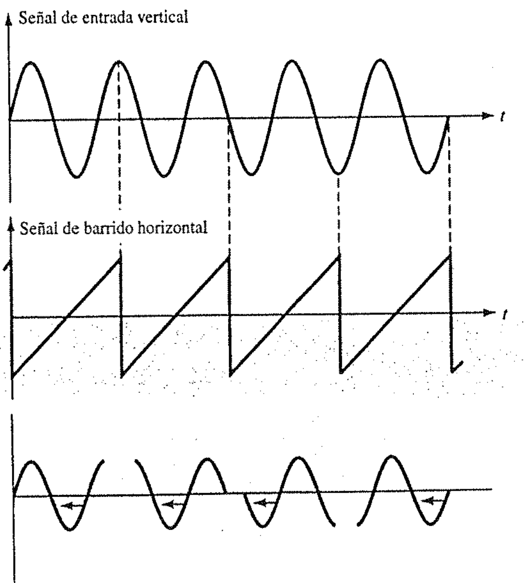


Figura 21.9 Frecuencia de barrido demasiado *baja*, se muestra una desviación aparente hacia la izquierda.

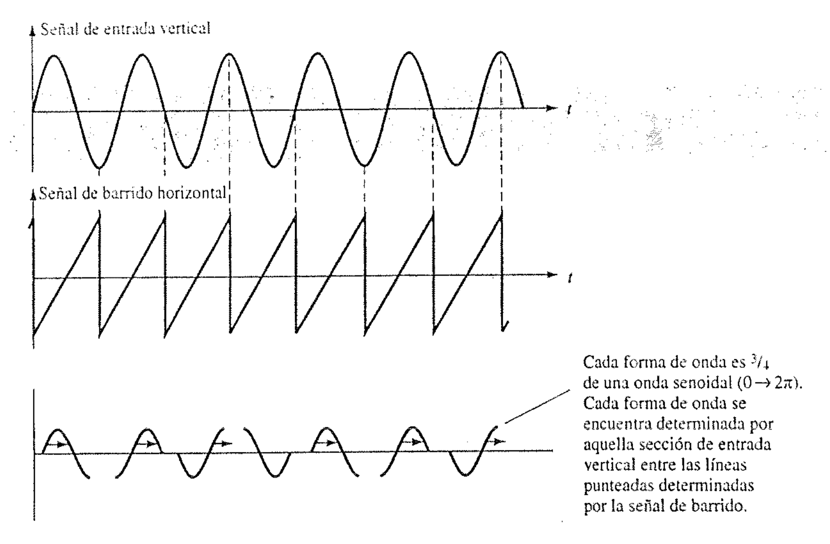


Figura 21.10 Frecuencia de barrido demasiada *alta*, se muestra una desviación aparente hacia la derecha.

tico es esperar hasta que la señal alcance el mismo punto en un ciclo para comenzar el trazado. Esta forma de disparo posee varias características que se describirán a continuación.

Disparo

El método común de sincronización utiliza una parte de la señal de entrada para disparar un generador de barrido de forma que la señal de barrido se encuentre bloqueada o sincronizada con la señal de entrada. La utilización de una parte de la misma señal que se observará para proporcionar la señal de sincronización, asegura la sincronización. La figura 21.11 muestra un diagrama de bloques con la forma en la que una señal de disparo se deriva en una imagen de un solo canal. La fuente de la señal de disparo se obtiene de la frecuencia de la línea (60 Hz) para observar las señales relacionadas con el voltaje de la línea, de una señal externa (distinta de la que será observada), o lo que es más común, de una señal derivada de la aplicada como señal ver-

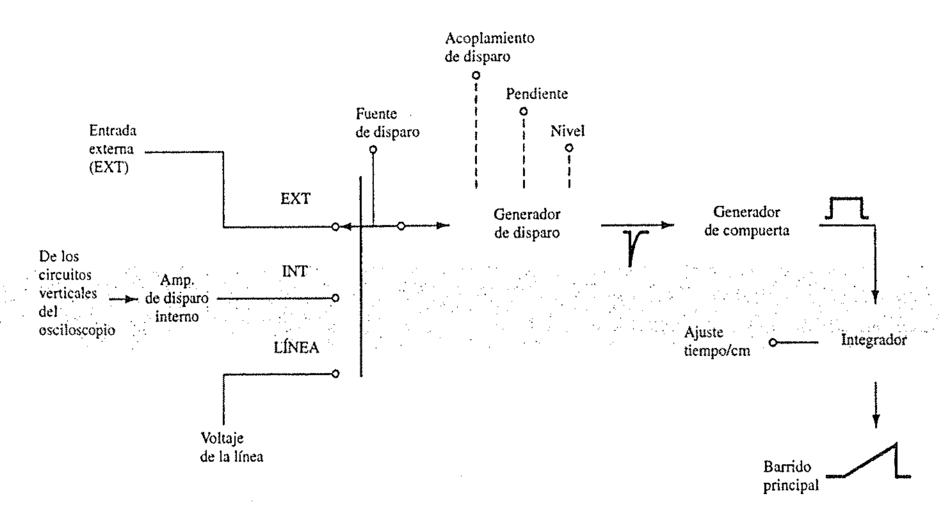
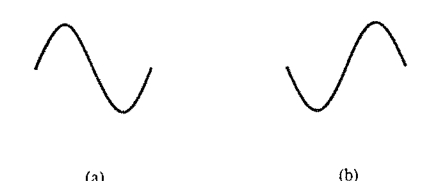


Figura 21.11 Diagrama de bloques que muestra la operación de disparo de un osciloscopio.

tical. El interruptor selector del osciloscopio colocado en INTERNO (INTERNAL), proporcionará una parte de la señal de entrada al circuito generador de disparo. La salida del generador de disparo será una señal de disparo que se utilizará para iniciar el barrido principal del osciloscopio, el cual durará un tiempo establecido por el control de tiempo/cm. La figura 21.12 muestra el disparo que inicia en distintos puntos de un ciclo de señal.



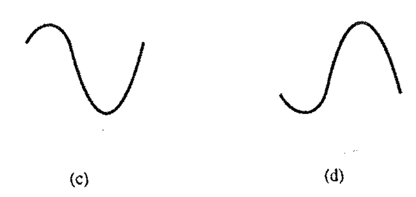


Figura 21.12 Disparo en varios puntos del nivel de la señal (*Nota:* la señal senoidal se inicia en el mismo punto del ciclo con cada barrido y por tanto se encuentra sincronizada): (a) nivel cero hacia positivo; (b) nivel cero hacia negativo; (c) nivel de disparo de voltaje positivo; (d) nivel de disparo de voltaje negativo.

La operación de disparo de barrido también puede entenderse si se observan algunas de las formas de onda resultantes. Para una señal de entrada dada, se obtiene una forma de onda de disparo para proporcionar una señal de barrido. Como se observa en la figura 21.13, el barrido se inicia en un instante en el ciclo de la señal de entrada y dura un periodo establecido por los controles de longitud de barrido. Luego, el osciloscopio espera hasta que la entrada alcanza un punto idéntico en su ciclo antes de iniciar otra operación de barrido. La longitud del barrido determina cuántos ciclos serán observados, mientras que el disparo asegura la sincronización.

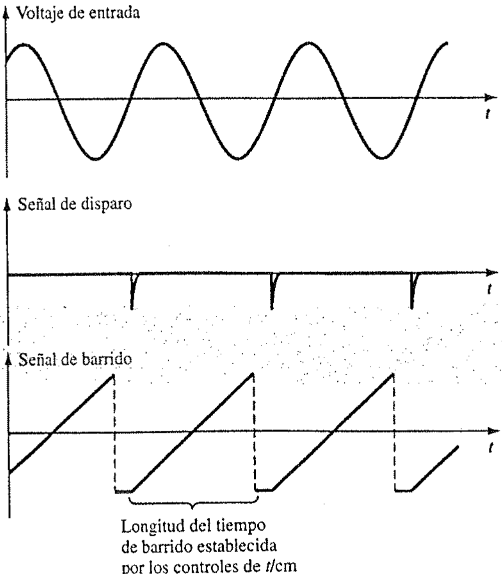


Figura 21.13 Barrido con disparo.

21.6 OPERACIÓN DE MULTITRAZO

La mayoría de los osciloscopios modernos proporcionan la forma de observar dos o más trazos sobre su pantalla al mismo tiempo. Esto permite comparar la amplitud, los rasgos especiales de la forma de onda y otras importantes características de ésta. Es posible obtener múltiples trazos mediante el uso de más de un cañón de electrones, donde cada haz crea una imagen distinta. Sin embargo, es más común utilizar un solo haz de electrones para crear distintas imágenes.

Los dos métodos para desarrollar dos trazos son el conmutado (CHOPPED) y el alternado (ALTERNATE). Cuando se aplican dos señales de entrada, un conmutador electrónico conecta primero una entrada y luego la otra, al circuito de deflexión. En el modo de operación alternado, el haz es barrido a través de la superficie del tubo y despliega la cantidad de ciclos de la señal de entrada que serán mostrados. Luego, la entrada cambia (alterna) a la segunda entrada y despliega el mismo número de ciclos de la segunda señal. La figura 21.14a presenta la operación con una imagen alternada. En el modo de operación conmutado (figura 21.14b), el haz de forma repetida conmuta entre las dos señales de entrada durante un barrido del haz. Siempre que la señal sea de relativa baja frecuencia, la acción de conmutación no será percibida y se observarán las dos imágenes separadas.

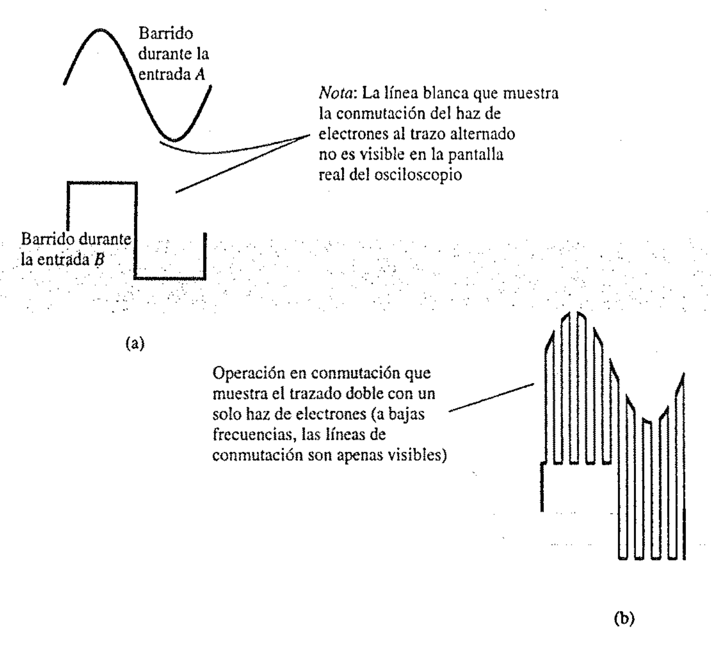


Figura 21.14 Modos de visualización alternado y conmutado para la operación de trazado doble: (a) modo alternado para trazado doble mediante un solo haz de electrones; (b) modo conmutado para trazado doble mediante un solo haz de electrones.

21.7 MEDICIÓN MEDIANTE ESCALAS CALIBRADAS DEL CRO

La superficie del tubo del osciloscopio cuenta con una escala calibrada para utilizarse en las mediciones de amplitud o tiempo. La figura 21.15 muestra una escala típica calibrada. Los cuadros se dividen en centímetros (cm), con 4 cm a cada lado del centro. Cada centímetro (cuadro) se divide a su vez en intervalos de 0.2 cm.

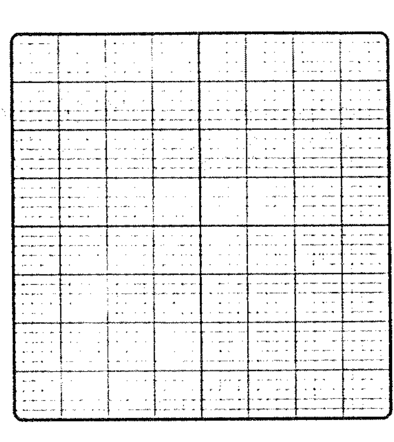


Figura 21.15 Superficie calibrada del osciloscopio.

Mediciones de amplitud

La escala vertical se encuentra calibrada ya sea en volts por centímetro (V/cm) o en milivolts por centímetro (mV/cm). Mediante la configuración de la escala del osciloscopio y la señal que se forma en la pantalla del osciloscopio, es posible medir voltajes pico o pico a pico, de una señal de ac.

EJEMPLO 21.2

Calcule la amplitud pico a pico de la señal senoidal de la figura 21.16 si la escala del osciloscopio está en 5 mV/cm.

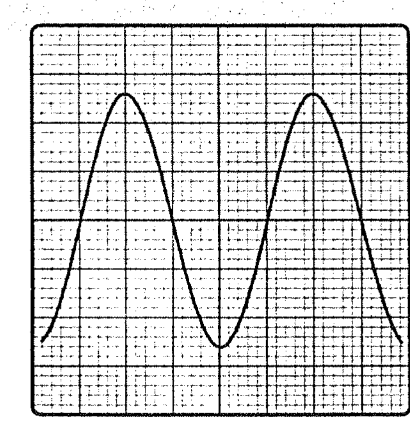


Figura 21.16 Forma de onda para el ejemplo 21.2.

Solución

La amplitud pico a pico es

$$2 \times 2.6\ \text{cm} \times 5\ \text{mV/cm} = \mathbf{26\ mV}$$

Observe que un osciloscopio proporciona una fácil lectura de los valores pico a pico, mientras que un multímetro por lo general proporciona la lectura de rms (para formas de onda senoidales).

EJEMPLO 21.3 Calcule la amplitud de la señal de pulso de la figura 21.17 (la escala del osciloscopio está en 100 mV/cm).

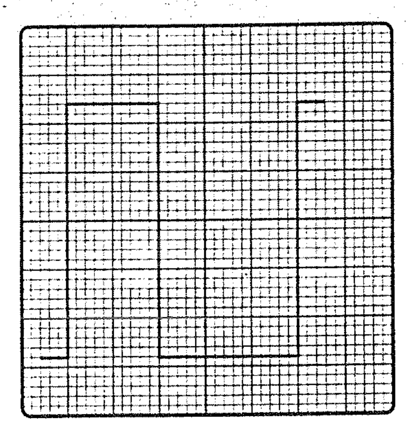


Figura 21.17 Forma de onda para el ejemplo 21.3.

Solución

La amplitud pico a pico es

$$(2.8 \text{ cm} + 2.4 \text{ cm}) \times 100 \text{ mV/cm} = \mathbf{520 \text{ mV}} = \mathbf{0.52 \text{ V}}$$

Mediciones de tiempo

PERIODO

La escala horizontal del osciloscopio puede emplearse para medir tiempo, en segundos (s), milisegundos (ms), microsegundos (μs) o nanosegundos (ns). El intervalo de un pulso desde el inicio hasta el término será el periodo del pulso. Cuando una señal es repetitiva, el periodo será un ciclo de la forma de onda.

EJEMPLO 21.4 Calcule el periodo de la forma de onda mostrada en la figura 21.18 (la escala de tiempo del osciloscopio está en 20 μs/cm).

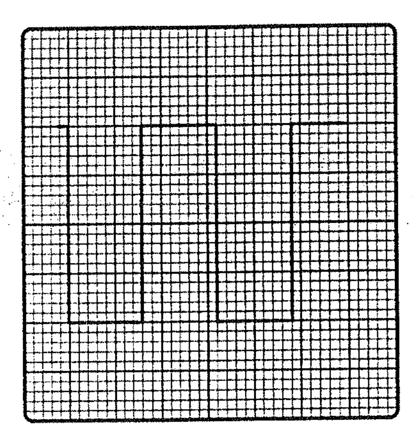


Figura 21.18 Forma de onda para el ejemplo 21.4.

Solución

Para la forma de onda de la figura 21.18,

$$\text{periodo} = T = 3.2 \text{ cm} \times 20\ \mu\text{s/cm} = \mathbf{64\ \mu s}$$

FRECUENCIA

La medición del periodo de una forma de onda repetitiva puede utilizarse para calcular la frecuencia de la señal. Dado que la frecuencia es el recíproco del periodo,

$$f = \frac{1}{T} \tag{21.1}$$

EJEMPLO 21.5 Determine la frecuencia de la forma de onda mostrada en la figura 21.18 (la escala de tiempo del osciloscopio está en 5 μs/cm).

Solución

A partir de la forma de onda

$$\text{periodo} = T = 3.2 \text{ cm} \times 5\ \mu\text{s/cm} = 16\ \mu\text{s}$$

$$f = \frac{1}{T} = \frac{1}{16\ \mu\text{s}}$$

$$= \mathbf{62.5 \text{ kHz}}$$

AMPLITUD DE PULSO

El intervalo de tiempo que una forma de onda se mantiene alta (o baja) es el ancho de pulso de la señal. Cuando los flancos de la forma de onda suben y bajan de forma instantánea, la amplitud se mide desde el inicio (flanco inicial) hasta el final (flanco final) (observar la figura 21.19a). Para formas de onda con flancos que crecen o disminuyen durante un cierto tiempo, la amplitud de pulso se mide en los puntos al 50% de la amplitud como se muestra en la figura 21.19b.

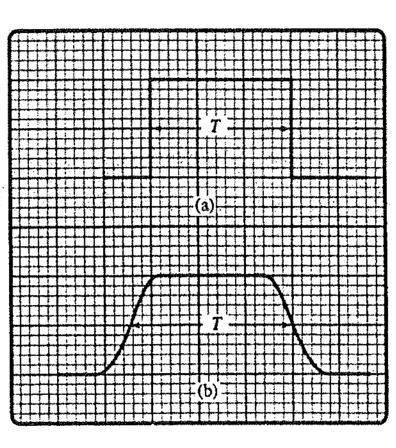


Figura 21.19 Medición de la amplitud de pulso.

EJEMPLO 21.6 Determine la amplitud de pulso de la forma de onda de la figura 21.20.

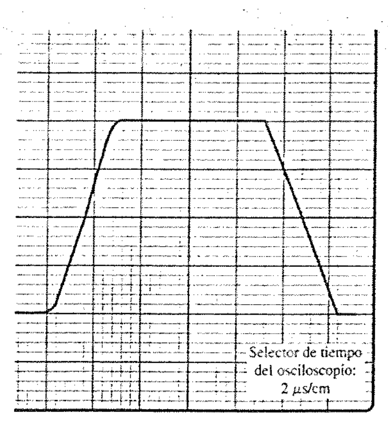


Figura 21.20 Forma de onda para el ejemplo 21.6.

Solución

Para una lectura de 4.6 cm en el punto medio de la forma de onda, el ancho de pulso es

$$T_{PW} = 4.6 \text{ cm} \times 2 \ \mu\text{s/cm} = \mathbf{9.2 \ \mu s}$$

RETARDO DE PULSO

El intervalo de tiempo entre pulsos se denomina retardo de pulso. Para formas de onda, como la mostrada en la figura 21.21, el retardo de pulso se mide entre el punto medio (punto al 50%) al inicio de cada pulso.

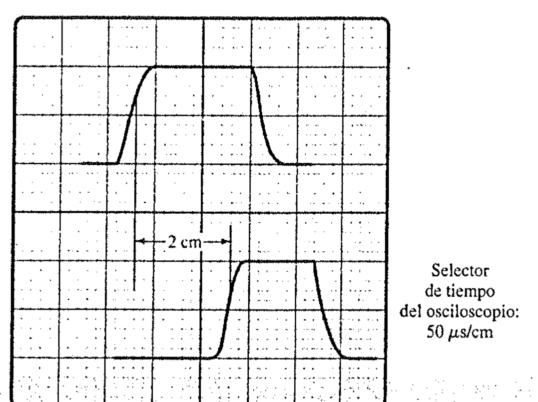


Figura 21.21 Forma de onda para el ejemplo 21.7.

EJEMPLO 21.7 Determine el retardo de pulso para las formas de onda de la figura 21.21.

Solución

A partir de las formas de onda de la figura 21.21,

$$\text{retardo de pulso} = T_{PD} = 2 \text{ cm} \times 50 \ \mu\text{s/cm} = \mathbf{100 \ \mu s}$$

21.8 CARACTERÍSTICAS ESPECIALES DEL CRO

El CRO se ha vuelto más sofisticado y especializado en su uso. El rango de la amplitud de mediciones, las escalas de mediciones de tiempo, el número de señales desplegadas, los métodos para proporcionar el disparo de barrido y los tipos de mediciones serán todas distintas según el área de utilización especializada del osciloscopio.

Barrido con retardo

Una característica útil emplea dos bases de tiempo para permitir la selección de una pequeña parte de la señal para visualizarla. Una base de tiempo selecciona la señal general que se observará en el osciloscopio, mientras que una segunda base de tiempo permite la selección de una pequeña parte de la señal presentada para ser desplegada en un modo extendido. La base de tiempo principal se conoce como la base de tiempo A, mientras que la segunda base de tiempo, denominada como B, presenta la señal después de un retardo de tiempo seleccionado.

La figura 21.22 proporciona un diagrama de bloques que muestra la operación de las dos bases de tiempo. Con los controles del osciloscopio operando en el barrido A, la señal principal de barrido se ajusta para observar varios ciclos de la señal de entrada. Luego, los controles permiten ajustar el barrido B mediante un selector de ajuste variable, que, por lo general, coloca al barrido B en un intervalo de luminosidad intensificada que puede desplazarse sobre la superficie del barrido. Cuando la parte deseada del barrido presente se selecciona, los controles se ajustan para desplegar la parte con retardo de la señal, la cual se observa en la configuración de la segunda base de tiempo como una imagen ampliada. La figura 21.23 muestra una señal de tipo pulso vista primeramente mediante el uso del barrido A y luego, la parte seleccionada sobre una configuración de barrido ampliado.

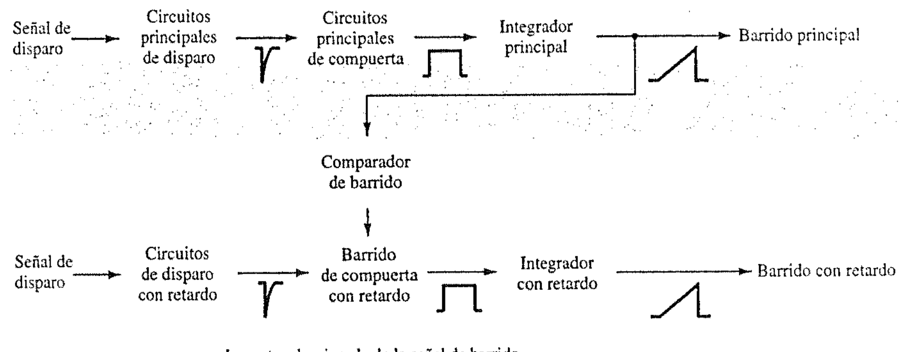


Figura 21.22 Operación del barrido con retardo (diagrama de bloques).

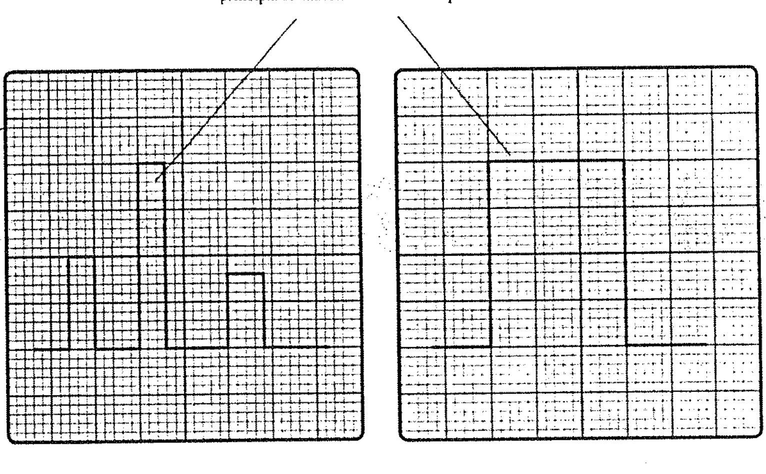


Figura 21.23 Barridos principal y con retardo.

21.9 GENERADORES DE SEÑAL

Un generador de señal proporciona una señal de ac de amplitud ajustable y frecuencia variable para utilizarla al operar un amplificador u otro circuito lineal. La frecuencia por lo general, se ajusta desde unos cuantos hertz hasta megahertz. La amplitud de la señal puede ajustarse desde milivolts hasta algunos volts de amplitud. Aunque la señal es por lo regular una forma de onda senoidal, a menudo se tienen disponibles formas de onda de pulso o incluso triangulares.

Circuito integrado generador de formas de onda (8038)

El CI 8038 mostrado en la figura 21.24 es un generador de formas de onda de precisión. Este CI sencillo de 14 terminales es capaz de producir formas de onda senoidales, cuadradas o triangulares con alta precisión para utilizarlas en la operación o prueba de otros equipos. La consideración de la operación del CI ayudará a comprender la forma en la que cualquier generador de señales comercialmente disponible opera. Este CI particular puede proporcionar una frecuencia de salida que puede ajustarse desde menos de 1 Hz hasta casi 300 kHz. El rango de las unidades comerciales puede ser considerablemente mayor. Como se indica en la figura 21.24, el CI proporciona tres tipos de formas de onda de salida, y todas a la misma frecuencia, donde ésta es seleccionada por el usuario.

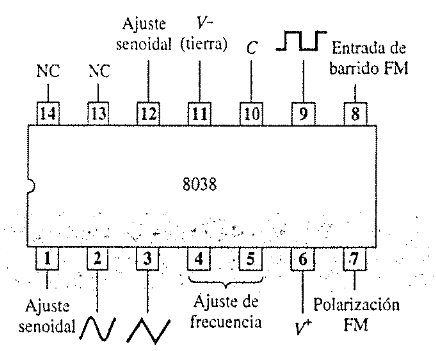


Figura 21.24 CI 8038 generador de formas de onda.

La figura 21.25 muestra la conexión del CI cuando se emplea para proporcionar una salida con frecuencia ajustable. La frecuencia de la unidad será entonces

$$f = \frac{0.15}{RC} \tag{21.2}$$

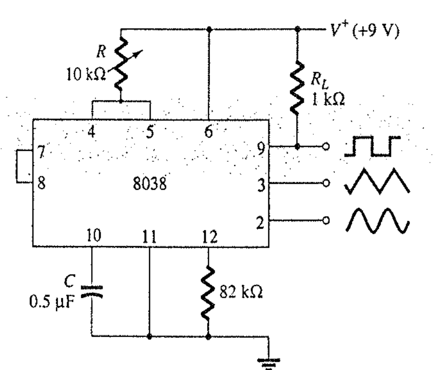


Figura 21.25 Conexión del 8038 como generador de frecuencia variable.

EJEMPLO 21.8

En referencia a la figura 21.25, determine la frecuencia más baja y la más alta que se obtiene cuando se varía el potenciómetro de 10 kΩ desde su nivel mínimo hasta el máximo.

Solución

Mediante la ecuación 21.2, para el potenciómetro fijo en 0, $R = 10\ \Omega$:

$$f = \frac{0.15}{(10\ \Omega)(0.5\ \mu\text{F})} = 30\text{ kHz}$$

Para el potenciómetro en su máximo nivel,

$$f = \frac{0.15}{(10\text{ k}\Omega)(0.5\ \mu\text{F})} = 30\text{ Hz}$$

AMPLITUD DE SALIDA AJUSTABLE

La conexión de la figura 21.26 muestra la forma en la que se ajusta la amplitud de la forma de onda senoidal, con la salida senoidal presentada a través de un amplificador de acoplamiento. El op-amp 310 es un acoplador de ganancia unitaria que proporciona la salida senoidal con una salida de baja impedancia. [El 310 tiene una ganancia de voltaje prácticamente unitaria (1), con una impedancia de salida de cerca de 1 Ω.] La frecuencia de salida se puede ajustar dentro de un rango de cerca de 30 Hz hasta 30 kHz, con una amplitud ajustable hasta cerca de 9 V pico.

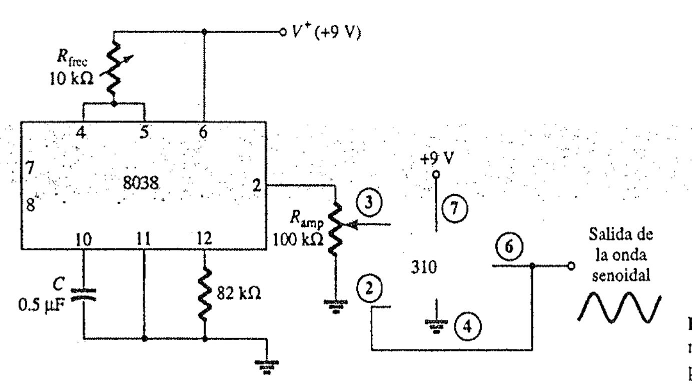


Figura 21.26 Generador de formas de onda senoidales con amplitud y frecuencia ajustables.

GENERADOR DE PULSO DE 5 V (TTL)

En la figura 21.27 se muestra un circuito que proporciona una forma de onda de pulso de 5 V para utilizarla con circuitos digitales TTL. El CI 8038 proporciona una forma de onda rec-

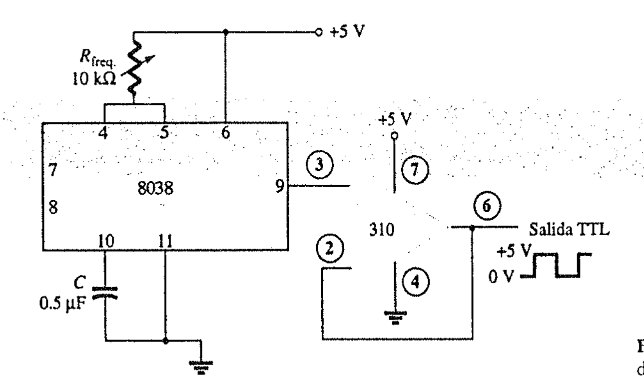
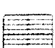


Figura 21.27 Generador de forma de onda de señal TTL.



tangular o de pulso a una salida fija entre 0 y +5 V. La frecuencia de la salida puede variarse desde cerca de 30 Hz hasta 30 kHz al ajustar el valor del potenciómetro de 10 kΩ. Un generador de señales comercial probablemente incluiría capacitores de conmutación para ofrecer frecuencias sobre un rango de valores. Mientras la fuente utilice un CI regulador para proporcionar un voltaje de +5 V, la salida será un valor bien definido, como se utiliza por lo regular en los circuitos TTL. El seguidor unitario 310 proporciona la salida con una baja impedancia, con lo que se hace posible la conexión de la salida a varias cargas sin afectar la amplitud o frecuencia de la forma de onda de la señal.

21.10 ANÁLISIS POR COMPUTADORA

Mediante el osciloscopio en EWB

Electronics Workbench proporciona varios instrumentos, uno de ellos es el osciloscopio. La figura 21.28 muestra la pantalla y la carátula del osciloscopio de EWB. El instrumento es un osciloscopio de dos canales con entradas de canal A, canal B o ambas. Existen controles del usuario para la base de tiempo (**Time base**); para la amplitud del canal A (**Channel A**) o canal B (**Channel B**); y una sección de disparo (**Trigger**) para seleccionar la fuente de la señal de disparo, el flanco sobre el que se disparará, e incluso un nivel para el disparo. Básicamente se trata de un osciloscopio estándar, sencillo de dos canales como el de cualquier laboratorio educativo.

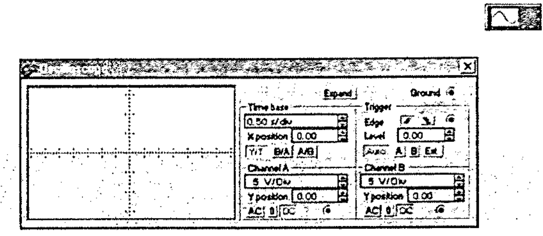


Figura 21.28 Osciloscopio de EWB de dos canales.

El osciloscopio se utiliza al conectar una señal, que por lo general proviene de un circuito, a las entradas de canal deseadas. La figura 21.29a muestra un generador de señal que proporciona una entrada de 10 kHz la cual se observa en el osciloscopio. Si la fuente de la señal (**Signal source**) se modifica a una forma de onda triangular, la imagen del osciloscopio será la de la figura 21.29b.

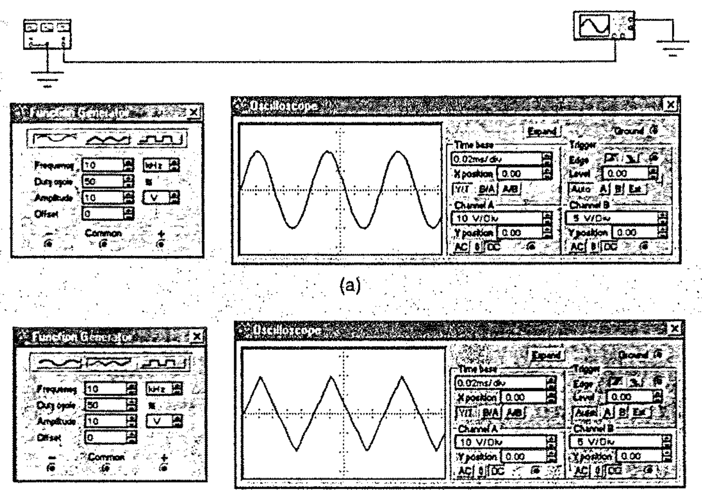
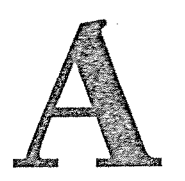


Figura 21.29 (a) EWB utiliza un generador de señales con un osciloscopio; (b) EWB utiliza un generador de señales con una forma de onda triangular y un osciloscopio.

APÉNDICES

APÉNDICE



Fabricación de los circuitos integrados que mueven al mundo

Smithsonian

JANUARY 2000

Dentro del circuito de Intel
[PÁGINA 36]

Portada de la revista Smithsonian reproducida por cortesía de Smithsonian Magazine. © 2000 Kay Chernush.
Texto cortesía de Mr. Jake Page.

Estos circuitos integrados ya terminados, cada uno con una longitud de media pulgada, no han sido separados aún. Fotografía opuesta: Trabajadores colocándose sus "trajes de conejo" antes de entrar a los cuartos estériles.

Fabricación de los circuitos integrados que mueven al mundo

UN JUEGO DE NIÑOS: COLOQUE 9.5 MILLONES DE TRANSISTORES EN UN ESPACIO DEL TAMAÑO DE SU PULGAR Y PERMITA UNA CONTAMINACIÓN DE CERO

POR JAKE PAGE

FOTOGRAFÍAS POR KAY CHERNUSH

DE LA MISMA FORMA QUE MILLONES DE PERSONAS en el mundo, yo tengo un Intel en el interior (*Intel Inside*). Eso es lo que precisamente indica frente a mí una etiqueta plateada adherida a mi computadora portátil.

Pero también tengo Intel *en el exterior*.

Dos millas al oeste y un poco al sur de mi hogar, asomándose en el borde de una alta y arenosa meseta que domina el Río Grande en Nuevo México, se encuentra una instalación de 218 acres que agrupa a tres plantas de manufactura de Intel o Fabs. Ahí se fabrican los microprocesadores, circuitos integrados que ejecutan el trabajo, que Intel coloca en las computadoras portátiles como la mía.

Todo lo que yo sabía acerca de esto, hasta ahora, era que los microprocesadores, el núcleo de nuestras computadoras, son tan complicados que desafían el entendimiento común. También sabía, gracias a los medios locales, que la fábrica más reciente de Intel en Nuevo México era una cámara enorme del tamaño de cinco campos de fútbol y que había costado más de USD $4,000 por pie cuadrado.

Sentía curiosidad por tales magnitudes de escala, y una vez que logré encontrar una forma de entrar, rápidamente tuve mi primera experiencia práctica con la magia de este nuevo motor que impulsa a la aldea global. Asistí a la construcción de un circuito integrado a partir de varios trozos de colores de plastilina. Así es, existe un jardín de niños en Intel para personas sin conocimiento previo. Se le denomina Clase de macro introducción a las áreas funcionales o, en un lugar así tan repleto de iniciales como el departamento de defensa, un FAM (*Functional Area Macro Overview Class*).

Entre mis compañeros de clase se encontraba Terry McDermott, un individuo del tamaño de un

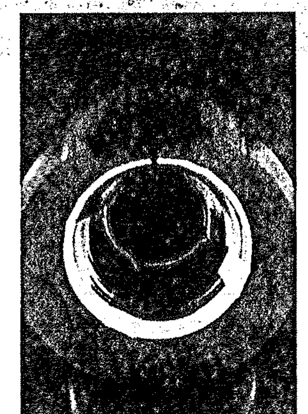
Si todo sale bien, cada átomo de silicio se alineará en la posición adecuada y creará un solo cristal.

defensa de fútbol con ojos brillantes quien una vez fue comentarista de deportes de la TV local, y anterior a eso, un receptor y jugador de campo de los Dodgers de Los Ángeles. Ahora, una de sus ocupaciones en la vida es dirigir a gente como yo a través del laberinto de fabricación de circuitos de Intel.

En el FAM, aprendí primero que los circuitos integrados, ninguno mayor a mi pulgar, pueden construirse de algunas 20 capas infinitesimalmente delgadas, y que éstas se producen sobre obleas de silicio de 8 pulgadas de diámetro, con la capacidad de tener de 100 a 600 circuitos por oblea. Cuando la industria comenzó en 1960, las obleas tenían cerca del mismo tamaño de las obleas comunes, de ahí su nombre. Imagina a la oblea como una pizza, dice Terry, en un modo más común. Mientras mayor sea la pizza, más pepperoni será posible ponerle. Y por supuesto, mientras más pequeñas sean las rebanadas de pepperoni, podrán colocarse más de ellas, también. Mientras más pequeño, será mejor: más barato y más rápido.

Éramos lentos, nos tomó la mayor parte de las dos horas poder realizar las primeras capas de un circuito integrado con nuestra plastilina, recortábamos formas con los patrones que ellos llaman máscarillas, las colocábamos cuidadosamente una sobre la otra, perforábamos algunos agujeros pequeños a través de varias capas como elevadores entre pisos, de forma que las capas pudieran comunicarse entre sí. Durante el proceso, éramos interrumpidos por el sonido de la pista musical de Intel proveniente de altavoces que nos indicaba que era tiempo de que todo mundo dejara de hacer lo que estaba haciendo y comenzara un periodo de cinco a diez minutos de ejercicios de estiramiento. Realmente se dirigían a todos, desde los técnicos en la Fab hasta los trabajadores de oficina en un cubículo.

La vida en una Fab de Intel inicia y termina con estas obleas, ahora de 8 pulgadas pero hace tiempo, de 12 pulgadas (más espacio para el pepperoni). Las obleas llegan a la planta en cartuchos de 25 y meses después la abandonan de una forma muy alterada pero aún en cartuchos de 25. Las obleas se hacen de silicio prácticamente puro, el segundo elemento más abundante en la corteza terrestre y que es conocido por ser un semiconductor: es posible fácilmente alterarlo para que sea un conductor o un aislante, lo que significa que puede o no conducir electricidad. Cada transistor que se construirá dentro del circuito integrado ya terminado es un interruptor eléctrico que puede encenderse o apagarse. La alimentación de una carga positiva en la compuerta del transistor, lo abrirá, en cierto sentido, y una carga negativa lo cerrará. En las muchas capas de un circuito integrado Pentium III, pueden instalar hasta $9^1/_2$ millones de transistores.



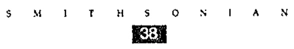
Un cristal formado a partir de silicio fundido es lentamente extraído del horno en el que se calentó a 2,700 grados Fahrenheit (1,480°C). A la derecha, Rosemary Gerald verifica la temperatura de un cristal terminado mientras Gary Burgess manipula los controles del horno.

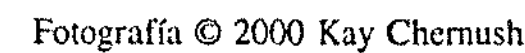
Un tanto consternado por tantos ceros, inocentemente pregunté de dónde venían las obleas y en poco tiempo me encontré en el comienzo del flujo completo de fabricación de los circuitos integrados, en una de las plantas donde crecen, "cultivan", los cristales de silicio y realizan las obleas a partir de éstos; un lugar en Phoenix Arizona, callado Sumitomo Sitix.

El silicio llega a Sitix en una forma tan pura que sólo se permite un átomo de impureza por cada diez billones de átomos de silicio. En una atmósfera de gas inerte argón, el silicio se funde a 2,700 grados Fahrenheit (aproximadamente 1,480°C) dentro de crisoles desechables de USD $2,000 colocados en una ordenada línea de grandes hornos azules. Se añaden átomos de boro para incrementar su conductividad eléctrica. Sobre este caldo, un aparato en forma de aguja hace descender una pequeña semilla de cristal de silicio, la cual es jalada hacia arriba de forma muy lenta mientras ésta da vueltas. Si todo sale bien, en las siguientes 72 horas, a medida que el silicio se enfríe para cristalizarse, cada átomo de silicio se alineará en la posición adecuada y creará un solo cristal de silicio enorme de 4 pies de largo que se asemeja a un salami plateado-cromado de 250 libras (113 Kg).

Luego, los enormes cristales cilíndricos se transportan de forma automatizada para reducirlos al diámetro adecuado (ocho pulgadas), someterlos a rayos x, tratamientos térmicos y otro tipo de esfuerzos para simular las condiciones a las que el cliente podría someterlos. Después, éstos se cepillan nuevamente de forma automática, para cortarse o aserrarse en trozos y luego en obleas mediante lo que Robert Gill directivo en jefe de las operaciones, compara con una rebanadora de pan gigante. El aserrado se realiza con alambres de acero de alta tensión, cada uno del ancho de un cabello humano, enrollados alrededor de tres tambores, tensados como las hileras de alambre en un piano. Las "cuchillas" se mueven hacia delante y hacia atrás, arrastrando una mezcla de aceite y carborundo a lo largo del cristal de silicio, y en siete horas, los grandes trozos de cristal se habrán rebanado nítidamente en obleas de 1/32 de pulgada de ancho.

Un criterio importante de las obleas es que deben ser planas, de forma que los electrones cuenten con trayectorias uniformes para seguir. En promedio, su elevación no debe variar más de un micrón (1/25,000 de pulgada) (un cabello huma-





Un cristal de silicio individual

Estos cuartos se encuentran fanáticamente limpios, los más esterilizados de todo el planeta.

no mide aproximadamente 100 micrones de diámetro), Bob Gill explica el grado de precisión de la siguiente manera: suponga que en lugar de tener una oblea de ocho pulgadas usted tiene una aplanadora de caminos y se le indica que nivele un área circular de dos millas de diámetro. El terreno no debe variar en elevación de un lugar a otro por más de dos tercios de pulgada.

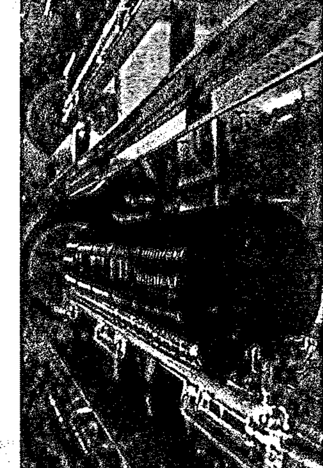
De regreso a la tierra de los micrones, toma una gran cantidad de pulverización, pulido, calentamiento y limpieza lograr este tipo de tolerancia. Todo esto se realiza sin la intervención de la mano humana, debido a que ésta es demasiado tosca para realizar este tipo de trabajo. Dentro de las estaciones rodeadas de vidrio, pequeños brazos de metal empujan y jalan como picos de garzas metálicas, al alimentar a las obleas hacia cada operación sucesiva mientras que otros brazos mecánicos parecen saludar con una precisión prusiana. Después de cada proceso, las obleas se transportan en cartuchos especiales que generalmente se mantienen sumergidos en el agua, para proteger mejor sus superficies de contaminaciones no deseadas.

Los grandes contenedores de obleas en el agua son muy pesados, por lo que un robot parecido a un contenedor de lavandería de alta tecnología se desplaza a lo largo de un riel y los levanta y coloca en su siguiente estación. El robot (el cual evidentemente tiene un sexo y se le conoce como "él" en tercera persona) interpreta la canción "Let It Be" de los Beatles, una de las 1,001 canciones de su repertorio, para alertar de su proximidad. Si un visitante involuntariamente se coloca en su ruta, el robot se detendrá a unas cuantas pulgadas de distancia y de forma educada le pedirá al intruso que se quite del camino.

Miles de lecturas se toman de cada oblea, para monitorear su espesor, inclinación, distorsión, estrechamiento y nivel de alisamiento. Las obleas se limpian de forma química y mecánica, se inspeccionan visualmente bajo luces extremadamente brillantes (una partícula de la mitad de un micrón a través de una superficie altamente pulida se iluminará como si fuera un tocino) y se reexaminan mediante rayos láser que identifican partículas de tan sólo dos décimas de micrón. Las obleas se clasifican en cuatro contenedores: "para volver a limpiar", "para volver a pulir", "desecho" y "adecuadas". Las adecuadas se vuelven a verificar mediante rayos X, espectrografías de absorción atómica y microscopios de exploración de electrones para eliminar la posibilidad de que cuenten con iones o metales no deseados. Aquellas que se juzgan como inmaculadas avanzan (en cajas especiales de transporte, naturalmente) hacia los lugares donde se fabrican los microprocesadores y otros circuitos integrados.

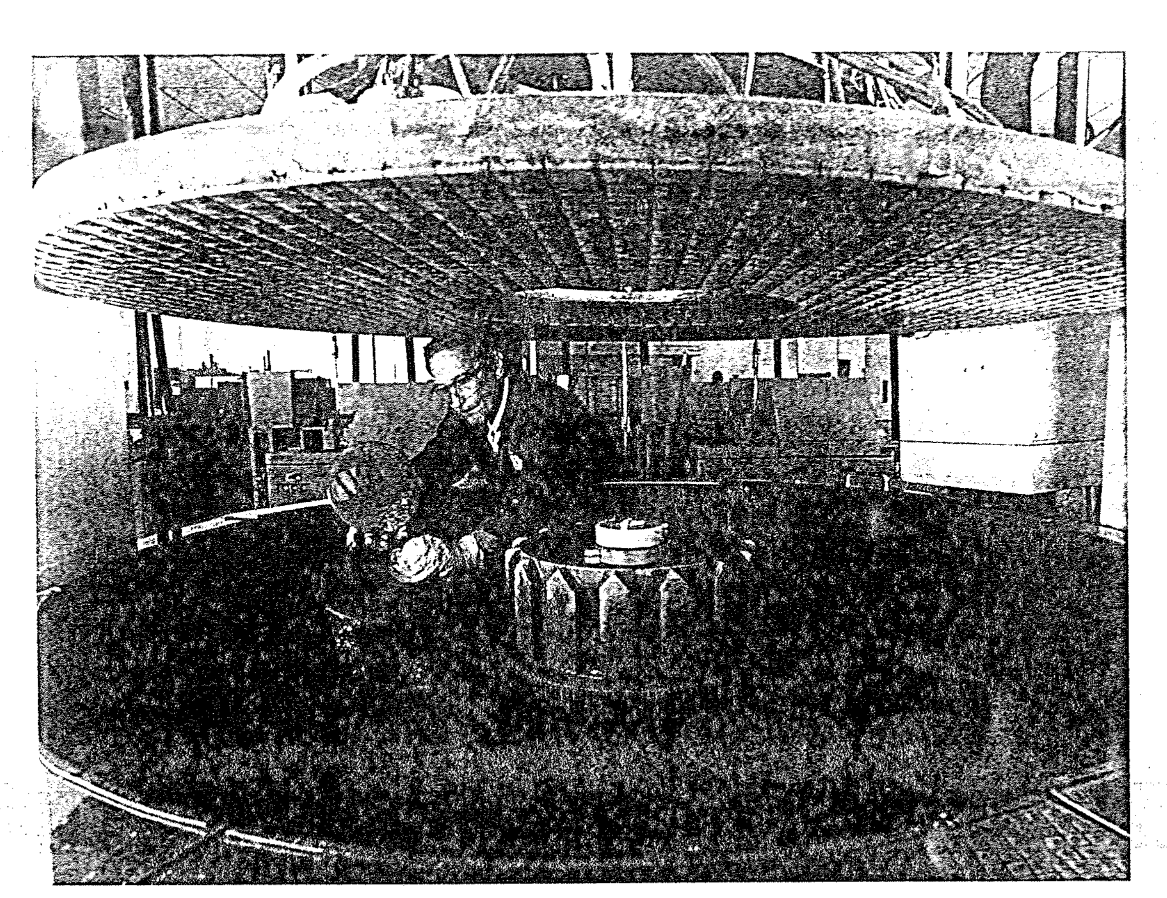
Los puntos decisivos en la fabricación de las obleas (es decir, los más complicados) son el crecimiento de los cristales gigantes y el pulido de las obleas, pero si existe algo que es verdaderamente importante es la limpieza. Gran parte del proceso de construcción de las obleas se realiza en lo que se conoce como cuarto estéril. Tales cuartos son incluso más importantes para la fabricación de los microprocesadores que estas obleas, por lo que interrumpiremos aquí el flujo del producto para repasar la naturaleza precisa de los lugares más fanáticamente limpios y esterilizados a conciencia del planeta.

Técnicamente hablando, se les denomina cuartos estériles de flujo laminar, y fueron inventados por los laboratorios nacionales de Sandia en Albuquerque, Nuevo México, afortunadamente se crearon justo a tiempo para el momento en el que la fabricación de microprocesadores los requeriría. Flujo laminar significa que las partículas de un fluido o gas se mueven en capas paralelas o hileras, y para este caso significa que el aire en un cuarto estéril se mueve continuamente desde el techo hasta el piso, donde se extrae a través de rejillas. Luego fluye mediante grandes ventiladores de regreso al cuarto por el techo, el cual se encuentra formado de un gran arreglo de filtros. De esta forma, todo el aire en un cuarto dado puede cambiarse al menos seis veces en un minuto, incluso en una Fab del tamaño de cincos campos de fútbol. (En comparación, los sistemas típicos de aire acondicionado doméstico cambian el aire en una casa cerca de dos veces por día.) En un cuarto estéril, el aire que fluye acarrea todo el material sucio con el que la mayoría de los cuartos se encuentran llenos, un proceso apoyado por el hecho de que la presión del aire dentro de ellos, es mayor que la de afuera, con lo que se evita en primer lugar, que la mayor parte del aire sucio entre.



Obleas rebanadas de un cristal cilíndrico esperan en "barcas" de cuarzo para ser examinadas en busca de posibles defectos.

Un pie cúbico del aire que en este momento usted se encuentra respirando contiene varios cientos de granos de polen y esporas de hongos, así como monóxido de carbono, gas radón, moléculas de perfume, patas de arañas, fragmentos de tierra, pelaje de animales, un poco de carbón de una fogata lejana, acáridos de su alfombra, escamas de su piel, cabello, pelusa, bacterias, virus y pequeñas gotas del tamaño de 15 micrones de la ocasión en que estornudó (SMITHSONIAN, Abril de 1995). En resumen, ese pie cúbico de aire por lo re-



John Hallam coloca obleas en una máquina que las pulirá hasta lograr tolerancias extraordinariamente exactas.

gular contendrá un millón de partículas de la mitad de un micrón (diez millones si se encuentra un fumador presente), cualquiera de las cuales podría arruinar un microprocesador.

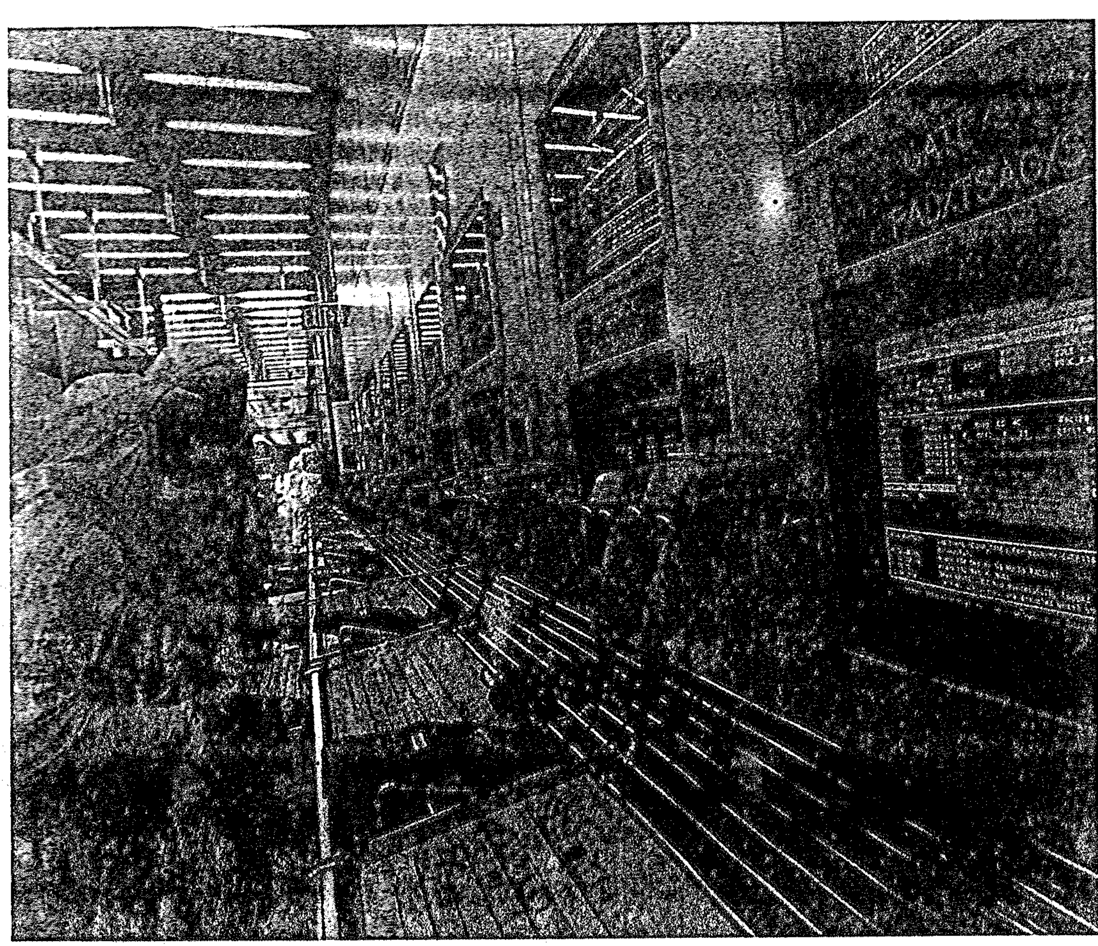
La Fab 11 de Intel es un cuarto estéril de Clase Uno, lo que significa entre otras cosas que cualquier objeto superior a una partícula de medio micrón en un pie cúbico de aire se encuentra estrictamente prohibida, pero en la práctica la gente de Intel no presta mucha atención a si los sensores localizados por todo el lugar, detectan alguna partícula.

Para entender el porqué los circuitos integrados requieren tan extraordinario grado de limpieza, piense en un circuito integrado en términos de la metáfora de Manhattan: imagínese un mapa detallado de Manhattan que muestre cada calle y pasaje. Luego reduzca el mapa a un pedazo de papel de un cuarto de pulgada cuadrada. Si ahora atravesara el papel con un alfiler, se crearía un bache que iría desde el edificio de Times Square hasta prácticamente Harlem. Un resultado evidente sería que el tráfico se encontraría eternamente interrumpido. Incluso tan sólo una escama de piel de Godzilla pondría en corto a la ciudad completa al permanecer encima de cuatro o cinco avenidas que vayan del norte al sur.

¿Entonces cómo hacen frente los cuartos estériles a tipos tan desliñados como nosotros? Con ropas, les agrada decir, fabricadas por Omar el de las tiendas de fábrica.

O en otras palabras, con el "traje de conejo". "Trabajadores" de Intel en trajes multicolores de conejo bailaron en la pantalla de TV en fantasiosos comerciales de la compañía no hace mucho tiempo. Por consecuencia, muchos empleados reales de Intel solicitaron trajes de conejo con colores pastel, cada uno costando USD $800, pero sólo tenían de color blanco.

Me tomó cerca de 15 minutos, con bastante adiestramiento y paciente apoyo, poder colocarme un traje de conejo. (Se me había advertido que no se me permitiría utilizar maquillaje, spray para pelo, gel, perfume o loción para después de afeitar.) La indumentaria incluye botines azules por encima de los zapatos, como los que utiliza el elenco de *Sala de Emergencias.* Una red flexible sobre el cabello y otra para la parte baja de la cara para aquéllos con barba. Suaves guantes blancos. Un casco con una capucha que se conecta a dos tuberías de tipo PVC colocadas por dentro cerca de la apertura de la cara y que salen apretadamente por la parte de atrás de la capucha. Ponerse el traje en sí (el cual se abre desde arriba) implica insertar primero los pies y



Trabajadores monitorean el horno en el que una capa de dióxido de silicio se añade a las obleas. Las "pistolas" leen el código de barras sobre las barcas.

luego los brazos. Observé mientras me sentaba sobre una banca y batallaba con el traje, que las personas que trabajan ahí regularmente, podían realizar todo este proceso de pie.

Luego, hay que ajustarse un cinturón alrededor de la cintura y ponerse el casco. La capucha debe pasar por debajo de los hombros del traje y el traje debe cerrarse con un cierre a lo largo de los hombros. Una capa protectora de plástico transparente para no salpicar de saliva se coloca en la parte baja de la apertura de la cara. Después, los tubos del casco se conectan a un sistema de filtrado de aire en una caja que se engancha al cinturón, junto con un paquete de baterías. Los tubos comienzan a extraer las exhalaciones en medio de un ligero zumbido de respiración. Luego me coloqué otros botines, los cuales casi llegan al nivel de las rodillas y se abrochan ajustadamente alrededor de las piernas con un broche. Por último, se colocan unos guantes amarillos de látex cuidadosamente asegurados por debajo de los puños del traje y un par de lentes de seguridad de plástico transparente. En este punto, envuelto como un regalo de cumpleaños y de pie a la temperatura estable de 72 grados F (22°C), deseaba haberme vestido con algo menos caluroso como un par de pantalones cortos y una playera, como lo habían hecho la mayoría de los trabajadores del cuarto estéril.

En su primer ingreso a una Fab alguien inexperto, podría imaginar que ella o él se encuentra en una película de James Bond del siglo 21. La vasta estructura se divide en largos corredores y pasillos pequeños que los cruzan. Aquí es donde las recién llegadas obleas de silicio puro serán sometidas a un proceso no muy distinto del que se realizó en el FAM con la plastilina. Cuando menos eso sabía, por supuesto, pero la Fab tenía una apariencia escalofriante. En su mayor parte es de color blanco, no obstante en algunos corredores se pueden observar áreas iluminadas por una luz color amarillo limón. Todos los pisos son de rejillas para la circulación del aire. Cuelgan por todas partes del techo varillas de aproximadamente dos pies de largo con pequeñas salientes cilíndricas en el extremo, que parecen dispositivos para escuchar órdenes. También en lo alto, cajas de plástico llenas de obleas pasan con rapidez de forma silenciosa sobre rieles mientras cambian de dirección hacia uno u otro corredor, donde las personas en los trajes de conejo, de pie solos o en pequeños grupos, se encuentran abstraídos observando las grandes y en su mayoría inmóviles máquinas detrás del cristal. Es como si, bajo la orden de algún tirano Dr. No, el lugar de repente estallara en movimiento y el mundo terminara de forma abrupta. Pero no...

Es como si el lugar de repente estallara en movimiento y el mundo terminara de forma abrupta.

Ann Tiao, quien tiene el puesto de Ingeniero de Defectos en Línea y actuaba como nuestro guía, nos explicó que los pequeños bichos que cuelgan del techo son "ionizadores". En el intervalo de ser trabajados por todas las máquinas, los que llegarán a ser circuitos integrados (denominados dados) colectan iones, y una acumulación de iones positivos o negativos puede ocasionar una descarga electrostática que a su vez podría arruinar los circuitos del dado. Por esto, los ionizadores bombean grandes cantidades de iones tanto positivos como negativos hacia el aire excepcionalmente limpio para neutralizar cualquier acumulación de iones sobre cualquier superficie.

Las cuadrillas de personas vestidas de conejo, Tiao me aseguró, de hecho se encontraban extremadamente ocupadas monitoreando el comportamiento de las "herramientas", las enormes máquinas que realizan uno u otro proceso a lo largo del flujo y que, con un costo de USD $5 millones por pieza, le confieren otro significado al término humilde. Y estas herramientas con costos multimillonarios, al parecer, pueden funcionar mal. El trabajo de un técnico es conocer las "idiosincrasias" de su máquina y realizar los ajustes adecuados cuando se desvía. De forma que aquí también existe el arte y el trabajo artesanal.

Tiao nos dirigió alrededor de cada una de las herramientas necesarias para construir una capa de transistores sobre una oblea. El proceso completo, que por supuesto se encuentra basado en un diseño dibujado con anterioridad, es un complicado mapa de tres dimensiones de un microprocesador.

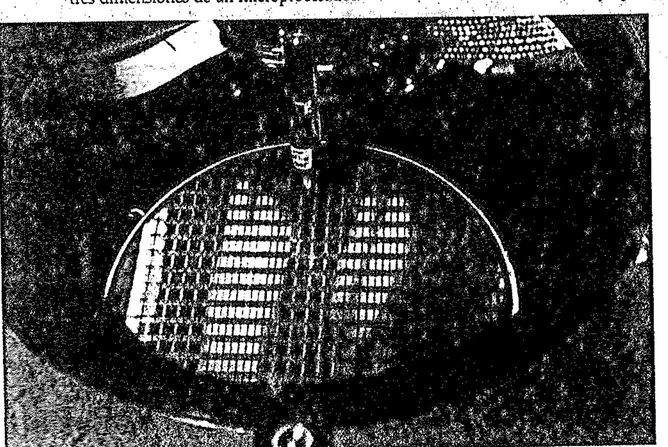
Parte del proceso no es distinto de la litografía, el medio de impresión por el cual esta revista se produce. En la Fab a esta etapa se le conoce como "lito" y sus numerosos pasos toman lugar en aquellas áreas bañadas por la luz amarilla. Encima de una capa aislante de dióxido de silicio, la oblea se recubre con una sustancia llamada fotoresist. Se coloca una mascarilla sobre la capa de fotoresist y se expone a luz ultravioleta (UV).

Las partes del fotoresist que son alcanzadas por la luz UV se vuelven solubles y se eliminan con agua; así forman un patrón encima del dióxido de silicio. Cada circuito integrado sobre una oblea se expone de esta forma, y de aquí, la oblea pasa a un microscopio de exploración de electrones, donde un técnico se asegura de que los patrones tengan el grosor correcto y de que todo se encuentre adecuadamente alineado. Si esto no fuera así, la oblea se desmantelaría hasta el nivel de aislamiento y se volvería a construir.

A partir de aquí, las obleas se llevan para grabar los circuitos, de forma que éstos se conviertan en canales verticales de sólo un cuarto de micrón de ancho. Sin embargo, el grabado puede ser un poco sucio y crear partículas y desperdicio, de forma que las obleas pasan inmediatamente a limpieza en ácido sulfúrico, el cual elimina el fotoresist remanente y cualquier partícula. Luego, el ácido se enjuaga con agua tan pura que se convierte en un solvente mayor de lo que naturalmente es.

Después de este paso (y virtualmente de todos los demás) las obleas se sujetan a una inspección óptica para detectar imperfecciones que pueden corregirse (lo cual es práctico, cuando sólo algunos dados se encuentran dañados, pero no en el caso de obleas "estropeadas" donde muchos dados están dañados). Es mejor desechar una oblea dañada lo antes posible, debido a que cada paso posterior es caro. Incluso con las sorprendentes economías de escala involucradas en la producción de millones de estos pequeños circuitos integrados cada semana, aquellos que son microprocesadores representarán más de 10% del costo de una computadora personal.

Los procesos de lito y de grabado se repiten una y otra vez. De esta forma, un circuito integrado es construido con capas de distintos materiales, mediante patrones diversos. Si una capa es demasiado gruesa o si no es posible hacer pasar electricidad a través de ella, el circuito se desecha. La prueba final se denomina "ordenamiento", en la que una herramienta con puntas en forma de aguja toca ligeramente los puntos de prueba sobre la superficie de cada circuito, cerca de 10,000 toques o pruebas por segundo. Cualquier circuito que falle



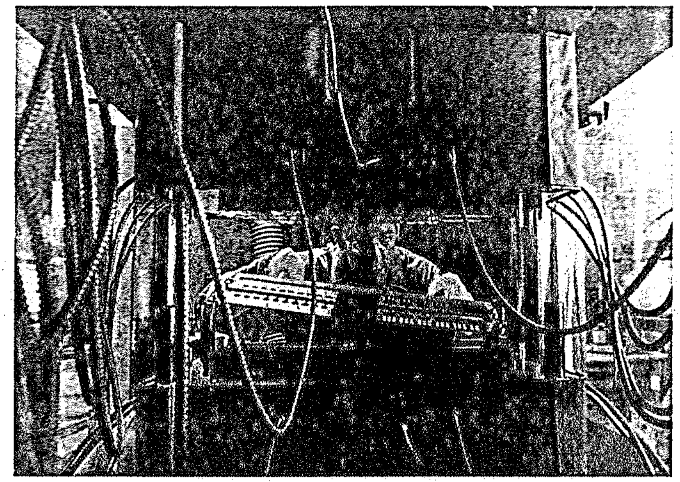
Los circuitos integrados individuales de memorias que se identificaron como defectuosos se marcan con un punto negro para ser desechados.

La ley de Moore establece que el número de transistores sobre cada circuito integrado se duplicará cada año.

cualquiera de las pruebas es adornado con una gota de tinta, el Punto Negro; el estigma de la vergüenza, que por su puesto significa la perdición.

Una vez que el recorrido terminó, Terry McDermott y yo seguimos a Tiao por un corredor de un cuarto de milla de longitud, como un par de cansados jugadores de béisbol al dirigirse a las duchas. Nos despojamos de nuestro traje de conejo y fuimos recibidos por Bill Westmoreland, el gerente del ambiente del sitio, quien insistió en que fuéramos a un lugar denominado Subfab, el lugar donde reside 80% de la sección de trabajo de las herramientas. Se trata del sótano, sin embargo distinto de cualquier sótano que me haya imaginado.

El Subfab de la Fab 11, es un lugar tan limpio que sería posible comer avena cocida del piso. Se trata de un inmenso lugar con techos altos sin cables sueltos colgando, sin esquinas oscuras con telarañas, sin tuberías goteando o manchas de humedad en el lugar donde la bomba del pozo dejó de funcionar. En cambio aquí es el lugar donde ciertamente se encuentra la mayor cantidad de tramos de tubería, tubos y cables en el mundo. Cada uno de estos miles y miles de conductos se encuentra rotulado de forma que cualquiera pueda saber el químico, gas o voltaje que conduce hacia las herramientas del piso superior o hacia fuera de la Fab. Éste es un lugar repleto de compresores, enfriadores y calentadores gigantes, tuberías con un diámetro de seis pies cada una y una torre de lavado gigante que se asoma.



En las instalaciones de Intel de Chandler, Arizona, Jonathan McFarland opera una prensa que encapsula los circuitos integrados en un compuesto epóxico para protegerlos del ambiente.

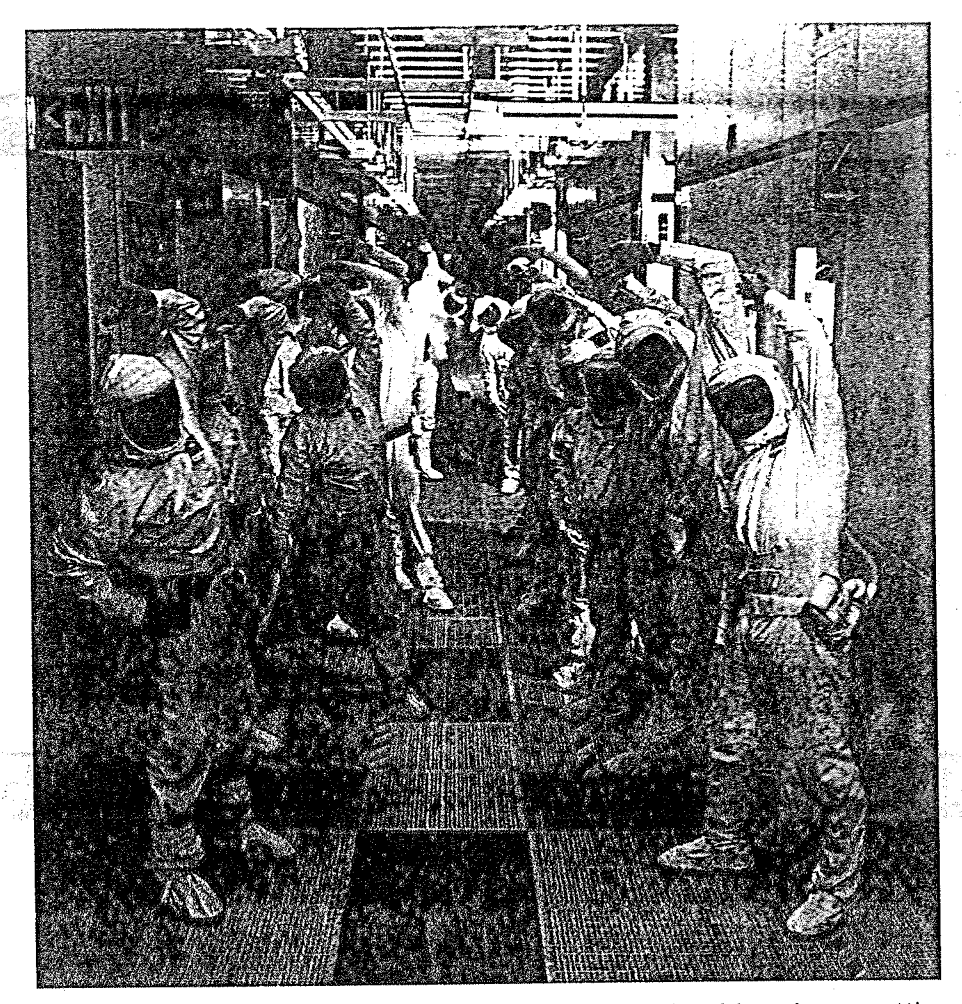
Una planta como ésta tiene el potencial de ejercer un enorme impacto sobre el medio ambiente. En una región árida, utiliza cuatro millones de galones de agua por día, tanto como nueve campos de golf de Albuquerque. Pero 85% del agua eventualmente será descargada en el Río Grande. Los ácidos y las bases son neutralizados. El residuo sucio del ácido fluorhídrico, por ejemplo, es precipitado en un "pastel" de fluoruro de calcio inerte.

Muchas personas cuyo trabajo implica observar que las máquinas realicen su labor nunca ven lo que sucede al lado de su área de trabajo, las labores de separación de los circuitos de cada oblea y el encapsulado, "empacado", de éstos. En el proceso de encapsulado tan mencionado, sierras con hojas de diamante separan cada circuito integrado de la oblea, y cada uno es adherido con un adhesivo de tratado térmico a una base cuadrada de plástico o cerámica que puede medir de 0.6 a 1.4 pulgadas a lo largo. Al observar el circuito integrado adherido ahora a un cuadro de plástico verde se me figuró como si observara desde arriba un estadio de tenis, con el circuito integrado como cancha central.

Para ver cómo se hace esto, fui a un laboratorio de desarrollo de Intel en Chandler, Arizona, donde un nuevo diseño de circuito integrado requería de una alta manipulación con herramientas. Se trataba de un circuito integrado más pequeño y rápido, producido en conformidad, yo supuse, con lo que la industria de los semiconductores denomina con cierto tono de temor, como la ley de Moore. El nombre de ley de Moore se debe a Gordon Moore, uno de los cerebros originales detrás de Intel. Su ley enunciada en los años sesentas establece que el número de transistores sobre un circuito integrado se duplicará cada año.

Para el nuevo circuito integrado, cerca de 500 conexiones de oro, las terminales eléctricas, debían ser conectadas a éste y luego al sustrato en tres capas, una labor realizada por una "máquina de cosido" sorprendentemente compleja y rápida que trabaja de acuerdo con un diseño en forma de mapa alimentado al cerebro de la máquina de cosido. El proceso se conoce como adhesión sónica termal. El hilo de oro es de 1 1/5 milésimos de ancho (un milésimo es 1/1,000 pulgadas), o una séptima parte del espesor del cabello humano promedio. La máquina de cosido (técnicamente, una máquina de adhesión de alambre) forma una pequeña esfera de oro al final del hilo, lo coloca en el punto de aluminio adecuado sobre el circuito integrado y lo adhiere con un golpe de ultrasonido. Luego jala el alambre sobre el sustrato de plástico y repite el proceso. Coloca de cuatro a siete terminales de este tipo por segundo, una cuestión frenética cuando se observa mediante un microscopio.

El circuito integrado y sus filamentos de oro son demasiado frágiles para ser dejados sin protección. El objeto completo se cubre con un sello epóxico, que no permitirá que vuelva a ver la luz nunca. Su destino será ser colocado sobre una tarjeta de circuito



En Intel, sesiones de estiramiento se programan dos veces durante cada jornada de 12 horas, además de los tres descansos permitidos.

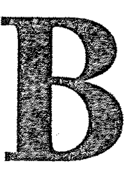
y enviado a algún lugar del mundo donde pueda instalarse dentro de una computadora portátil como la mía con una etiqueta plateada adherida que dice "Intel Inside" (Intel en el interior).

Más tarde, le pregunté a Gordon Moore, presidente emérito de Intel, si en realidad existía la necesidad de circuitos integrados con crecimiento exponencial del número de transistores, poder y velocidad. Él contesto: "Piense en una computadora personal que reconozca su cara, su voz y comprendiera correctamente si usted está diciendo '*too*' (también), 'to' (para) o 'two' (dos) (son palabras distintas con pronunciación similar en el inglés). Esto requerirá de más poder aún, quizá se trate de dos generaciones de distancia". En términos del Silicon Valley, dos generaciones son cerca de cuatro años. Siempre existirá la necesidad de mayor poder y velocidad, Moore añadió. Los programadores siempre podrán utilizarlo. "Tenemos un dicho: Intel lo proporciona y Microsoft se lo lleva."

A la pregunta de cómo había llegado a la ley de Moore, él contestó que era muy temprano en la industria de los semiconductores y que mucha gente no reconocía las posibilidades de esta industria. Él simplemente buscaba sorprender al mundo para que reconocieran su importancia, por lo que anunció la ley de la duplicación. Con una sonrisa beatífica, dice de forma modesta que se sorprendió y se regocijó al ver que de hecho había funcionado.

Jake Page denunció sobre un grupo único de rancheros sobre la frontera de México-Nuevo México, Arizona en junio de 1997. En los últimos 19 años, Kay Chernush ha fotografiado todo, desde gemas hasta desperdicios tóxicos.

APÉNDICE



Parámetros híbridos: ecuaciones de conversión (exactas y aproximadas)

B.1 EXACTAS

Configuración emisor común

$$h_{ie} = \frac{h_{ib}}{(1 + h_{fb})(1 - h_{rb}) + h_{ob}h_{ib}} = h_{ic}$$

$$h_{re} = \frac{h_{ib}h_{ob} - h_{rb}(1 + h_{fb})}{(1 + h_{fb})(1 - h_{rb}) + h_{ob}h_{ib}} = 1 - h_{rc}$$

$$h_{fe} = \frac{-h_{fb}(1 - h_{rb}) - h_{ob}h_{ib}}{(1 + h_{fb})(1 - h_{rb}) + h_{ob}h_{ib}} = -(1 + h_{fc})$$

$$h_{oe} = \frac{h_{ob}}{(1 + h_{fb})(1 - h_{rb}) + h_{ob}h_{ib}} = h_{oc}$$

Configuración base común

$$h_{ib} = \frac{h_{ie}}{(1 + h_{fe})(1 - h_{re}) + h_{ie}h_{oe}} = \frac{h_{ic}}{h_{ic}h_{oc} - h_{fc}h_{rc}}$$

$$h_{rb} = \frac{h_{ie}h_{oe} - h_{re}(1 + h_{fe})}{(1 + h_{fe})(1 - h_{re}) + h_{ie}h_{oe}} = \frac{h_{fc}(1 - h_{rc}) + h_{ic}h_{oc}}{h_{ic}h_{oc} - h_{fc}h_{rc}}$$

$$h_{fb} = \frac{-h_{fe}(1 - h_{re}) - h_{ie}h_{oe}}{(1 + h_{fe})(1 - h_{re}) + h_{ie}h_{oe}} = \frac{h_{rc}(1 + h_{fc}) - h_{ic}h_{oc}}{h_{ic}h_{oc} - h_{fc}h_{rc}}$$

$$h_{ob} = \frac{h_{oe}}{(1 + h_{fe})(1 - h_{re}) + h_{ie}h_{oe}} = \frac{h_{oc}}{h_{ic}h_{oc} - h_{fc}h_{rc}}$$

Configuración colector común

$$h_{ic} = \frac{h_{ib}}{(1 + h_{fb})(1 - h_{rb}) + h_{ob}h_{ib}} = h_{ie}$$

$$h_{rc} = \frac{1 + h_{fb}}{(1 + h_{fb})(1 - h_{rb}) + h_{ob}h_{ib}} = 1 - h_{re}$$

$$h_{fc} = \frac{h_{rb} - 1}{(1 + h_{fb})(1 - h_{rb}) + h_{ob}h_{ib}} = -(1 + h_{fe})$$

$$h_{oc} = \frac{h_{ob}}{(1 + h_{fb})(1 - h_{rb}) + h_{ob}h_{ib}} = h_{oe}$$

B.2 APROXIMADAS

Configuración emisor común

$$h_{ie} \cong \frac{h_{ib}}{1 + h_{fb}} \cong \beta r_e$$

$$h_{re} \cong \frac{h_{ib}h_{ob}}{1 + h_{fb}} - h_{rb}$$

$$h_{fe} \cong \frac{-h_{fb}}{1 + h_{fb}} \cong \beta$$

$$h_{oe} \cong \frac{h_{ob}}{1 + h_{fb}}$$

Configuración base común

$$h_{ib} \cong \frac{h_{ie}}{1 + h_{fe}} \cong \frac{-h_{ic}}{h_{fc}} \cong r_e$$

$$h_{rb} \cong \frac{h_{ie}h_{oe}}{1 + h_{fe}} - h_{re} \cong h_{rc} - 1 - \frac{h_{ic}h_{oc}}{h_{fc}}$$

$$h_{fb} \cong \frac{-h_{fe}}{1 + h_{fe}} \cong -\frac{(1 + h_{fc})}{h_{fc}} \cong -\alpha$$

$$h_{ob} \cong \frac{h_{oe}}{1 + h_{fe}} \cong \frac{-h_{oc}}{h_{fc}}$$

Configuración colector común

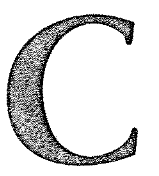
$$h_{ic} \cong \frac{h_{ib}}{1 + h_{fb}} \cong \beta r_e$$

$$h_{rc} \cong 1$$

$$h_{fc} \cong \frac{-1}{1 + h_{fb}} \cong -\beta$$

$$h_{oc} \cong \frac{h_{ob}}{1 + h_{fb}}$$

APÉNDICE



Cálculos del voltaje y del factor de rizo

C.1 FACTOR DE RIZO DEL RECTIFICADOR

El factor de rizo de un voltaje de dc está definido por

$$r = \frac{\text{valor rms del componente ac de la señal}}{\text{valor promedio de la señal}}$$

el cual se puede expresar como

$$r = \frac{V_r(\text{rms})}{V_{dc}}$$

Dado que el componente ac del voltaje de una señal que contiene un nivel de dc es

$$v_{ac} = v - V_{dc}$$

el valor rms del componente ac será

$$\begin{aligned} V_r(\text{rms}) &= \left[\frac{1}{2\pi}\int_0^{2\pi} v_{ac}^2\, d\theta\right]^{1/2} \\ &= \left[\frac{1}{2\pi}\int_0^{2\pi} (v - V_{dc})^2\, d\theta\right]^{1/2} \\ &= \left[\frac{1}{2\pi}\int_0^{2\pi} (v^2 - 2vV_{dc} + V_{dc}^2)\, d\theta\right]^{1/2} \\ &= [V^2(\text{rms}) - 2V_{dc}^2 + V_{dc}^2]^{1/2} \\ &= [V^2(\text{rms}) - V_{dc}^2]^{1/2} \end{aligned}$$

donde $V(\text{rms})$ es el valor rms del voltaje total. Para la señal rectificada de media onda,

$$\begin{aligned} V_r(\text{rms}) &= [V^2(\text{rms}) - V_{dc}^2]^{1/2} \\ &= \left[\left(\frac{V_m}{2}\right)^2 - \left(\frac{V_m}{\pi}\right)^2\right]^{1/2} \\ &= V_m\left[\left(\frac{1}{2}\right)^2 - \left(\frac{1}{\pi}\right)^2\right]^{1/2} \end{aligned}$$

$$\boxed{V_r(\text{rms}) = 0.385V_m \quad \text{(media onda)}} \qquad \text{(C.1)}$$

Para la señal rectificada de onda completa,

$$\begin{aligned} V_r(\text{rms}) &= [V^2(\text{rms}) - V_{dc}^2]^{1/2} \\ &= \left[\left(\frac{V_m}{\sqrt{2}}\right)^2 - \left(\frac{2V_m}{\pi}\right)^2\right]^{1/2} \\ &= V_m\left(\frac{1}{2} - \frac{4}{\pi^2}\right)^{1/2} \end{aligned}$$

$$\boxed{V_r(\text{rms}) = 0.308V_m \quad \text{(onda completa)}} \qquad \text{(C.2)}$$

C.2 VOLTAJE DE RIZO DEL FILTRO DE CAPACITOR

Al asumir una aproximación de forma de onda de rizo triangular como la que se muestra en la figura C.1, es posible escribir (ver figura C.2)

$$V_{dc} = V_m - \frac{V_r(\text{p-p})}{2} \qquad \text{(C.3)}$$

Durante la descarga del capacitor, el cambio de voltaje a través de C será

$$V_r(\text{p-p}) = \frac{I_{dc}T_2}{C} \qquad \text{(C.4)}$$

A partir de la forma de onda triangular de la figura C.1,

$$V_r(\text{rms}) = \frac{V_r(\text{p-p})}{2\sqrt{3}} \qquad \text{(C.5)}$$

(obtenido mediante cálculos no mostrados).

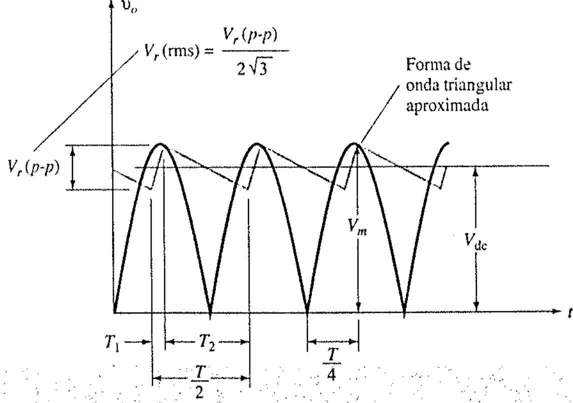


Figura C.1 Voltaje aproximado de rizo triangular para el filtro de capacitor.

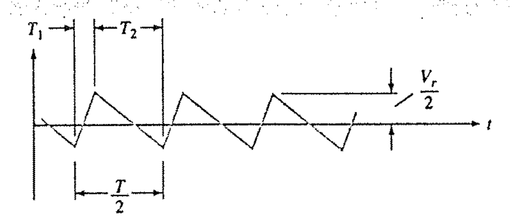


Figura C.2 Voltaje de rizo.

Mediante el empleo de los detalles de la forma de onda de la figura C.1 se obtiene

$$\frac{V_r(\text{p-p})}{T_1} = \frac{V_m}{T/4}$$

$$T_1 = \frac{V_r(\text{p-p})(T/4)}{V_m}$$

También,
$$T_2 = \frac{T}{2} - T_1 = \frac{T}{2} - \frac{V_r(\text{p-p})(T/4)}{V_m} = \frac{2TV_m - V_r(\text{p-p})T}{4V_m}$$

$$T_2 = \frac{2V_m - V_r(\text{p-p})}{V_m}\frac{T}{4} \tag{C.6}$$

Dado que la ecuación C.3 puede escribirse como

$$V_{dc} = \frac{2V_m - V_r(\text{p-p})}{2}$$

es posible combinar la última ecuación con la ecuación C.6:

$$T_2 = \frac{V_{dc}}{V_m}\frac{T}{2}$$

la cual, insertada en la ecuación C.4 nos da

$$V_r(\text{p-p}) = \frac{I_{dc}}{C}\left(\frac{V_{dc}}{V_m}\frac{T}{2}\right)$$

$$T = \frac{1}{f}$$

$$V_r(\text{p-p}) = \frac{I_{dc}}{2fC}\frac{V_{dc}}{V_m} \tag{C.7}$$

Al combinar las ecuaciones C.5 y C.7, resolvemos para V_r(rms):

$$\boxed{V_r(\text{rms}) = \frac{V_r(\text{p-p})}{2\sqrt{3}} = \frac{I_{dc}}{4\sqrt{3}fC}\frac{V_{dc}}{V_m}} \tag{C.8}$$

C.3 RELACIÓN DE V_{dc} Y V_m CON EL RIZO, r

El voltaje dc generado a través de un capacitor de filtro proviene de un transformador que proporciona un voltaje pico V_m que puede relacionarse con el rizo de la siguiente forma:

$$r = \frac{V_r(\text{rms})}{V_{dc}} = \frac{V_r(\text{p-p})}{2\sqrt{3}V_{dc}}$$

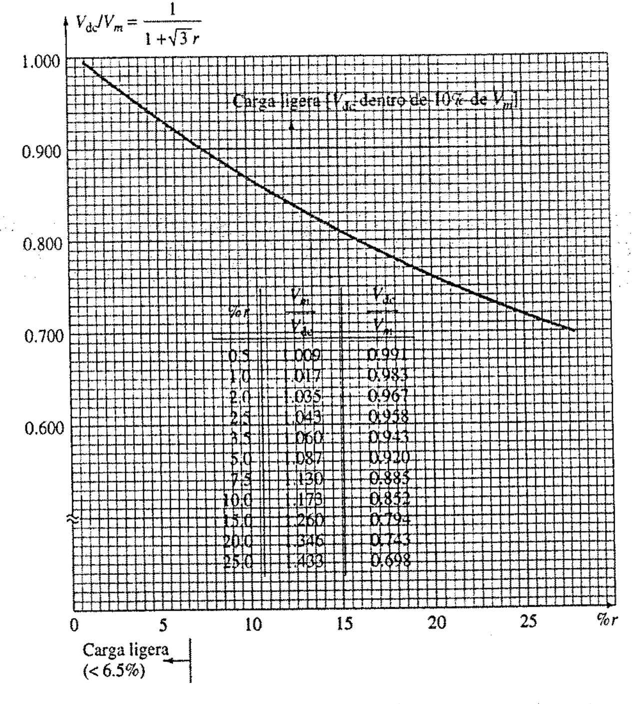
$$V_{dc} = \frac{V_r(\text{p-p})}{2\sqrt{3}r} = \frac{V_r(\text{p-p})/2}{\sqrt{3}r} = \frac{V_r(\text{p})}{\sqrt{3}r} = \frac{V_m - V_{dc}}{\sqrt{3}r}$$

$$V_m - V_{dc} = \sqrt{3}rV_{dc}$$

$$V_m = (1 + \sqrt{3}r)V_{dc}$$

$$\boxed{\frac{V_m}{V_{dc}} = 1 + \sqrt{3}r} \tag{C.9}$$

La relación de la ecuación C.9 aplica tanto para los circuitos filtro de capacitor-rectificador de media onda como de onda completa, según se grafica en la figura C.3. Como ejemplo, a un rizo de 5% el voltaje de dc será $V_{dc} = 0.92\ V_m$, o dentro de 10% del voltaje pico, mientras que a 20% del rizo el voltaje de dc cae a sólo $0.74V_m$, lo cual es más de 25% menor que el valor pico. Observe que V_{dc} se encuentra dentro de 10% de V_m para un rizo menor que 6.5%. Esta cantidad de rizo representa la frontera de la condición de carga ligera.



%r	$\frac{V_m}{V_{dc}}$	$\frac{V_{dc}}{V_m}$
0.5	1.009	0.991
1.0	1.017	0.983
2.0	1.035	0.967
2.5	1.043	0.958
3.5	1.060	0.943
5.0	1.087	0.920
7.5	1.130	0.885
10.0	1.173	0.852
15.0	1.260	0.794
20.0	1.346	0.743
25.0	1.433	0.698

Figura C.3 Gráfica de V_{dc}/V_m como una función de %r.

C.4 RELACIÓN DE V_r (RMS) Y V_m CON EL RIZO, r

También es posible obtener una relación entre V_r (rms), V_m y la cantidad de rizo para los dos circuitos de filtro de capacitor-rectificador de media onda y de onda completa, de la siguiente forma:

$$\frac{V_r(\text{p-p})}{2} = V_m - V_{dc}$$

$$\frac{V_r(\text{p-p})/2}{V_m} = \frac{V_m - V_{dc}}{V_m} = 1 - \frac{V_{dc}}{V_m}$$

$$\frac{\sqrt{3}V_r(\text{rms})}{V_m} = 1 - \frac{V_{dc}}{V_m}$$

Mediante la ecuación C.9, tenemos

$$\frac{\sqrt{3}V_r(\text{rms})}{V_m} = 1 - \frac{1}{1 + \sqrt{3}r}$$

$$\frac{V_r(\text{rms})}{V_m} = \frac{1}{\sqrt{3}}\left(1 - \frac{1}{1 + \sqrt{3}r}\right) = \frac{1}{\sqrt{3}}\left(\frac{1 + \sqrt{3}r - 1}{1 + \sqrt{3}r}\right)$$

$$\boxed{\frac{V_r(\text{rms})}{V_m} = \frac{r}{1 + \sqrt{3}r}} \qquad \text{(C.10)}$$

La ecuación C.10 se grafica en la figura C.4.

Dado que V_{dc} se encuentra dentro de 10% de V_m para el rizo ≤ 6.5%,

$$\frac{V_r(\text{rms})}{V_m} \cong \frac{V_r(\text{rms})}{V_{dc}} = r \qquad \text{(carga ligera)}$$

y podemos utilizar $V_r(\text{rms})/V_m = r$ para rizo ≤ 6.5%.

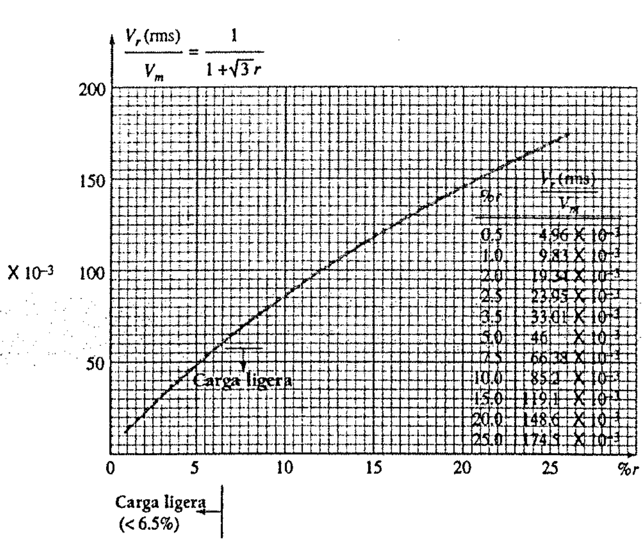


Figura C.4 Gráfica de $V_r(\text{rms})/V_m$ como una función de $\%r$.

C.5 RELACIÓN ENTRE EL ÁNGULO DE CONDUCCIÓN, % DE RIZO E I_{pico}/I_{dc} PARA LOS CIRCUITOS FILTRO DE CAPACITOR-RECTIFICADOR

En la figura C.1, es posible determinar el ángulo en el que el diodo comienza a conducir θ, de la siguiente forma: Dado que

$$v = V_m \operatorname{sen}\theta = V_m - V_r(\text{p-p}) \qquad \text{en} \qquad \theta = \theta_1$$

$$\theta_1 = \operatorname{sen}^{-1}\left[1 - \frac{V_r(\text{p-p})}{V_m}\right]$$

Mediante la ecuación C.10 y $V_r(\text{rms}) = V_r(\text{p-p})/2\sqrt{3}$

$$\frac{V_r(\text{p-p})}{V_m} = \frac{2\sqrt{3}V_r(\text{rms})}{V_m}$$

de forma que

$$1 - \frac{V_r(\text{p-p})}{V_m} = 1 - \frac{2\sqrt{3}V_r(\text{rms})}{V_m} = 1 - 2\sqrt{3}\left(\frac{r}{1 + \sqrt{3}r}\right)$$

$$= \frac{1 - \sqrt{3}r}{1 + \sqrt{3}r}$$

y

$$\boxed{\theta_1 = \operatorname{sen}^{-1}\frac{1 - \sqrt{3}r}{1 + \sqrt{3}r}} \qquad \text{(C.11)}$$

donde θ_1 es el ángulo en el que la conducción inicia.

Cuando la corriente se hace cero después de cargar las impedancias paralelas R_L y C, es posible determinar que

$$\theta_2 = \pi - \tan^{-1}\omega R_L C$$

Se puede obtener una expresión para $\omega R_L C$ de la siguiente forma:

$$r = \frac{V_r(\text{rms})}{V_{dc}} = \frac{(I_{dc}/4\sqrt{3}fC)(V_{dc}/V_m)}{V_{dc}} = \frac{V_{dc}/R_L}{4\sqrt{3}fC}\frac{1}{V_m}$$

$$= \frac{V_{dc}/V_m}{4\sqrt{3}fCR_L} = \frac{2\pi\left(\frac{1}{1 + \sqrt{3}r}\right)}{4\sqrt{3}\omega CR_L}$$

de forma que

$$\omega R_L C = \frac{2\pi}{4\sqrt{3}(1 + \sqrt{3}r)r} = \frac{0.907}{r(1 + \sqrt{3}r)}$$

De esta forma, la conducción se detiene a un ángulo de:

$$\boxed{\theta_2 = \pi - \tan^{-1}\frac{0.907}{(1 + \sqrt{3}r)r}} \qquad \text{(C.12)}$$

A partir de la ecuación 15.10b, podemos escribir

$$\frac{I_{pico}}{I_{dc}} = \frac{I_p}{I_{dc}} = \frac{T}{T_I} = \frac{180°}{\theta} \qquad \text{(onda completa)}$$

$$= \frac{360°}{\theta} \qquad \text{(media onda)} \qquad \text{(C.13)}$$

En la figura C.5 se proporciona una gráfica de I_p/I_{dc} como una función de rizo, para la operación de media onda y de onda completa.

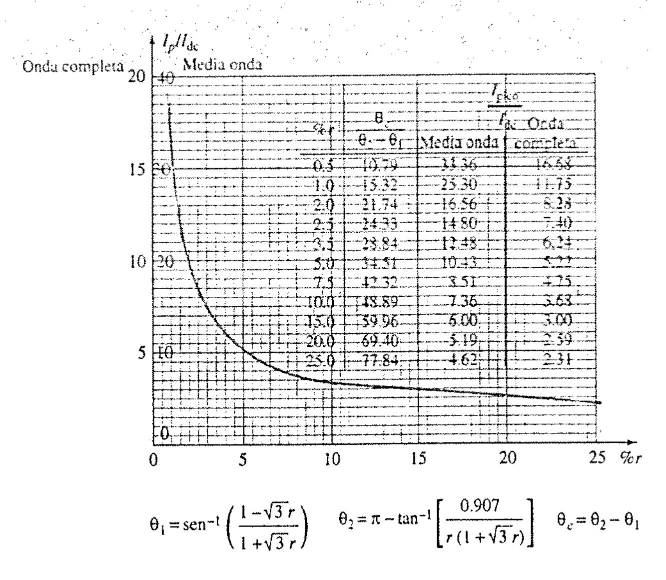


Figura C.5 Gráfica de I_p/I_{dc} en función de %r para la operación de media onda y de onda completa.

APÉNDICE

Tablas

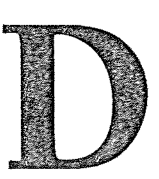


TABLA D.1 Alfabeto griego y denominaciones comunes

Nombre	*Mayúscula*	*Minúscula*	*Utilizada para designar*
alfa	A	α	Ángulos, áreas, coeficientes
beta	B	β	Ángulos, densidad de flujo, coeficientes
gamma	Γ	γ	Conductividad, gravedad específica
delta	Δ	δ	Variación, densidad
épsilon	E	ε	Base de los logaritmos naturales
zeta	Z	ζ	Impedancia, coeficientes, coordenadas
eta	H	η	Coeficiente de histéresis, eficiencia
theta	Θ	θ	Temperatura, ángulo de fase
iota	I	ι	
kappa	K	κ	Constante dieléctrica, susceptibilidad
lambda	Λ	λ	Longitud de onda
mu	M	μ	Micro, factor de amplificación, permeabilidad
nu	N	ν	Reluctividad
xi	Ξ	ξ	
ómicron	O	o	
pi	Π	π	Proporción de la circunferencia al diámetro = 3.1416
rho	P	ρ	Resistividad
sigma	Σ	σ	Signo de sumatoria
tau	T	τ	Constante de tiempo, desplazamiento de fase de tiempo
ípsilon	Y	υ	
phi	Φ	ϕ	Flujo magnético, ángulos
chi	X	χ	
psi	Ψ	ψ	Flujo dieléctrico, diferencia de fase
omega	Ω	ω	Mayúscula: ohms; minúscula: velocidad angular

TABLA D.2 Valores estándar de resistores disponibles comercialmente

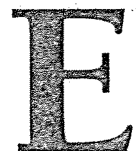
Ohms (Ω)					Kilohms (kΩ)		Megohms (MΩ)	
0.10	**1.0**	**10**	**100**	**1000**	**10**	**100**	**1.0**	**10.0**
0.11	1.1	11	110	1100	11	110	1.1	11.0
0.12	**1.2**	**12**	**120**	**1200**	**12**	**120**	**1.2**	**12.0**
0.13	1.3	13	130	1300	13	130	1.3	13.0
0.15	**1.5**	**15**	**150**	**1500**	**15**	**150**	**1.5**	**15.0**
0.16	1.6	16	160	1600	16	160	1.6	16.0
0.18	**1.8**	**18**	**180**	**1800**	**18**	**180**	**1.8**	**18.0**
0.20	2.0	20	200	2000	20	200	2.0	20.0
0.22	**2.2**	**22**	**220**	**2200**	**22**	**220**	**2.2**	**22.0**
0.24	2.4	24	240	2400	24	240	2.4	
0.27	**2.7**	**27**	**270**	**2700**	**27**	**270**	**2.7**	
0.30	3.0	30	300	3000	30	300	3.0	
0.33	**3.3**	**33**	**330**	**3300**	**33**	**330**	**3.3**	
0.36	3.6	36	360	3600	36	360	3.6	
0.39	**3.9**	**39**	**390**	**3900**	**39**	**390**	**3.9**	
0.43	4.3	43	430	4300	43	430	4.3	
0.47	**4.7**	**47**	**470**	**4700**	**47**	**470**	**4.7**	
0.51	5.1	51	510	5100	51	510	5.1	
0.56	**5.6**	**56**	**560**	**5600**	**56**	**560**	**5.6**	
0.62	6.2	62	620	6200	62	620	6.2	
0.68	**6.8**	**68**	**680**	**6800**	**68**	**680**	**6.8**	
0.75	7.5	75	750	7500	75	750	7.5	
0.82	**8.2**	**82**	**820**	**8200**	**82**	**820**	**8.2**	
0.91	9.1	91	910	9100	91	910	9.1	

TABLA D.3 Valores típicos de componentes de capacitores

pF				μF				
10	100	1000	10000	0.10	1.0	10	100	1000
12	120	1200						
15	150	1500	15000	0.15	1.5	18	180	1800
22	220	2200	22000	0.22	2.2	22	220	2200
27	270	2700						
33	330	3300	33000	0.33	3.3	33	330	3300
39	390	3900						
47	470	4700	47000	0.47	4.7	47	470	4700
56	560	5600						
68	680	6800	68000	0.68	6.8			
82	820	8200						

APÉNDICE

Soluciones a problemas nones seleccionados



CAPÍTULO 1

3. Conducción en una sola dirección
5. (a) 150 kΩ (b) 12.5 kΩ
(c) 800 kΩ (d) 3 μΩ
$R_{Si}:R_{Cu} = 50 \times 10^9:1$
9. 18 J
21. 56.35 mA
23. (b) 1 (c) Para $V = 0$ V, $e^0 = 1$ e
$I_D = 0$ mA
27. 325 Ω
29. −10 V : 100 MΩ, −30 V : 300 MΩ
31. $R_{dc} = 76\ \Omega$
$r_d = 3\ \Omega$
$R_{dc} \gg r_d$
33. $I_D = 1$ mA, $r_d = 52\ \Omega$ vs. 55 Ω(#32)
$I_D = 15$ mA, $r_d = 1.73\ \Omega$ vs. 2 Ω(#32)
35. 22.5 Ω vs. 24.4 Ω(#34)
37. Mediante el uso de la mejor aproximación a la curva más allá de $V_D = 0.7$ V
$r_{prom} = 4\ \Omega$
39. Disminuye rápidamente ante el incremento en el voltaje de polarización inversa
41. Escala logarítmica
$T = 25°C : I_R = 0.5$ nA
$T = 100°C : I_R = 60$ nA
Sí, a 95°C I_R se incrementó a 64 nA
43. $T = 25°C : P_{máx} = 500$ mW, $I_{F_{máx}} =$ 714.29 mA
$T = 100°C : P_{máx} = 260$ mW, $I_{F_{máx}} =$ 371.43 mA
45. (a) $V_R = -25$ V : $C_T \simeq 0.75$ pF
$V_R = -10$ V : $C_T \simeq 1.25$ pF
$\Delta C_T/\Delta V_R = 0.033$ pF/V
(b) $V_R = -10$ V : $C_T \simeq 1.25$ pF
$V_R = -1$ V : $C_T \simeq 3$ pF
$\Delta C_T/\Delta V_R = 0.194$ pF/V
(c) 0.194 pF/V : 0.033 pF/V ≃ 5.88 : 1
Mayor sensibilidad cerca de $V_D = 0$ V
49. $I_F = 1$ mA, $I_R = 0.5$ mA
$t_s = 3$ ns, $t_t = 6$ ns
51. $T_1 = 129.17°$
53. 20V : $T_C \simeq 0.06\%/°C$
5V : $T_C \simeq -0.025\%/°C$
55. 0.2 mA : ≃ 400 Ω
1 mA ≃ 95Ω, 10 mA ≃ 13Ω
Relación no lineal entre I_Z y la impedancia dinámica
57. $V_F = 2.3$ V
59. (a) $I_{pico(máx)} = 37$ mA
(b) $I_{pico(máx)} = 56$ mA

CAPÍTULO 2

1. (a) $I_{D_Q} \simeq 21.5$ mA, $V_{D_Q} \simeq 0.92$ V, $V_R = 7.08$ V
(b) $I_{D_Q} \simeq 22.2$ mA, $V_{D_Q} = 0.7$ V, $V_R = 7.3$ V
(c) $I_{D_Q} = 24.24$ mA, $V_{D_Q} = 0$ V, $V_R = 8$ V
3. $R = 0.62$ kΩ
5. (a) $I = 0$ mA (b) $I = 0.965$ A
(c) $I = 1$ A
7. (a) $V_o = 9.5$ V (b) $V_o = 7$ V
9. (a) $V_{o_1} = 11.3$ V, $V_{o_2} = 0.3$ V
(b) $V_{o_1} = -9$ V, $V_{o_2} = -6.6$ V
11. (a) $V_o = 9.7$ V, $I = 9.7$ mA
(b) $V_o = 14.6$ V, $I = 0.553$ mA
13. $V_o = 6.2$ V, $I_D = 1.55$ mA
15. $V_o = 9.3$ V
17. $V_o = 10$ V
19. $V_o = -0.7$ V
21. $V_o = 4.7$ V
23. $v_i : V_m = 6.98$ V, v_d : máximo positivo = 0.7 V, pico negativo = −6.98 V
i_d pulso positivo de 2.85 mA
25. Pulso positivo, pico = 155.56 V, $V_{dc} = 49.47$ V
27. (a) $I_{D_{máx}} = 20$ mA
(b) $I_{máx} = 36.71$ mA
(c) $I_D = 18.36$ mA
(d) $I_D = 36.71$ mA $> I_{D_{máx}} = 20$ mA
29. Forma de onda rectificada completa. pico = −100 V; PIV = 100 V
31. Forma de onda rectificada completa, pico = 56.67 V; $V_{dc} = 36.04$ V
33. (a) Pulso positivo de 3.28 V
(b) Pulso positivo de 14.3 V
35. (a) Recortado a 4.7 V
(b) Recorte positivo en 0.7 V, pico negativo = −12 V
37. (a) Excursión de 0 V a 40 V
(b) Excursión de −5 V a 35 V
39. (a) 28 ms (b) 56 : 1
(c) Excursión de −1.3 V a −21.3 V
41. Red de la figura 2.179 con la batería invertida
43. (a) $R_s = 20\ \Omega$, $V_Z = 12$ V
(b) $P_{Z_{máx}} = 2.4$ W
45. $R_s = 0.5$ kΩ, $I_{ZM} = 40$ mA
47. $V_o = 339.36$ V

CAPÍTULO 3

3. Polarizado en forma directa e inversa
9. $I_C = 7.921$ mA, $I_B = 79.21\ \mu A$
11. $V_{CB} = 1$ V : $V_{BE} = 800$ mV
$V_{CB} = 10$ V : $V_{BE} = 770$ mV
$V_{CB} = 20$ V : $V_{BE} = 750$ mV
Sólo ligeramente
13. (a) $I_C \simeq 4.5$ mA (b) $I_C \simeq 4.5$ mA
(c) Despreciable (d) $I_C = I_E$
15. (a) $I_C = 3.992$ mA (b) $\alpha = 0.993$
(c) $I_E = 2$ mA
17. $A_v = 50$
21. (a) $\beta_{dc} = 117.65$ (b) $\alpha_{dc} = 0.992$
(c) $I_{CEO} = 0.3$ mA (d) $I_{CBO} = 2.4\ \mu A$

23. (a) $\beta_{dc} = 83.75$ (b) $\beta_{dc} = 170$
(c) $\beta_{dc} = 113.33$
25. $\beta_{dc} = 116, \alpha_{dc} = 0.991$,
$I_E = 2.93$ mA
31. $I_C = I_{C_{max}}, V_{CB} = 5$ V
$V_{CB} = V_{CB_{max}}, I_C = 2$ mA
$I_C = 4$ mA, $V_{CB} = 7.5$ V
$V_{CB} = 10$ V, $I_C = 3$ mA
33. $I_C = I_{C_{max}}, V_{CE} = 3.125$ V
$V_{CE} = V_{CE_{max}}, I_C = 20.83$ mA
$I_C = 100$ mA, $V_{CE} = 6.25$ V
$V_{CE} = 20$ V, $I_C = 31.25$ mA
35. $h_{FE}: I_C = 0.1$ mA, $h_{FE} \cong 43$
$I_C = 10$ mA, $h_{FE} \cong 98$
$h_{fe}: I_C = 0.1$ mA, $h_{fe} \cong 72$
$I_C = 10$ mA, $h_{fe} \cong 160$
37. $I_C = 1$ mA, $h_{fe} \cong 120$
$I_C = 10$ mA, $h_{fe} \cong 160$
39. $\beta_{ac} = 190$ (b) $\beta_{dc} = 201.7$
(c) $\beta_{ac} = 200$ (d) $\beta_{dc} = 230.77$ (f) Sí

CAPÍTULO 4

1. (a) $I_{B_Q} = 32.55\ \mu$A
(b) $I_{C_Q} = 2.93$ mA
(c) $V_{CE_Q} = 8.09$ V
(d) $V_C = 8.09$ V
(e) $V_B = 0.7$ V (f) $V_E = 0$ V
3. (a) $I_C = 3.98$ mA (b) $V_{CC} =$
15.96 V (c) $\beta = 199$ (d) $R_B = 763$ kΩ
5. (b) $R_B = 812$ kΩ (c) $I_{C_Q} = 3.4$ mA,
$V_{CE_Q} = 10.75$ V (d) $\beta_{dc} = 136$
(e) $\alpha = 0.992$ (f) $I_{C_{sat}} = 7$ mA
(h) $P_D = 36.55$ mW (i) $P_s = 71.92$ mW
(j) $P_R = 35.37$ mW
7. (a) $R_C = 2.2$ kΩ (b) $R_E = 1.2$ kΩ
(c) $R_B = 356$ kΩ (d) $V_{CE} = 5.2$ V
(e) $V_B = 3.1$ V
9. $I_{C_{sat}} = 5.13$ mA
11. $I_C = 2.93$ mA, $V_{CE} = 8.09$ V
(b) $I_C = 4.39$ mA, $V_{CE} = 4.15$ V
(c) $\%\Delta I_C = 49.83\%, \%\Delta V_{CE} = 48.70\%$
(d) $I_C = 2.92$ mA, $V_{CE} = 8.61$ V
(e) $I_C = 3.93$ mA, $V_{CE} = 4.67$ V
(f) $\%\Delta I_C = 34.59\%, \%\Delta V_{CE} = 46.76\%$
13. (a) $I_C = 1.28$ mA (b) $V_E = 1.54$ V
(c) $V_B = 2.24$ V (d) $R_1 = 39.4$ kΩ
15. $I_{C_{sat}} = 3.49$ mA
17. (a) $I_C = 2.28$ mA (b) $V_{CE} = 8.2$ V
(c) $I_B = 19.02\ \mu$A (d) $V_E \cong 2.28$ V
(e) $V_B = 2.98$ V El método aproximado es válido
19. (a) $R_C = 2.4$ kΩ, $R_E = 0.8$ kΩ
(b) $V_E = 4$ V (c) $V_B = 4.7$ V
(d) $R_2 = 5.84$ kΩ
(e) $\beta_{dc} = 129.8$
(f) 103.84 kΩ = 58.4 kΩ (se cumple)
21. **I.** (a) $I_C = 2.43$ mA, $V_{CE} = 7.55$ V
(b) $I_C = 2.33$ mA, $V_{CE} = 7.98$ V
(c) Método aproximado: $\%\Delta I_C = 0\%$,
$\%\Delta V_{CE} = 0\%$
Método exacto: $\%\Delta I_C = 2.19\%$,
$\%\Delta V_{CE} = 2.68\%$
(d) $\%\Delta I_C = 2.19\%$ vs. 49.83% del problema 11, $\%\Delta V_{CE} = 2.68\%$ vs. 49.70% del problema 11
(e) La configuración de divisor de voltaje es menos sensible
II. $\%\Delta I_C$ y $\%\Delta V_{CE}$ son muy pequeños
23. (a) $I_C = 2.01$ mA
(b) $V_C = 17.54$ V (c) $V_E = 3.02$ V
(d) $V_{CE} = 14.52$ V
25. V_C de 5.98 V to 8.31 V
27. (a) $I_B = 13.04\ \mu$A
(b) $I_C = 2.56$ mA
(c) $\beta = 196.32$
(d) $V_{CE} = 8$ V
29. (a) $I_B = 13.95\ \mu$A
(b) $I_C = 1.81$ mA
(c) $V_E = -4.42$ V
(d) $V_{CE} = 5.95$ V
31. (a) $I_E = 3.32$ mA (b) $V_C = 4.02$ V
(c) $V_{CE} = 4.72$ V
33. $R_B = 430$ kΩ, $R_C = 1.6$ kΩ,
$R_E = 390\ \Omega$
35. $R_E = 1.1$ kΩ, $R_C = 1.6$ kΩ,
$R_1 = 51$ kΩ, $R_2 = 15$ kΩ
37. $R_B = 43$ kΩ, $R_C = 0.62$ kΩ
39. (a) Circuito abierto, transistor dañado
(b) Abierto en la terminal del colector, en corto la unión base emisor
(c) Circuito abierto, transistor abierto
41. (a) $R_B\downarrow, I_B\downarrow, I_C\downarrow, V_C\uparrow$
(b) $\beta\downarrow, I_C\downarrow$ (c) Sin cambio
(d) $V_{CC}\downarrow, I_B\downarrow, I_C\downarrow$
(e) $\beta\downarrow, I_C\downarrow, V_{R_C}\downarrow, V_{R_E}\downarrow, V_{CE}\uparrow$
43. (a) R_B Abierto, $I_B = 0\ \mu$A,
$I_C = I_{CEO} \cong 0$ mA, $V_C \cong V_{CC} = 18$ V
(b) $\beta\uparrow, I_C\uparrow, V_{R_C}\uparrow, V_{R_E}\uparrow, V_{CE}\downarrow$
(c) $R_C\downarrow, I_B\uparrow, I_C\uparrow, V_E\uparrow$
(d) Caída a un voltaje relativamente bajo $\cong 0.06$ V
(e) Terminal de base abierta
45. $V_C = -13.53$ V, $I_B = 17.5\ \mu$A
47. (a) $S(I_{CO}) = 91$
(b) $S(V_{BE}) = -1.92 \times 10^{-4}$ S
(c) $S(\beta) = 32.56 \times 10^{-6}$ A
(d) $\Delta I_C = 1.66$ mA
49. (a) $S(I_{CO}) = 11.08$
(b) $S(V_{BE}) = -1.27 \times 10^{-3}$ S
(c) $S(\beta) = 2.41 \times 10^{6}$ A
(d) $\Delta I_C = 0.411$ mA
51. $S(I_{CO})$—El divisor de voltaje es menor que los otros tres
$S(V_{BE})$—El divisor de voltaje es más sensible que los otros tres (que tienen niveles similares)
$S(\beta)$—El divisor de voltaje es menos sensible y la polarización fija es muy sensible
Por lo general, el divisor de voltaje es el menos sensible y la polarización fija la más sensible.

CAPÍTULO 5

3. (a) $V_{DS} \cong 1.4$ V (b) $r_d = 233.33\ \Omega$
(c) $V_{DS} \cong 1.6$ V (d) $r_d = 533.33\ \Omega$
(e) $V_{DS} \cong 1.4$ V (f) $r_d = 933.33\ \Omega$
(g) $r_d = 414.81\ \Omega$ (h) $r_d = 933.2\ \Omega$
(i) Por lo general, sí
11. (a) $I_D = 9$ mA (b) $I_D = 1.653$ mA
(c) $I_D = 0$ mA (d) $I_D = 0$ mA
15. $I_{DSS} = 12$ mA
17. $V_{DS} = 25$ V, $I_D = 4.8$ mA
$I_D = 10$ mA, $V_{DS} = 12$ V
$I_D = 7$ mA, $V_{DS} = 17.14$ V
19. Sí
21. $I_D = 4$ mA (correspondencia exacta)
29. $I_{DSS} = 11.11$ mA
31. $V_{DS} = 25$ V
35. $V_T = 2$ V, $k = 5.31 \times 10^{-4}$
$I_D = 5.31 \times 10^{-4}(V_{GS} - 2\text{ V})^2$
37. $V_{GS} = 27.36$ V

CAPÍTULO 6

1. (c) $I_{D_Q} \cong 4.7$ mA, $V_{DS_Q} = 6.36$ V
(d) $I_{D_Q} \cong 4.69$ mA, $V_{DS_Q} = 6.37$ V
3. (a) $I_D = 3.125$ mA (b) $V_{DS} = 9$ V
(c) $V_{GG} = 1.5$ V
5. $V_D = 18$ V
7. $I_{D_Q} \cong 2.6$ mA, $V_{GS} = -1.95$ V
9. (a) $I_{D_Q} = 3.33$ mA
(b) $V_{GS_Q} \cong -1.7$ V
(c) $I_{DSS} = 10.06$ mA (d) $V_D = 11.34$ V
(e) $V_{DS} = 9.64$ V
11. $V_S = 1.4$ V
13. (a) $I_{D_Q} \cong 5.8$ mA, $V_{GS_Q} \cong -0.85$ V,
$I_{D_Q}\uparrow, V_{GS_Q}\downarrow$ (b) 216 Ω
15. (a) $I_{D_Q} = 2.7$ mA, $V_{GS_Q} = -2$ V
(b) $V_{DS} = 8.12$ V, $V_S = 2$ V
17. (a) $I_{D_Q} = 2.9$ mA, $V_{GS_Q} = -1.2$ V
(b) $V_{DS} = 9.27$ V, $V_D = 10.52$ V
19. (a) $I_{D_Q} \cong 8.25$ mA
(b) $V_{GS_Q} = V_{DS_Q} = 7.9$ V
(c) $V_D = 12.1$ V, $V_S = 4.21$ V
(d) $V_{DS} = 7.89$ V
21. (a) $V_G \cong 3.3$ V
(b) $V_{GS_Q} = -1.25$ V, $I_{D_Q} = 3.75$ mA
(c) $I_E = 3.75$ mA (d) $I_B = 23.44\ \mu$A
(e) $V_D = 11.56$ V (f) $V_C = 15.88$ V
23. $R_S = 0.43$ kΩ, $R_D = 1.3$ kΩ
25. $R_D = 1.42$ kΩ, $R_G = 10$ MΩ
27. D-S en corto circuito; I_{DSS} o V_P reales o su combinación por tanto mayores en magnitud que lo especificado
29. (a) $I_{D_Q} = 3$ mA, $V_{GS_Q} = 1.55$ V
(b) $V_{DS} = -9.87$ V (c) $V_D = -11.4$ V
31. $I_{D_Q} = 4.68$ mA vs. 4.69 mA del #1,
$V_{DS_Q} = 6.38$ V vs. 6.37 V del #1
33. $I_{D_Q} = 3.3$ mA (la misma), $V_{GS_Q} =$
-1.47 V vs. -1.5 V del #12

CAPÍTULO 7

1. (a) 0 (b) Recorte (c) 80.4%
3. 1 kHz: $X_C = 15.92\ \Omega$
100 kHz: $X_C = 0.1592\ \Omega$
Sí, mejor a 100 kHz
7. (a) $Z_o = 50$ kΩ
(b) $I_L = 5.747$ mA
9. (a) $I_i = 8\ \mu$A (b) $Z_i = 500\ \Omega$
(c) $V_o = -720$ mV (d) $I_o = 1.41$ mA
(e) $A_i = 176.25$ (f) $A_i = 176.47$
11. (a) $r_e = 15\ \Omega$ (b) $Z_i = 15\ \Omega$
(c) $I_c = 3.168$ mA (d) $V_o = 6.97$ V
(e) $A_v = 145.21$ (f) $I_b = 32\ \mu$A
13. (a) $r_e = 8.571\ \Omega$ (b) $I_b = 25\ \mu$A
(c) $I_c = 3.5$ mA (d) $A_i = 132.84$
(e) $A_v = -298.89$
19. (a) $V_o = -160V_i$
(b) $I_b = 9.68 \times 10^{-4}\ V_i$
(c) $I_b = 1 \times 10^{-3}\ V_i$ (d) 3.2%
(e) Primera aproximación válida
21. (a) $V_o = -180V_i$
(b) $I_b = 2.32 \times 10^{-4}\ V_i$
(c) $I_b = 2.5 \times 10^{-4}\ V_i$
(d) 7.2% (e) Sí, menor a 10%
23. (a) $h_{fe} = 100$ (b) $h_{ie} = 120$
25. (a) $h_{ie} = 1.5$ kΩ (b) $h_{ie} = 6.5$ kΩ
27. $h_{fe} = 100, h_{ie} = 2$ kΩ
29. $r_e = 15\ \Omega, \beta = 100, r_o = 30.3$ kΩ
31. (a) 75% (b) 70%
33. (a) $h_{oe} = 200\ \mu$S (b) 5 kΩ, no es una buena aproximación
35. (a) h_{fe} (b) h_{oe}
(c) Máximo: $h_{oe} \cong 30$ (normalizado)
Mínimo: $h_{oe} \cong 0.1$ (normalizado)
A bajos niveles de I_C
(d) Región media

CAPÍTULO 8

1. (a) $Z_i = 497.47\ \Omega, Z_o = 2.2$ kΩ
(b) $A_v = -264.74, A_i = 60$
(c) $Z_i = 497.47\ \Omega, Z_o = 1.98$ kΩ
(d) $A_v = -238.27, A_i = 53.88$
3. (a) $I_B = 23.85\ \mu$A, $I_C = 2.38$ mA,
$r_e = 10.79\ \Omega$
(b) $Z_i = 1.08$ kΩ, $Z_o = 4.3$ kΩ
(c) $A_v = -398.52, A_i = 100$
(d) $A_v = -348.47, A_i = 87.52$
5. 30.68 V
7. (a) 5.34 Ω (b) $Z_i = 118.37$ kΩ,
$Z_o = 2.2$ kΩ (c) $A_v = 1.81, A_i = 97.39$
(d) $Z_i = 105.95$ kΩ, $Z_o = 2.2$ kΩ,
$A_v = -1.81, A_i = 87.17$
9. (a) 5.34 Ω (b) $Z_i = 746.17\ \Omega$,
$Z_o = 2.2$ kΩ
(c) $A_v = -411.99, A_i = 139.73$
(d) $Z_i = 746.17\ \Omega, Z_o = 1.98$ kΩ,
$A_v = -370.79, A_i = 125.76$
11. (a) $r_e = 8.72\ \Omega, \beta r_e = 959.2\ \Omega$
(b) $Z_i = 142.25$ kΩ, $Z_o = 8.69\ \Omega$
(c) $A_v \cong 0.997, A_i = 52.53$
13. (a) $I_B = 4.61\ \mu$A, $I_C = 0.922$ mA
(b) 28.05 Ω (c) $Z_i = 7.03$ kΩ,
$Z_o = 27.66\ \Omega$
(d) $A_v = 0.986, A_i = -3.47$
15. $A_v = 163.2, A_i = 0.9868$
17. $R_C = 1.6$ kΩ, $R_F = 33.59$ kΩ,
$V_{CC} = 5.28$ V
19. (a) $Z_i = 0.62$ kΩ, $Z_o = 1.66$ kΩ
(b) $A_v = -209.82, A_i = 72.27$
21. (a) 8.31 Ω
(b) $h_{fe} = 60, h_{ie} = 498.6\ \Omega$
(c) $Z_i = 497.47\ \Omega, Z_o = 2.2$ kΩ
(d) $A_v = -264.74, A_i = 56.73$
(e) $Z_i = 497.47\ \Omega, Z_o = 1.98$ kΩ
(f) $A_v = -238.27, A_i = 53.88$
23. (a) $Z_i = 9.38\ \Omega, Z_o \cong 2.7$ kΩ
(b) $A_v = 283.43, A_i \cong -1$
(c) $\alpha = 0.992, \beta = 124, r_e = 9.45\ \Omega$,
$r_o = 1$ MΩ
25. (a) $Z_i = 816.21\ \Omega$
(b) $A_v = -357.68$
(c) $A_i = 132.43$, (d) $Z_o = 2.14$ kΩ
27. (a) ¡No! (b) R_2 desconectado en la base

CAPÍTULO 9

1. 6 mS
3. 8.75 mA
5. 12.5 mA
7. 2.4 mS
9. 40 kΩ, −180
11. (a) 4 mS (b) 2.8 mS (c) 2.8 mS
(d) 2 mS (e) 2 mS
13. (a) 0.75 mS (b) 100 kΩ
15. $g_m = 5.6$ mS, $r_d = 66.7$ kΩ
17. $Z_i = 1$ MΩ, $Z_o = 1.72$ kΩ,
$A_v = -5.375$
19. $Z_i = 10$ MΩ, $Z_o = 2.83$ kΩ,
$A_v = -8.49$
21. $Z_i = 1$ MΩ, $Z_o = 730\ \Omega$,
$A_v = -2.19$
23. $Z_i = 9.7$ MΩ, $Z_o = 1.96$ kΩ,
$V_o = -214.4$ mV
25. $Z_i = 9.7$ MΩ, $Z_o = 1.82$ kΩ,
$V_o = 198.8$ mV
27. $Z_i = 10$ MΩ, $Z_o = 512.9\ \Omega$,
$A_v = 0.754$
29. $Z_i = 10$ MΩ, $Z_o \cong 1$ kΩ,
$A_v = 0.66$
31. $Z_i = 386.1\ \Omega, Z_o = 2.92$ kΩ,
$V_o = 0.636$ mV
33. 11.73 mV
35. $Z_i = 10$ MΩ, $Z_o = 1.68$ kΩ,
$A_v = -9.07$
37. $Z_i = 9$ MΩ, $Z_o = 242.1\ \Omega$,
$A_v = 0.816$
39. $Z_i = 1.73$ MΩ, $Z_o = 2.15$ kΩ,
$A_v = -4.77$
41. 203 mV
43. −3.51 mV
45. $R_S = 180\ \Omega, R_D = 2$ kΩ

CAPÍTULO 10

1. (a) $A_{v_{NL}} = -326.22, Z_i = 1.01$ kΩ,
$Z_o = 3.3$ kΩ
(c) $A_v = -191.65$
(d) $A_i = 41.18$
(e) Los mismos
3. $R_L = 4.7$ kΩ: $A_v = -191.65$
$R_L = 2.2$ kΩ: $A_v = -130.49$
$R_L = 0.5$ kΩ: $A_v = -42.42$
Como $R_L\downarrow, A_v\downarrow$
5. (a) $A_{v_{NL}} = -557.36, Z_i = 616.52\ \Omega$,
$Z_o = 4.3$ kΩ
(c) $A_v = -214.98, A_{v_s} = -81.91$
(d) $A_i = 49.04$
(e) $A_{v_s} = -120.12$, como $R_L\uparrow, A_{v_s}\uparrow$
(f) $A_{v_s} = -118.67$, como $R_s\downarrow, A_{v_s}\uparrow$
(b) No se afecta
7. (b) $A_v = -160$ vs. −162.4(#6)
9. (a) $A_{v_{NL}} = -3.61, Z_i = 81.17$ kΩ,
$Z_o = 3$ kΩ
(c) $A_v = -2.2, A_{v_s} = -2.18$
(d) Ninguno
(e) A_v—ninguno, $A_{v_s} = -2.17$, A medida $R_s\uparrow, A_{v_s}\downarrow$ (sólo ligeramente para cambios moderados en R_s dado que Z_i es por lo general tan grande)
11. (a) $Z_i = 10.74\ \Omega, Z_o = 4.7$ kΩ,
$A_{v_{NL}} = 435.59$
(c) $A_v = 236.83, A_{v_s} = 22.97$
(d) Los mismos
(e) $A_v = 138.88, A_{v_s} = 2.92$,
A_{v_s} muy sensible al incremento en R_s debido a Z_i pequeña, $R_L\downarrow, A_v\downarrow, A_{v_s}\downarrow$
13. (a) $A_{v_{NL}} = 0.737, Z_i = 2$ MΩ,
$Z_o = 0.867$ kΩ
(c) $A_{v_s} \cong A_v = 0.529$
(d) $A_{v_s} \cong A_v = 0.622$,
$R_L\uparrow, A_{v_s} \cong A_v\uparrow$

(e) Poco efecto ya que $R_i >> R_{señal}$
(f) Sin efecto sobre Z_i o Z_o
15. (a) $A_{v_1} = -97.67$, $A_{v_2} = -189$
(b) $A_{v_T} = 18.46 \times 10^3$,
$A_{v_{T_s}} = 11.54 \times 10^3$
(c) $A_{i_1} = 97.67$, $A_{i_2} = 70$
(d) $A_{i_T} = 6.84 \times 10^3$
(e) Sin efecto
(f) Sin efecto
(g) En fase

CAPÍTULO 11

1. (a) 3, 1.699, −0.151
(b) 6.908, 3.912, −0.347
(c) Los resultados difieren por una magnitud de 2.3
3. (a) Igual: 13.98
(b) Igual: −13.01
(c) Igual: 0.699
5. $G_{dBm} = 43.98$ dBm
7. $G_{dB} = 67.96$ dB
9. (a) $G_{dB} = 69.83$ dB
(b) $G_v = 82.83$ dB
(c) $R_i = 2$ kΩ
(d) $V_o = 1385.64$ V
11. (a) $|A_v| = 1/\sqrt{1 + (1950.43\ \text{Hz}/f)^2}$
(b) 100 Hz : $|A_v| = 0.051$
1 kHz : $|A_v| = 0.456$
2 kHz : $|A_v| = 0.716$
5 kHz : $|A_v| = 0.932$
10 kHz : $|A_v| = 0.982$
(c) $f_1 = 1950.43$ Hz
13. (a) 10 kHz (b) 1 kHz
(c) 5 kHz (d) 100 kHz
15. (a) $r_e = 28.48\ \Omega$
(b) $A_{v_{med}} = -72.91$
(c) $Z_i = 2.455$ kΩ
(d) $A_{v_s} = -54.68$
(e) $f_{L_s} = 103.4$ Hz, $f_{L_C} = 38.05$ Hz,
$f_{L_E} = 235.79$ Hz
(f) $f_1 \simeq f_{L_E}$
17. (a) $r_e = 30.23\ \Omega$
(b) $A_{v_{med}} \simeq 0.983$
(c) $Z_i = 21.13$ kΩ
(d) $A_{v_{s\,med}} \simeq 0.955$
(e) $f_{L_s} = 71.92$ Hz, $f_{L_C} = 193.16$ Hz
(f) $f_1 \simeq f_{L_C}$: $f_1 \simeq 210$ Hz (PSpice)
19. (a) $V_{GS_Q} = -2.45$ V, $I_{D_Q} = 2.1$ mA
(b) $g_{mo} = 2$ mS, $g_m = 1.18$ mS
(c) $A_{v_{med}} = -2$
(d) $Z_i = 1$ MΩ
(e) $A_{v_s} \simeq A_v = -2$
(f) $f_{L_G} = 1.59$ Hz, $f_{L_C} = 4.91$ Hz,
$f_{L_s} = 32.04$ Hz
(g) $f_1 \simeq 32$ Hz
21. (a) $V_{GS_Q} = -2.55$ V, $I_{D_Q} = 3.3$ mA
(b) $g_{mo} = 3.33$ mS, $g_m = 1.91$ mS
(c) $A_{v_{med}} = -4.39$
(d) $Z_i = 51.94$ kΩ
(e) $A_{v_{s\,med}} = -4.27$
(f) $f_{L_G} = 2.98$ Hz, $f_{L_C} = 2.46$ Hz,
$f_{L_S} = 41$ Hz
(g) $f_1 \simeq f_{L_S} = 41$ Hz
Z_i es considerablemente menor pero aún así, suficientemente mayor que $R_{señal}$ para dar por resultado un mínimo efecto sobre A_{v_s}; Z_i reducida, sin embargo, puede elevar el nivel de f_{L_G}
23. (a) $f_{H_i} \simeq 293$ kHz, $f_{H_o} = 3.22$ MHz
(b) $f_\beta = 8.03$ MHz, $f_T = 883.3$ MHz
25. (a) $f_{H_i} \simeq 584$ MHz, $f_{H_o} = 2.93$ MHz
(b) $f_\beta = 5.01$ MHz, $f_T = 400.8$ MHz
27. (a) $g_{mo} = 3.33$ mS, $g_m = 1.91$ mS
(b) $A_{v_{med}} = -4.39$, $A_{v_{s\,med}} = -4.27$
(c) $f_{H_i} = 1.84$ MHz, $f_{H_o} = 3.68$ MHz
29. $f_2' = 1.09$ MHz
31. (a) $v = 12.73 \times 10^{-3}$ [sen $2\pi(100 \times 10^3)t + \frac{1}{3}$sen $2\pi(300 \times 10^3)t + \frac{1}{5}$sen $2\pi(500 \times 10^3)t + \frac{1}{7}$sen $2\pi(700 \times 10^3)t + \frac{1}{9}$sen $2\pi(900 \times 10^3)t$] (b) BW = 500 kHz
(c) $f_{L_o} \simeq 3.53$ kHz

CAPÍTULO 12

1. $V_G = 0$ V, $V_S = 1.4$ V, $V_D = 9.86$ V
3. $V_G = 0$ V, $V_S = 1.4$ V, $V_D = 10.3$ V
5. $Z_i = 10$ MΩ, $Z_o = 2.1$ kΩ
7. $A_{V1} = -75.8$, $A_{V2} = -311.9$,
$A_V = 23{,}642$
9. $V_B = 2.55$ V, $V_E = 1.85$ V,
$V_C = 2.7$ V, $I_C = 0.84$ mA
11. $Z_i = 10$ MΩ, $Z_o = 2.7$ kΩ
13. $A_V = -214$, $V_o = -2.14$ V
15. $V_{E2} = 8.06$ V, $I_{E2} = 15.8$ mA
17. $V_{B1} = 4.88$ V, $V_{C2} = 5.58$ V,
$I_C = 104.2$ mA
19. (a) Q_1 encendido, Q_2 encendido, Q_3 apagado, Q_4 apagado
(b) Q_1 apagado, Q_2 apagado, Q_3 encendido, Q_4 encendido
(c) Q_1 encendido, Q_2 apagado, Q_3 encendido, Q_4 apagado
21. $I_D = 6$ mA
23. $I = 3.67$ mA
25. $I = 2$ mA
27. $I_C = 1$ mA, $V_C = 0$ V
29. $V_o = 1.89$ V

CAPÍTULO 13

1. CMRR = 75.56 dB
3. $V_o = -18.75$ V
5. $V_i = -40$ mV
7. $V_o = -9.3$ V
9. V_o va de 5.5 a 10.5 V
11. $V_o = -3.39$ V
13. $V_o = 0.5$ V
15. $V_2 = -2$ V, $V_3 = 4.2$ V
17. $V_o = 6.4$ V
19. $I_{IB}^+ = 22$ nA, $I_{IB}^- = 18$ nA
21. $A_{CL} = 80$
23. V_o(desvío) = 105 mV

CAPÍTULO 14

1. $V_o = -175$ mV, rms
3. $V_o = 412$ mV
7. $V_o = -2.5$ V
11. $I_L = 6$ mA
13. $I_o = 0.5$ mA
15. $f_{OH} = 1.45$ kHz
17. $f_{OL} = 318.3$ Hz, $f_{OH} = 397.9$ Hz

CAPÍTULO 15

1. $P_i = 10.4$ W, $P_o = 640$ mW
3. $P_o = 2.1$ W
5. R(ef) = 2.5 kΩ
7. $a = 44.7$
9. $\%\eta = 37\%$
13. (a) P_i máxima = 49.7 W
(b) P_o máxima = 39.06 W
(c) $\%\eta$ máxima = 78.5%
17. (a) $P_i = 27$ W (b) $P_o = 8$ W
(c) $\%\eta = 29.6\%$ (d) $P_{2Q} = 19$ W
19. $\%D_2 = 14.3\%$, $\%D_3 = 4.8\%$,
$\%D_4 = 2.4\%$
21. $\%D_2 = 6.8\%$
23. $P_D = 25$ W
25. $P_D = 3$ W

CAPÍTULO 16

9. $V_o = 13$ V
13. Periodo = 204.8 μs
17. $f_o = 60$ kHz
19. $C = 133$ pF
21. $C_1 = 300$ pF

CAPÍTULO 17

1. $A_f = -9.95$
3. $A_f = -14.3$, $R_{if} = 31.5$ kΩ,
$R_{of} = 2.4$ kΩ
5. Sin retroalimentación:
$A_v = -303.2$,
$Z_i = 1.18$ kΩ, $Z_o = 4.7$ kΩ
Con retroalimentación:
$A_{vf} = -3.82$, $Z_{if} = 45.8$ kΩ
7. $f_o = 4.2$ kHz
9. $f_o = 1.05$ MHz
11. $f_o = 159.2$ kHz

CAPÍTULO 18

1. Factor de rizo = 0.028
3. Voltaje de rizo = 24.2 V
5. $V_r = 1.2$ V
7. $V_r = 0.6$ V rms, $V_{dc} = 17$ V
9. $V_r = 0.12$ V rms
11. $V_m = 13.7$ V
13. $\%r = 7.2\%$
15. $\%r = 8.3\%$, $\%r' = 3.1\%$
17. $V_r = 0.325$ V rms
19. $V_o = 7.6$ V, $I_Z = 3.66$ mA
21. $V_o = 24.6$ V
25. $I_{dc} = 225$ mA
27. $V_o = 9.9$ V

CAPÍTULO 19

3. 30 : 1 o mejor es típico, corto periodo, diseño del encapsulado
5. 124% de incremento $V_R \simeq 25$ V
7. (a) $C_T = 41.85$ pF
(b) $k \simeq 71 \times 10^{-12}$
9. (a) $C = 5.17$ pF
(b) Gráfica, $C \simeq 5$ pF
11. $T_1 = 50$°C
13. $Q = 26.93$, Q cae de forma importante ante el incremento en frecuencia
19. $I_T = 5$ mA, $V_T = 60$ mV
$I_T = 2.8$ mA, $V_T = 900$ mV
21. $f_p \simeq 2228$ Hz
23. (a) 3750 Å → 7500 Å
(b) ≃ 8400 Å (c) BW = 4200 Å
25. (a) Silicio (b) Naranja
27. (a) ≃ 0.9 Ω/fc (b) ≃ 380 Ω/fc
(c) ≃ 78 kΩ/fc Región de baja iluminación
29. $V_i = 21$ V
31. A medida que fc se incrementa, t_r y t_d disminuyen de forma exponencial
33. (a) $\phi \simeq 5$ mW (b) 2.27 lm
35. $\phi = 3.44$ mW
41. Niveles inferiores
45. $R \simeq 20$ kΩ
47. R(termistor) = 90 Ω

CAPÍTULO 20

5. (a) Sí (b) No (c) No (d) Sí, no
11. (a) ≃ 0.7 mW/cm² (b) 82.35%
17. (a) $R_{B_1} = 1.08$ kΩ
(b) $R_{BB} = 3.08$ kΩ
(c) $V_{R_{B_1}} = 13$ V (d) $V_P = 13.7$ V
19. $I_B = 25$ μA, $I_C = 1$ mA
21. (a) Para temperaturas en descenso 0.53%/°C (b) Sí
23. $I_C/I_F = 0.44$ Relativamente eficiente
25. (a) $I_C \geq 3$ mA (b) $\Delta R : \Delta t \simeq 2.3 : 1$
27. $Z_p = 87$ kΩ, $Z_V = 181.8$Ω, Hasta un grado
29. Sí, 8.18 V (b) $R < 2$ kΩ
(c) $R = 1.82$ kΩ

Índice

A

JUN
LITOGRÁFICA INGRAMEX, S.A.
CENTENO No. 162-1
COL. GRANJAS ESMERALDA
09810 MÉXICO, D.F.
2003